

Reliability Characteristics of Class-E Power Amplifier with load Inductor

崔 晋 鎬[†]
(Jin-Ho Choi)

Abstract - A class-E power amplifier is designed using 0.25 μ m standard CMOS technology at 900MHz and the reliability characteristics are studied with the load network. The reliability characteristics is improved when a finite DC-feed inductor is used instead of RF choke. At the one year halt, the PAE(Power Added Efficiency) decreases from 58.0% to 35.7% and output power decreases from 120mW to 74mW in power amplifier using RF choke. However, when a finite DC-feed inductor is used with load the PAE decreases from 58.5% to 54.8% and output power decreases from 121mW to 112mW. From the simulated results, the class-E power amplifier with a finite DC-feed inductor shows superior reliability characteristics compared to power amplifier using RF choke inductor.

Key Words : Class E, 전력 증폭기, 신뢰성, RF Choke, DC-Feed

1. 서 론

최근 이동통신의 발달에 따라 RF(Radio Frequency) 부품 개발에 관한 연구가 활발히 이루어지고 있으며, 이러한 RF 부품 개발은 저전력화, 경량화 그리고 저비용 등의 방향으로 진행되고 있다. GaAs의 경우 높은 동작 속도 및 저잡음 특성 등으로 RF 부품을 구성하기에 적합한 장점을 가지고 있으나, CMOS에 비하여 단가가 높은 단점이 있다. 그러나 최근 CMOS 공정 기술의 발달과 더불어 CMOS를 이용한 전력 증폭기, 저잡음 증폭기, 혼합기, 전압제어발진기 등과 같은 RF 회로에 관한 연구가 많이 진행되고 있다[1-6].

RF 전력 증폭기는 RF 부품 중에서 가장 중요한 부품중의 하나이다. Class-E RF 전력 증폭기는 비선형 증폭기로서 다른 타입의 증폭기에 비해 높은 효율을 얻을 수 있으며, 또한 큰 출력 전력을 공급하는 장점이 있다. Class-E 전력 증폭기에서 MOS는 입력신호에 따라 on/off이 되는 스위치로 동작하고, MOS의 스위칭 동작에 따라 드레인 단자에는 약 3.57V_{DD} 크기의 전압 신호가 발생한다. 그러므로 입력신호에 따라 MOS에는 HC(Hot Carrier) 스트레스와 FN(Fowler-Nordheim) 스트레스가 인가된다. 이러한 스트레스는 증폭기의 동작 시간에 따라 MOS의 전기적인 특성을 변화시키며, 이는 전력 증폭기의 신뢰성 특성에 직접적인 영향을 미치게 된다. 최근 발표된 자료에 의하면 회로 동작시 낮은 드레인 전압을 가지는 class-A 전력 증폭기의 경우 class-E 증폭기에 비해 매우 우수한 신뢰성 특성을 보여주

었다[7,8]. 그러나 class-E 전력 증폭기의 경우 load 구성에 따라 신뢰성 특성을 충분히 향상시킬 수 있다.

본 논문에서는 load 구성에 따른 class-E 증폭기의 신뢰성 특성을 살펴보기 위해 class-E 증폭기를 설계하고, class-E 증폭기의 동작에 따라 MOS에 인가되는 스트레스 특성을 살펴본다. 그리고 class-E 전력 증폭기의 load 구성에 따른 신뢰성 특성을 비교 분석하여 신뢰성 향상을 위한 class-E 증폭기의 구성을 살펴보고자 한다.

2. 본 론

RF 전력 증폭기에서 class-E 증폭기는 비선형 증폭기로서 구성은 그림 1과 같다. Class-E 증폭기는 RF choke 인덕터 L_D, 스위치로 동작하는 MOS M1, MOS와 병렬로 연결된 커패시터 C_p, 공진회로 Lo-Co 그리고 부하저항 RL로 구성된다. Lo-Co로 구성된 공진회로의 공진주파수는 입력주파수이다. 그림 1에서 MOS 스위치가 off 되었을 때, I_{DC}는 I_C와 I_{OUT}으로 흐르게 되며, 이때 I_C 전류에 의해 커패시터 C_p는 충전된다. 그리고 I_{OUT}은 Lo와 Co로 구성된 공진 회로를 거쳐 출력으로 전달된다. 입력 신호 Vin의 크기에 따라 MOS는 on/off를 하며, 이때 드레인 단자의 전압은 약 0과 3.57V_{DD} volt가 된다[9].

설계되어진 class-E 증폭기에 사용된 MOS의 채널 폭은 1,000 μ m이며 채널 길이는 0.25 μ m이다. 1,000 μ m의 채널 폭을 얻기 위해 채널 폭 2.5 μ m인 MOS 400개 병렬로 연결하였다. 공급 전압 및 입력 전압의 크기는 1.8volt이며, 입력 주파수는 900MHz이다. 그리고 RF choke L_D는 1mH이며, 공진회로 Lo과 Co의 값은 각각 4nH와 7.93pF이다. 그리고 트랜지스터는 MOSIS사의 0.25 μ m 트랜지스터 모델 파라미터를 사용하였으며, 시뮬레이션 툴은 HP-ADS를 사용하였다.

[†] 교신저자, 正會員 : 부산외국어대학교 컴퓨터공학부 부교수
E-mail : jhchoi@pufs.ac.kr

接受日字 : 2005年 10月 18日

最終完了 : 2005年 11月 15日

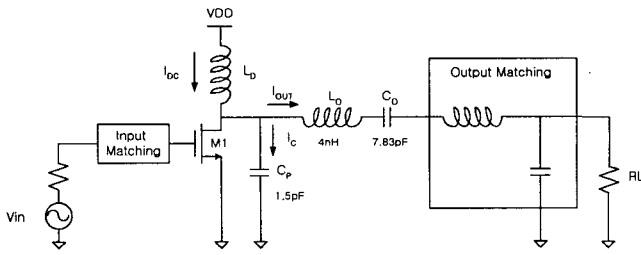


그림 1 Class-E 전력 증폭기 회로도
Fig. 1 Schematic of class-E power amplifier

그림 2는 그림 1의 class-E 전력 증폭기를 시뮬레이션한 결과이다. 시뮬레이션 결과로부터 드레인 단자의 전압은 3.57V_{DD}인 약 6.4volt임을 알 수 있다. 그림 2와 같이 높은 드레인 전압은 회로의 동작에 따라 MOS의 전기적인 특성을 저하시키고, 이로 인하여 회로의 수명은 감소된다. 그리고 일반적으로 MOS 채널 길이가 감소함에 따라 트랜지스터의 항복 전압은 감소하므로 그림 2와 같이 높은 드레인 전압은 회로에 인가되는 V_{DD} 전압을 제한하게 된다.

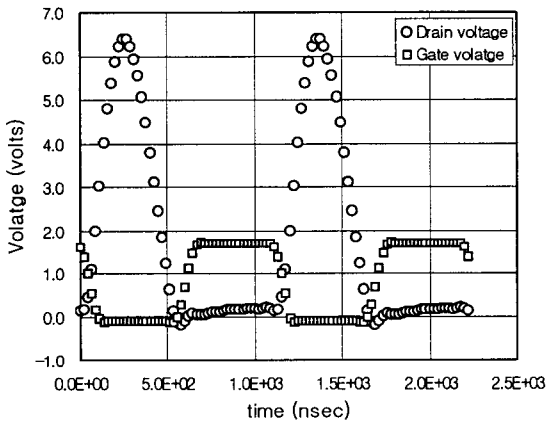


그림 2 RF choke 전력 증폭기의 게이트와 드레인 전압
Fig. 2 Gate and drain voltages in RF choke power amplifier

Class-E 증폭기에서 MOS M1의 on/off 동작에 따라 M1은 HC와 FN 스트레스를 받게 된다. 그림 3은 MOS 트랜지스터의 HC와 FN 스트레스에 따른 모델회로이다[8]. 그림 3에서 R_{SS}와 R_{GD}는 DC 파라미터이며, C_{DB}와 R_{DB}는 AC 파라미터이다. 저항 R_{SS}는 스트레스에 따른 이동도 감소로 인한 드레인 전류의 감소를 나타내며, R_{GD}는 게이트와 드레인 사이의 누설전류를 나타낸다. 그리고 AC 파라미터 C_{DB}와 R_{DB}는 스트레스 시간에 따른 출력 저항의 감소를 나타낸다. 표 1과 표 2는 HC와 FN 스트레스에 따른 R_{SS}, R_{GD}, R_{DB}, C_{DB}의 모델식이다[8].

그림 4는 그림 3과 표 1, 2의 모델을 이용하여 시뮬레이션한 HC와 FN 스트레스에 따른 MOS의 특성변화이다. 그림 4(a)의 결과를 보면, 10⁴초의 HC 스트레스 인가 후에 드레인 전류는 약 3.6%의 감소를 보였으며, 10⁶초 후에는

20.0%의 감소를 보였다. 그리고 그림 4(b)로부터 FN 스트레스 인가에 따른 특성의 변화는 거의 없음을 알 수 있다.

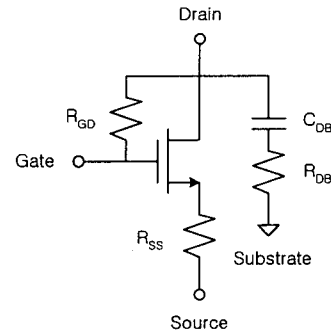


그림 3 MOS의 HC와 FN 스트레스 모델 회로
Fig. 3 MOS degradation model circuit of HC stress and FN stress

표 1 HC 스트레스에 따른 저항 및 커패시트 모델 식
Table 1 Resistance and capacitance model equations with HC stress

Parameters	Description
x	$I_{SUB}/(W/L), I_{SUB}$: 기판전류
t	Operating time
$R_{SS} = [t/R_{SSx}]^y$ $R_{SSx} = [-3.46 + 17.7e \exp(-\frac{x}{0.39}) + 2.21 \exp(-\frac{x}{3.23}) + [-2.15 + 15.9e \exp(-\frac{x}{0.746})]x$ $y = 0.54 - 0.23 \exp(-x/1.71)$	
$T_{CD} = 10^{17} \exp(-6.1x)$ 10^{11} when stress time < T_{CD} , 10^5 when stress time > T_{CD}	
$R_{DB} = (\frac{16 - 1.25 \log(t)}{x}) - 1.48 \log(t) + 15$	
$C_{DB} = [3.7 + \frac{-1.7}{1 + (\log(t)/1645)^{0.45}}]x + 15$	

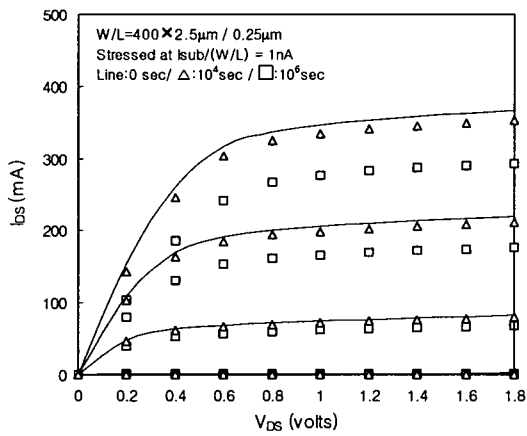
표 2 FN 스트레스에 따른 저항 및 커패시트 모델 식
Table 2 Resistance and capacitance model equations with FN stress

Parameters	Description
v_g	Gate stress voltage
t	Operating time
$R_{SS} = [\frac{t}{1.8 \times 10^{22} \times \exp(12.61 Vg)}]^{0.4}$	
$R_{GD} = 6 \times 10^3 + 10^4$	
$s = 2.8 \times [\frac{t - 5.4 \times 10^{38} \exp(-15 Vg)}{1.8 \times 10^{32} \exp(-12 Vg)}]^{-0.3}$	
$R_{DB} = (\frac{16 - 1.26 \log(t)}{x}) - 1.45 \log(t) + 0.07 [\log(t)]^2 + 15$	
$C_{DB} = [1.9 + 0.23 \log(t)] \times x + 15$	

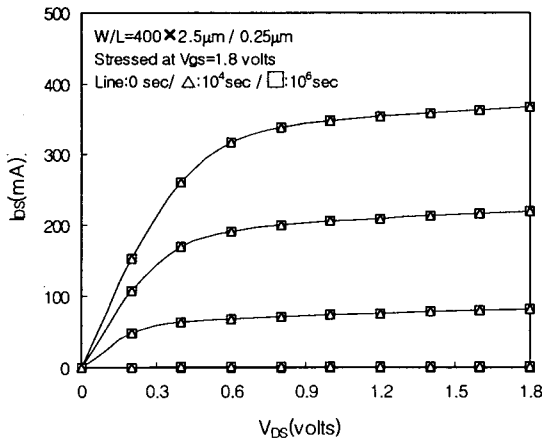
MOS에서 드레인 전압이 증가하면 드레인 전류가 증가하

고, 드레인 전류와 기판 전류는 비례하므로 기판 전류도 증가한다[10]. 기판 전류의 증가는 MOS 신뢰성 특성과 밀접한 관계가 있으므로 드레인 단자의 전압이 높은 경우 신뢰성 특성이 취약해질 것이다. 그러므로 class-E 전력 증폭기에서 MOS가 off 되었을 때 드레인 단자의 전압을 낮춘다면 기판 전류를 감소시킬 수 있으며 HC 스트레스에 따른 MOS의 특성 변화를 감소시킬 수 있다.

Class-E 증폭기에서 드레인 단자의 전압을 낮추기 위해서는 RF choke로 사용된 L_D 의 값을 감소시키면 드레인 단자의 전압을 $3.575V_{DD}$ 이하로 낮출 수 있다. 그리고 L_D 의 값이 작을 경우 즉, finite DC-feed 인덕터를 사용한 경우 RF choke를 사용한 경우에 비하여 높은 효율 및 큰 출력 전력을 얻을 수 있는 장점이 있다[9].



(a)



(b)

그림 4 HC와 FN 스트레스에 따른 IDS-VDS 특성 (a) HC 스트레스 (b) FN 스트레스

Fig. 4 IDS-VDS characteristics with HC and FN stress (a) HC stress (b) FN stress

그림 5는 그림 1의 회로에서 L_D 의 값을 1nH로 감소시켜 시뮬레이션한 게이트와 드레인 단자의 전압 파형이다. 이때 설계된 회로는 RF choke와 유사한 특성을 가지도록 설계되었으며, L_D 값의 감소에 따라 그림 1의 회로에서 C_P 및 입·출력 매칭을 위한 L과 C 값은 조절되었다. 시뮬레이션

결과 MOS가 off 되었을 때 드레인 단자의 전압은 약 $2.5V_{DD}$ 인 4.4volt임을 알 수 있다. 그리고 MOS의 기판 전류는 드레인 전압의 감소에 따라 RF choke의 기판 전류에 비해 약 1/3로 감소하였다.

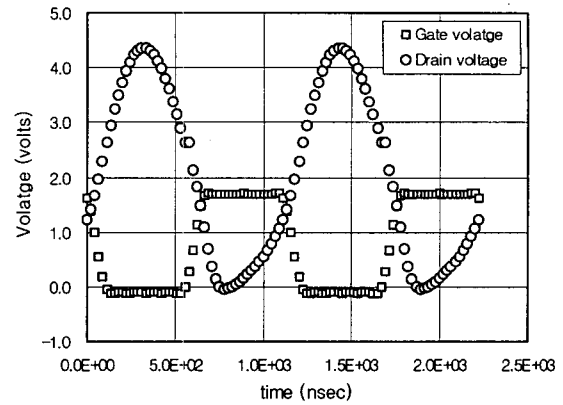
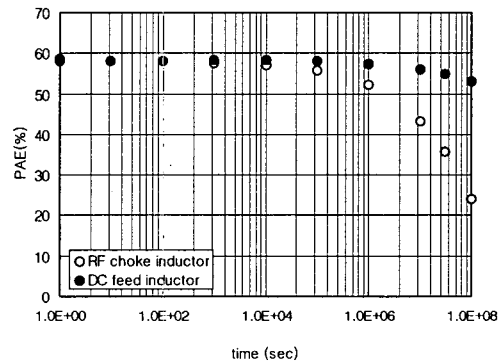
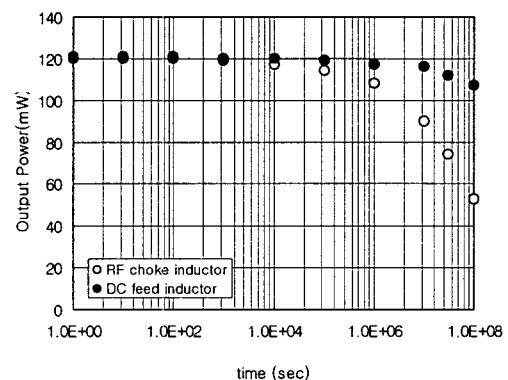


그림 5 DC-feed 전력증폭기의 게이트와 드레인 전압 Fig. 5 Gate and drain voltages in DC-feed power amplifier



(a)



(b)

그림 6 동작 시간에 따른 PAE 및 출력 전력의 변화 (a) PAE의 변화 (b) 출력 전력의 변화

Fig. 6 Degradation of PAE and output power with operating time (a) Degradation of PAE (b) Degradation of output power

그림 6은 RF choke와 finite DC-feed 인덕터를 사용하는 class-E 증폭기의 동작 시간에 따른 PAE와 출력 전력의 변화이다. 그림 6을 보면 RF choke를 사용한 경우 1년이 지난 후에 PAE 특성은 58.0%에서 35.7%로 감소하였으며, 출력 전력은 120mW에서 74mW로 감소하였다. 그러나 finite DC-feed 인덕터를 사용한 경우 PAE 특성은 58.5%에서 54.8%로 변화하였으며, 출력 전력은 121mW에서 112mW로 감소하여 신뢰성 특성에서 RF choke에 비해 우수한 특성을 보여주었다. 그러므로 class-E 증폭기에서 인덕터 L_D 의 값을 감소시켜 회로를 구성할 경우 높은 효율 및 출력 전력을 얻을 수 있는 장점 외에 충분한 신뢰성 특성도 얻을 수 있음을 알 수 있다.

그림 7은 3×10^7 초 까지 스트레스를 인가했을 때, 드레인 전류의 감소에 따른 PAE와 출력 전력의 변화이다. RF choke를 사용한 경우 드레인 전류의 감소량은 약 50%였으며, finite DC-feed 인덕터의 경우 14% 정도의 드레인 전류가 감소하였다. 그림 7로부터 PAE와 출력 전력의 변화는 드레인 전류 감소와 밀접한 관계가 있음을 알 수 있다. Finite DC-feed 인덕터의 경우 RF choke에 비해 스트레스에 따른 드레인 전류의 감소량이 작으며, 이로 인하여 신뢰성 특성은 향상되었다.

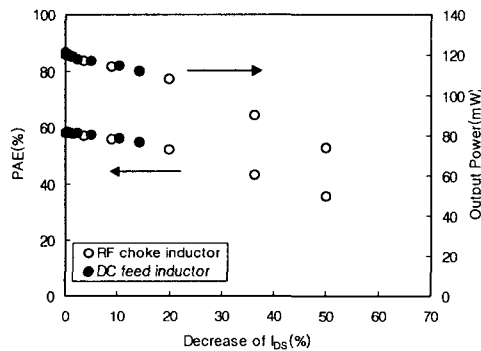


그림 7 드레인 전류의 감소에 따른 PAE 및 출력전력
 Fig. 7 PAE and output power against the drain current degradation

3. 결 론

본 논문에서는 class-E 전력 증폭기의 부하 인덕터 값에 따른 신뢰성 특성을 살펴보았다. 전력 증폭기는 0.25 μ m 표준 CMOS 공정을 이용하여 설계하였으며, 공급 전압은 1.8volt를 사용하였다. Class-E 전력 증폭기에서 MOS의 드레인공급 전압 사이에 연결되는 부하 인덕터의 값을 감소시킬 경우 높은 효율 및 출력 전력을 얻을 수 있는 장점이 있다. 또한, MOS 스위칭에 따른 드레인 단자의 전압을 3.57V_{DD}에서 2.5V_{DD}로 감소시켜 스트레스에 따른 MOS의 특성 변화를 줄일 수 있다. 그러므로 finite DC-feed 인덕터를 사용하는 전력 증폭기의 경우 RF choke를 사용하는 경우에 비해 향상된 신뢰성 특성을 얻을 수 있다.

감사의 글

본 연구는 2005년도 부산외국어대학교 학술연구조성비에 의하여 연구되었습니다.

참 고 문 헌

- [1] A. A. Abidi, "RF CMOS comes of age," IEEE VLSI Circuit Dig., no.6, pp. 113-116, Jun. 2003.
- [2] R. Castello, et al, "A 1.3 GHz low phase noise fully tuneable CMOS LC VCO," IEEE. J. Solid-State Circuits, vol. 35, no. 3, pp. 356-361, Mar. 2000.
- [3] P. J. Sullivan, et al, "Low voltage performance of a microwave CMOS Gilbert cell mixer," IEEE. J. Solid-State Circuits, vol. 32, pp. 1151-1155, 1997.
- [4] R. A. Rafla and M. N. Gamal, "Design of a 1.5V CMOS integrated 3GHz LNA," in proc. ISCAS, pp. 440-443, 1999.
- [5] 황영승, 채용두, 오범석, 조연수, 정웅, "2.4GHz 100mW 급 고주파 CMOS 전력 증폭기 설계," 대한전자공학회 통신소사이티 추계학술대회논문집, pp. 335-339, 2003.
- [6] 박수양, 전동환, 송한정, 손상희, "0.25um 표준 CMOS 공정을 이용한 RF 전력 증폭기," 대한전자공학회 추계 학술대회논문집, pp. 851-854, 1999.
- [7] W. C. Lin, et al, "Reliability evaluation and comparison of class-E and class-A power amplifiers with 0.18um CMOS technology," in Proc. IEEE Int. Reliability Physics Symp., pp. 415-416, 2004.
- [8] W. C. Lin, T. C. Wu, et al, "Reliability evaluation of class-E and class-A power amplifiers with nanoscaled CMOS technology," IEEE Trans. on Electron Devices, vol. 52, no. 7, July 2005.
- [9] C. Yoo, and Q. Huang, "A common-gate switched 0.9W class-E power amplifier with 41% PAE in 0.25um CMOS," IEEE. J. Solid-State Circuits, vol. 36, no. 5, pp. 823-830, May 2001.
- [10] J. E. Chung, et al, "Low-voltage hot-electron currents and degradation in deep submicrometer MOSFET's," IEEE. Trans. on Electron Devices, vol. 37, no. 7, pp. 1651-1657, July 1990.

저 자 소 개



최진호 (崔晉編)

1963년 2월 19일생. 1985년 부산대학교 전자공학과 졸업. 1987년 KAIST 전기 및 전자공학과 석사 졸업. 1992년 KAIST 전기 및 전자공학과 박사 졸업. 1996-현재 부산외국어대학교 근무.
 Tel : 051-640-3194
 Fax : 051-640-3038
 E-mail : jhchoi@pufs.ac.kr