

---

# CCTV용 CCD를 위한 가변 clock으로 동작되는 비디오 인코더의 설계

김주현\* · 하주영\* · 강봉순\*\*

Design of Video Encoder activating with variable clocks of CCDs for CCTV applications

Joohyun Kim\* · Jooyoung Ha · Bongsoon Kang\*\*

---

이 논문은 2005년도 IT-SoC 실습프로젝트에 의해 연구되었음.

---

## 요 약

CCTV(Closed Circuit TeleVision)에 사용되는 CCD(Charge Coupled Device)는 일본의 소니가 시장을 80% 선점하고 있다. 이는 다른 회사가 따라오지 못할 만큼의 성능을 가지고 있기 때문인데, 문제는 CCD에서 사용되는 clock 주파수가 범용 비디오 인코더에서 사용하는 주파수와 다르다는 것이다. 이 때문에 범용 비디오 인코더를 사용하여 TV 출력을 만들려면, 화면 크기를 조절해 주는 scaler와 2개 clock의 동기를 잡아주는 PLL(Phase Loop Lock)이 필요하다. 그래서 본 논문에서는 scaler와 PLL을 사용하지 않고도 TV 출력 신호를 만들 수 있도록 CCD와 동일한 clock으로 동작하는 비디오 인코더를 제안한다. 본 비디오 인코더는 ITU-R BT.601 4:2:2, ITU-R BT.656 중 하나의 입력을 받아서 NTSC, PAL 등의 S-video 신호와 CVBS(Composite Video Baseband Signals)로 바꾸어 준다. 입력 클럭이 가변하기 때문에 인코더 내부에서 사용하는 필터의 특성도 가변되도록 설계하였고 하드웨어 크기를 줄이기 위해서 곱셈기를 사용하지 않는 구조로 설계하였다. 명암 신호와 색차 신호를 위한 디지털 필터의 bit width는 하드웨어 설계 시 발생할 수 있는 오차를  $\pm 1$  LSB(Least Significant Bit) 이하가 되도록 정하여 양질의 복합 영상 신호를 만들 수 있도록 하였다. 제안된 시스템은 Altera FPGA인 Stratix EP1S80B953C6ES을 이용하여 검증을 수행하였다.

## ABSTRACT

SONY corporation preoccupies 80% of a market of the CCD used in a CCTV system. The CCD of SONY have high quality which can not follow the progress of capability. But there are some problems which differ the clock frequency used in CCD from the frequency used in common video encoder. To get the result by using common video encoder, the system needs a scaler that could adjust image size and PLL that synchronizes CCD's with encoder's clock. So, this paper proposes the video encoder that is activated at equal clock used in CCD without scaler and PLL. The encoder converts ITU-R BT.601 4:2:2 or ITU-R BT.656 inputs from various video sources into NTSC or PAL signals in CVBS. Due to variable clock, property of filters used in the encoder is automatically changed by clock and filters adopt multiplier-free structures to reduce hardware complexity. The hardware bit width of programmable digital filters for luminance and chrominance signals, along with other operating blocks, are carefully determined to produce high-quality digital video signals of  $\pm 1$  LSB error or less. The proposed encoder is experimentally demonstrated by using the Altera Stratix EP1S80B953C6ES device.

## 키워드

CCTV, CVBS, NTSC, PAL, Video encoder

---

\* 동아대 학교 전자공학과 박사과정  
\*\* 동아대 학교 전자컴퓨터공학부 부교수

## I. 서론

CCTV는 많은 분야에서 사용되고 있다. 공장이나 사무실에서는 보안 및 무단 침입을 감시하기 위해서 사용되고, 아파트나 학교에서는 아이들이 잘 있는지를 관찰하기 위해서 사용된다. CCTV를 사용하면 여러 장소의 상황을 한곳에서 모두 파악할 수 있기 때문에 실생활에서 쉽게 찾을 수 있다.

CCTV는 빛을 모아주는 렌즈와 빛을 받아 전기적 신호로 바꾸어 주는 이미지 센서 그리고 전기적 신호를 처리해주는 DCP(Digital Camera Processing)로 구성되어진다. 이미지 센서에는 CCD와 CMOS(Complementary Metal Oxide Semiconductor field effect transistor)로 나뉜다. CCD의 경우 노이즈가 거의 없는 깨끗한 화질을 낼 수 있지만 가격이 비싸고 소비 전력이 크다. CMOS의 경우 단가는 저렴하지만 노이즈가 많아서 고화질 제품에서는 사용되지 않는다. 그래서 CCTV에서는 CCD를 주로 사용하는데 국내 시장의 80%를 일본의 소니사가 점유하고 있다. 이는 소니사의 CCD 성능이 아주 뛰어나고 CCTV 생산업체에서 오랫동안 신뢰해 왔기 때문이다. DCP에서 CCD 신호를 조합하여 화질을 개선시킨 후 비디오 인코더에 의해서 TV화면으로 볼 수 있도록 신호를 변환 시킨다.

TV 영상 신호를 전송하기 위해서 NTSC, PAL과 같은 CVBS 신호를 사용한다. 비디오 인코더는 표 1과 같은 특징을 가진 컴포넌트 영상신호 (ex RGB or YCbCr)등을 입력 받아서 컴포지트 신호 (ex NTSC, PAL)로 바꾸어 주는 역할을 한다. 여기서 RGB는 색상을 표현하기 위한 기본요소인 빨강, 초록, 파랑을 나타내는 것이며, YCbCr은 명암신호인 Y와 색차신호인 Cb,Cr을 나타낸다. 디지털로 만들어진 비디오 인코더는 성능에 큰 영향을 미치는 필터를 프로그램화 할 수 있고, 사용자에게 의해서 여러 가지 동작모드를 선택할 수 있다는 장점이 있다[1]. 단점으로는 아날로그 출력을 위해서 CMOS DAC를 사용해야 하며, 영상신호의 대역폭인 6MHz의 필터 설계가 어렵다는 것이다. CVBS 신호는 각 표준에 따라 특성이 상이하다. 이러한 신호에 대한 표준이 ITU-R BT.470이다[2]. 표 1은 각 표준에 대한 특징을 요약한 것이다. 3개의 NTSC와 8개의 PAL 신호는 color sub-carrier 주파수인 Fsc와 pedestal 크기가 상이함을 알 수 있다.

소니사의 CCD를 사용하면 동작시키기 위한 clock 주파수가 범용 비디오 인코더에서 사용하는 주파수와는 다

르다는 문제가 발생한다[1]. 표 2은 소니사에서 판매하고 있는 4종류의 CCD의 동작 주파수와 수평 수직 라인수를 표시한 것이다. 사용하는 주파수가 틀리면 CCD에서 나오는 영상 크기와 범용 인코더에서 사용하는 영상 크기가 다르기 때문에 이를 맞추기 위한 scaler가 필요하다. 또한 CCD와 인코더에서 사용하는 2개의 clock 동기를 맞추기 위한 PLL 회로가 필요하다. scaler는 하드웨어 크기를 상승시키고, PLL은 노이즈를 발생시킨다. 본 논문에서는 scaler와 PLL이 필요 없도록 CCD와 동일한 clock으로 동작하는 고성능 비디오 인코더를 제안하고자 한다.

표 1. CVBS의 각 표준 포맷  
Table. 1 Standard format for CVBS

출력 포맷	Fsc(MHz)	Pedestal Levels (IRE)	해상도 (line×pixel)
M/NTSC	3.5795454545	7.5	525×858
J/NTSC	3.5795454545	0	525×858
4.43/NTSC	4.43361875	7.5	525×858
M/PAL	3.575618881	7.5	525×858
B,D,G,H,I/PAL	4.43361875	0	625×864
N/PAL	4.43361875	7.5	625×864
Combination N/PAL	3.58205625	0	625×864

표 2. CCD 종류에 따른 동작 특성  
Table. 2 specification of CCD

CCD 종류	Normal NTSC	High NTSC	Normal PAL	High PAL
Sampling Frequency (MHz)	19.06993	28.63636	18.9375	28.375
Horizontal Pixel (2× Oversampling)	1212	1820	1212	1816
Active Pixel (2× Oversampling)	1016	1528	996	1496
Vertical Line	525	525	625	625

## II. 인코딩 알고리즘

인코더에 신호가 입력되면 화질을 높이기 위해서 interpolation 필터를 사용하여 2배 오버샘플링 한다. 표 2의 출력 포맷으로 바꾸기 위해서 입력되는 YCbCr 신호는 아래의 수식을 사용하여 YUV 신호로 변환된다. 아래의 수식은 모든 M,4.43/NTSC와 M,N/PAL 출력 포맷일 때 사용되는 수식이다[3].

$$\begin{aligned}
 Y &= 0.591 \times (Y - 16) \\
 U &= 0.504 \times (Cb - 128) \\
 V &= 0.711 \times (Cr - 128)
 \end{aligned}
 \tag{1}$$

수식 1은 하드웨어 곱셈기를 사용해야만 구현할 수 있다. 곱셈기는 하드웨어 크기가 크므로 이를 사용하지 않고 구현하기 위해서 수식 2와같이 변환하였다.

$$\begin{aligned}
 Y &= (1/2 - 1/16 + 1/32) \times (Y - 16) \\
 U &= (1/2 + 1/256) \times (Cb - 128) \\
 V &= (1/2 + 1/8 + 1/16 + 1/64 + 1/128) \times (Cr - 128)
 \end{aligned}
 \tag{2}$$

수식 2에서 1/256은 (Cb-128) 값을 이진수로 표현하였을 때, 소수점을 아래로 8bit 내린 것을 의미한다. 다시 말해서 입력이 8bit이면 출력은 16bit (8bit정수, 8bit소수)가 된다. 이렇게 해서 곱셈기를 사용하지 않고, 덧셈기와 쉬프트만으로 수식 1을 구현할 수 있다.

디지털 필터는 비디오 인코더의 성능에 많은 영향을 미친다. 필터의 역할은 신호 대 잡음비를 높여 주고, 표준에 만족하도록 CVBS신호의 대역폭을 제한한다. 표준에서 권장하는 대역폭은 명암 신호 Y는 6MHz, 색차신호인 UV는 1.5MHz를 이다[2]. 본 비디오 인코더는 표 1에서와 같이 4개의 가변 동작 clock을 가지므로 한 개의 필터만으로 설계했을 경우 필터의 특성 또한 가변 되게 된다. 이러한 문제를 해결하기 위해서 Normal 모드와 High 모드에서 사용하는 필터를 따로 두어 동작 clock에 상관없이 대역폭이 일정 하게끔 하였다. 수식 3은 제안된 인코더에서 normal NTSC일 때 사용된 4개의 C 필터 전달 함수를 보여주고 있다[4]. 4개의 필터는 모두 순차적으로 연결되어 하나의 특성을 가지는 필터를 형성하게 된다. 수식 3에서 gain은 4개의 필터 계수가 정규화 되어 있지 않기 때문에 정규화 시키기 위한 값이다. 필터의 모든 계수와 gain 값은 2의 지수 승으로 설계되었다. 그래서 곱셈기가 없이 하드웨어로 구현할 수 있다. 그림 1은 수식 3의 전달 함수에 해당하는 주파수 응답 곡선이다. 그림에서 알 수 있듯이 3dB 대역폭이 표준에서 권장하는 1.5MHz를 만족함을 알 수 있다. 수식 4는 high NTSC에서 사용된 필터 중 마지막 필터의 전달 함수이다. 나머지 3개는 수식 3의 것과 동일하다. high NTSC 모드에서 수식 3의 전달 함수를 그대로 사용할 경우 동작 주파수가 높아 졌기 때문에 필터의 3dB

대역폭이 넓어진다. 이를 보상하기 위해서 마지막 필터인  $H_4$ 를 따로 두어 입력 모드에 따라 자동적으로 선택되어 1.5MHz의 3dB 대역폭을 유지하는 것이다. 그림 2는 수식 4에 해당하는 주파수 응답 곡선이다. 그림 1과 마찬가지로 3dB 대역폭이 1.5MHz임을 알 수 있다. 명암 신호인 Y를 제한하는 필터도 수식 3과 유사한 구조로 설계되었다[1].

$$\begin{aligned}
 H_1 &= \{1 + 2Z^{-2} + Z^{-4}\} / 4, \\
 H_2 &= \{1 + (1+2)Z^{-2} + Z^{-4}\} / 4, \\
 H_3 &= \{1 + 2Z^{-2} + Z^{-4}\} / 4, \\
 H_4 &= \{-1 + (-1 - \frac{1}{4} + \frac{1}{32})Z^{-1} + 2Z^{-2} \\
 &\quad + (-1 - \frac{1}{4} + \frac{1}{32})Z^{-3} - Z^{-4}\} \times gain
 \end{aligned}
 \tag{3}$$

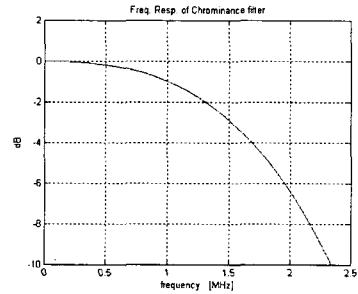


그림 1. Normal NTSC의 색차신호 LPF의 주파수 응답  
Fig. 1 Impulse response of chrominance LPF as Norma NTSC

$$H_4 = \{(1 - \frac{1}{8}) + (8+1)Z^{-2} + (1 - \frac{1}{8})Z^{-4}\} \times gain \tag{4}$$

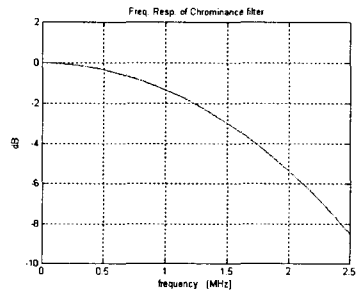


그림 2. High NTSC의 색차신호 LPF의 주파수 응답  
Fig. 2 Impulse response of chrominance LPF as High NTSC

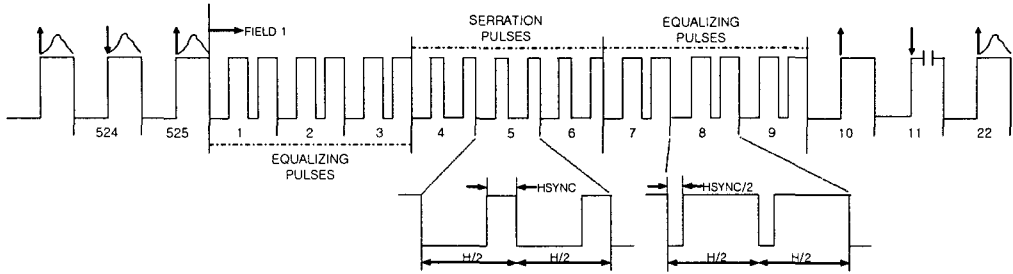


그림 3. CVBS의 composite sync  
Fig. 3 Composite sync of CVBS

대역 제한된 UV신호는 sine과 cosine를 사용하여 QAM(Quadrature Amplitude Modulation)을 하게 된다. 이때 sub-carrier를 만들기 위해서 제안된 비디오 인코더는 DTO(Discrete time oscillator)를 사용하였다. 수식 5는 DTO의 동작을 설명해주는 수식이다[3].

$$p = \frac{F_{sc}}{F_s} q \tag{5}$$

여기서  $F_{sc}$ 는 sub-carrier 주파수이고,  $F_s$ 는 인코더의 동작 클럭 주파수,  $q$ 는 DTO의 크기를 나타내는 값,  $p$ 는 만들고자 하는 sub-carrier에 해당하는 디지털 값이다.  $F_{sc}$ 는 표 2에서 각각의 출력 포맷에 의해서 고정된 값이고,  $F_s$ 는 표 1에서와 같이 CCD의 동작주파수로 고정된다. 그래서  $q$  값은 인코더의 성능을 최대한으로 높이고, 하드웨어 사이즈를 고려하여 적절히 선택되어 져야 한다. NTSC는 4 fields (2 frame)마다 위상이 반복되고, PAL은 8 fields (4 frame)마다 자기 위상으로 돌아오는 특성을 가지고 있다.[2]. 즉 4 frame까지 위상 오차가 발생하지 않도록  $q$  값이 결정되어 진다면, 4 frame 마다 DTO를 리셋하여 sub-carrier의 위상오차가 전혀 발생하지 않게 할 수 있다. 표 3은  $q$  값을 달리하여, 각 프레임 후의 위상 값에 해당하는 ROM address 값을 나타내고 있다. DTO에서 출력되는 값은 sine, cosine ROM의 address 값으로 사용되는데, 여기서 address가 10bit이라고 가정할 것이다.

표 3. CVBS의 각 표준 포맷  
Table. 3 Standard format for CVBS

q 크기 (bit)	해당 frame 이후의 첫 픽셀의 위상			
	1	2	3	4
30	513	1	513	1
32	512	0	512	0

$q$ 의 크기가 32bit인 경우 1frame 이후에 180° 위상에 해당하는 512(address가 10bit인 경우)가 출력되고, 4frame 이후에 원래 위상인 0°에 해당하는 0이 출력되어야 한다. 하지만  $q$ 의 크기가 30bit인 경우 1frame 이후에는 513, 4frame 이후에는 1이 출력되어서 오차가 발생함을 알 수 있다. 이는 위상으로 0.35°에 해당하는 값으로 오차가 계속해서 누적되면 위상은 점점 어긋나게 된다. 그래서 제안된 인코더는 위상오차가 발생하지 않는 최소의 크기인 32bit로 DTO를 설계하였다. DTO의 출력이 sine, cosine ROM의 address로 사용되는데, ROM의 address 및 data의 bit 크기가 sub-carrier의 정확성을 결정하게 된다. bit 크기를 결정하기 위해서 각각의 bit에 해당하는 sub-carrier를 만들어서 FFT를 구해본 결과 address bit는 10bit, data bit는 10bit를 사용했을 때, 하드웨어 사이즈를 고려하여 가장 적절한 크기임을 알 수 있었다[8]. 이렇게 결정된 사이즈로  $F_{sc}$ 와  $F_s$  만을 변화 시켜 계산된  $p$  값을 하드웨어에 저장 시켜놓고 사용자가 선택한 입출력 모드에 의해서  $p$  값을 불러와 사용하면 QAM시에 필요한 sub-carrier를 만들 수 있다.

필터 이외에 입력 clock이 가변되면 바뀌어야 하는 것이 composite sync이다. composite sync는 CVBS 안에 삽입되는 동기 신호로서 신호의 시작과 끝을 알려주는 역할을 한다. composite sync를 비디오 디코더가 감지하여 수평, 수직 동기신호를 만들어 내는데, 이를 만드는 방법은 표준에서 제시하고 있다. 그림 3은 CVBS 신호에 삽입되는 composite sync신호 모양을 나타낸 것이다[3]. Equalizing pulse 3라인과 Serration pulse 3 그리고 다시 Equalizing pulse 3라인으로 신호의 시작을 표시한다. Serration pulse와 Equalizing pulse를 보면 HSYNC와 H에 의해서 특수한 모양이 만들어 진다. H는 표 1에 있는 horizontal pixel 수를

나타내고 HSYNC는 수식 6와 같이 계산 되어 진다[3]. 표 1에 있는 입력 clock주파수와 수식 6에 의해서 계산된 HSYNC값을 정리 한 것이 표 4이다. 사용자가 선택한 입력 clock에 대한 HSYNC를 선택하여 그림 3의 pulse들을 만들어 내어 표준에 만족하도록 설계하였다.

$$HSYNC = H/16 + H/128 + H/256 + 1 \quad (6)$$

표 4. 입력 clock에 대한 HSYNC  
Table. 4 HSYNC of input clock

CCD 종류	Normal NTSC	High NTSC	Normal PAL	High PAL
Sampling Frequency (MHz)	19.06993	28.63636	18.9375	28.375
Horizontal Pixel (H)	1212	1820	1212	1816
HSYNC	91	136	91	136

Sub-carrier가 만들어 지면, 수식 7을 이용하여 인코더의 최종 출력신호인 CVBS를 만들 수 있다[3].

$$CVBS = Y + C = Y + (U \sin wt + V \cos wt) \text{ for NTSC} \\ = Y + (U \sin wt \pm V \cos wt) \text{ for PAL} \quad (7)$$

Y는 명암 성분을 나타내는 것이고, C는 색차 성분인 UV 신호를 QAM을 한 신호를 나타내는 것이다. 그림 4는 ITU-R BT. 470 표준을 만족하는 75% color bar M/NTSC의 CVBS 신호의 출력을 나타낸다[5]. 그림 5은 수식 7를 이용하여 floating point로 계산되어진 CVBS와 하드웨어 설계에 의하여 fixed point로 연산되어진 CVBS와의 차이 값을 나타내고 있다. 모든 오차 값이 ±1 LSB(10bit 기준) 이하이므로, 하드웨어가 가질 수 있는 최소한의 오차로 설계되었음을 알 수 있다.

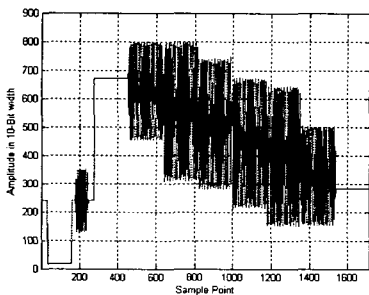


그림 4. M/NTSC의 color bar CVBS  
Fig. 4 color bar CVBS of M/NTSC

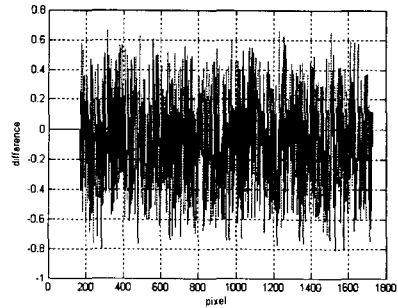


그림 5. 하드웨어 설계 오차 값

Fig. 5 The error value generated by designed structure

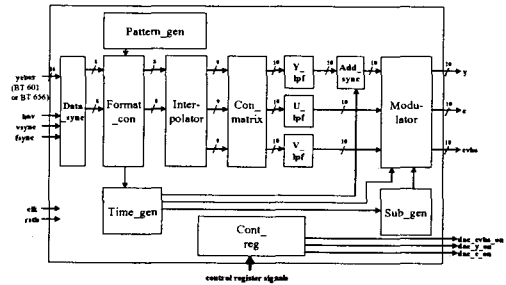


그림 6. 비디오 인코더의 블록 다이어그램

Fig. 6 Block diagram of the proposed video encoder

### III. 하드웨어 구현

그림 6는 제안된 비디오 인코더의 블록 다이어그램을 보여준다. 인코더는 총 14개의 블록으로 구성되어 진다. 첫 번째로 Data\_sync-블록은 외부에서 들어오는 모든 data를 동작 주파수로 동기화 시켜주는 역할을 한다. Time\_gen 블록은 입력되는 동기신호를 기준으로 인코더에서 필요한 모든 제어 신호를 만들어 준다. Pattern\_gen 블록은 인코더가 입력 신호를 받지 않고도, 간단하게 테스트 할 수 있도록 표준 영상 패턴을 만들어 주는 블록이다. Format\_con 블록은 입력 신호가 BT.656인 경우에 BT. 601로 바꾸어 주는 역할을 한다[6,7]. Interpolator 블록은 입력 신호를 2배 오버샘플링 하는 역할을 한다. Con\_matrix 블록은 수식 2와 같이 YCbCr 신호를 YUV 신호로 바꾸어 주는 블록이다. Y\_lpf 블록은 명암 신호인 Y 신호를 표준에 맞게끔 대역을 제한하고, 신호 대 잡음 비를 향상시킬 수 있도록 해주는 필터링 역할을 한다. U\_lpf,

V\_lpf도 색차신호인 UV 신호를 필터링 하는 블록이다. 대역 제한된 Y 신호에는 그림 3과 같은 composite sync가 삽입되어야 하는데 이를 Add\_sync 블록에서 행해진다. Sub\_gen 블록은 QAM을 하기위한 sine, cosine 신호를 실시간으로 만들어 주는 블록으로서, DTO와 ROM을 포함하고 있다. 대역 제한된 UV 신호와 Sub\_gen 블록에서 만들어진 sub-carrier를 가지고 QAM을 하고, 이를 composite sync가 삽입된 Y신호와 더해져 수직 7과 같은 인코더의 최종 출력인 CVBS 신호를 만들어 주는 블록이 Modulator 블록이다. S-video를 위해서 Y와 C성분이 따로 출력된다. 제안된 인코더는 여러 가지의 입력모드와 출력모드를 지원하도록 설계되었다. 이를 제어하기 위해서 I2C 프로토콜을 사용하여 I2C 블록에서 통신을 하게 된다. 인코더를 제어하기 위한 각종 제어 정보는 Cont\_reg 블록에 저장된다.

제안된 인코더는 Verilog-HDL을 이용하여 설계되었고, Synopsys 시뮬레이터를 이용하여 검증되었다[8,9]. 모든 검증이 수행된 후에 TSMC 0.25-um library로 합성하여, 전체 시스템이 최대 동작 주파수인 29MHz를 만족하는지를 테스트 하였다. 표 5에서 각각의 블록에 대한 gate counts와 동작 속도를 나타내고 있다. one gate는 2-input Nand를 나타내며, 총 gate count는 44,571개임을 알 수 있었다. 가장 동작 속도가 느린 Y\_lpf의 경우 최대 동작 시간인 27.25ns(36.70MHz)로 동작 주파수인 34ns(29MHz)를 만족함을 알 수 있었다.

표 5. 하드웨어 크기와 최대 동작 시간

Table. 5 Hardware complexity and maximum timings

Logic module	Gate counts	Max timings (ns)
Data_sync	122	5.07
Time_gen	3,276	11.29
Pattern_gen	2,376	16.59
Format_con	337	7.66
Interpolator	1,912	7.35
Con_matrix	2,529	16.15
Y_lpf	8,592	27.25
U_lpf	6,543	23.07
V_lpf	6,543	23.07
Add_sync	1,459	16.02
Sub_gen	1,939	19.92
Modulator	6,276	16.42
I2C	1,985	10.64
cont_reg	682	6.19
Total	44,571	-

#### IV. 실험 결과

본 논문에서 제안된 인코더는 Altera FPGA Stratix EP1S80B953C6ES을 이용하여 실시간 검증을 하였다. 사용된 검증 보드를 그림 7에서 보여주고 있다. 제안된 비디오 인코더는 입력 신호로 컴포넌트 신호를 사용한다. 이러한 컴포넌트 신호를 만들기 위해서 DVD 플레이어에서 출력되는 컴포지트 신호를 Samsung 비디오 디코더 KS0127B를 이용하여 컴포넌트 신호로 바꾸어 제안된 인코더에 입력하였다. FPGA에서 출력되는 디지털 신호를 아날로그 신호로 바꾸기 위해서 Analog Device ADV712KB50 DAC를 이용하였다.

그림 8은 그림 7의 검증 보드를 사용하여, SAMSUNG CX174MP LCD-TV로 실시간 테스트를 한 사진이다. 입력 패턴으로는 75% color bar를 사용하였다. 비디오 인코더의 성능을 테스트하기 위한 장비로 Vectorscope라는 장비가 있다. 표준 영상 신호인 color bar 입력을 하였을 경우에 Vectorscope의 표준 좌표에 모든 점들이 들어가는지를 확인하여 입력되어진 color bar가 잘 인코딩 되었는지를 판단하게 된다. 그림 9는 M/NTSC 출력 모드의 color bar를 Leader 사의 5212 Vectorscope에 입력하여 측정된 자료이다. 제안된 인코더의 color bar 출력이 모든 표준 좌표 안에 정확히 들어감을 알 수 있다.

#### V. 결론

본 논문은 CCTV용 CCD의 동작 clock과 같은 속도의 clock으로 동작하는 비디오 인코더의 설계 및 구현에 관한 것이다. 인코더의 입력 clock이 가변이므로 내부에 있는 필터의 특성 또한 변하게 된다. 표준에서 권장하는 신호의 대역폭은 일정하므로, 입력 clock에 따라 필터도 가변 될 수 있도록 하여 필터의 특성이 일정하도록 설계하였다. CVBS신호의 동기 정보인 composite sync의 모양도 CCD의 동작 특성에 의해서 자동적으로 변하도록 설계하였다. 그리고 하드웨어 크기를 줄이기 위해서 곱셈기를 사용하지 않는 구조로 설계하였다. QAM에 사용되는 sine 과 cosine을 만들어주는 DTO의 크기를 인코더가 동작하는 동안 오차가 전혀 발생하지 않도록 결정하였다. 하드웨어의 bit 크기를 최종 출력 오차가  $\pm 1$  LSB 이하가 되도록 설계하여 고성능의 비디오 인코더를 구현하였다. 설계

되어진 비디오 인코더는 FPGA를 사용하여 실제 TV에서 실시간 테스트 하였으며, 동작 하는데 전혀 문제가 없음을 확인 하였다.

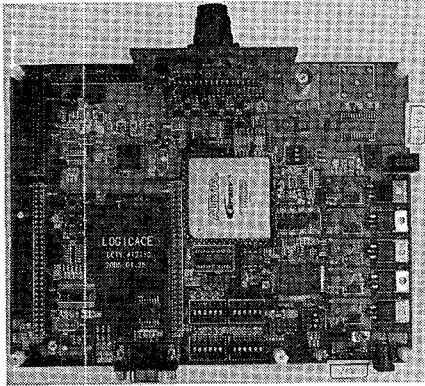


그림 7. 검증용 PCB 보드  
Fig. 7 Demonstration PCB board

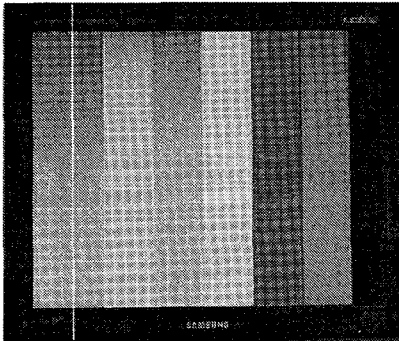


그림 8. M/NTSC의 실시간 테스트 화면  
Fig. 8 Live video for M/NTSC

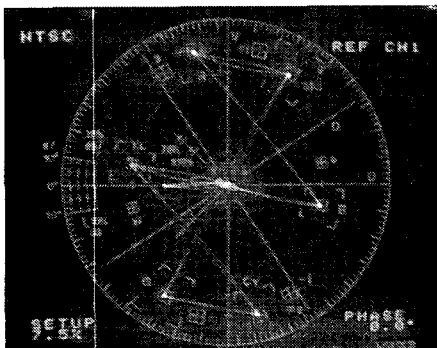


그림 9. M/NTSC의 Vectorscope  
Fig. 9 Vectorscope of M/NTSC

### 감사의 글

본 연구에서 사용된 software는 IDEC의 지원으로 이루어졌습니다.

### 참고문헌

- [1] 김주현, 강봉순, "±1LSB 이하의 오차를 가지는 복합 영상 부호화기의 설계 및 구현," 한국해양정보통신 학회지, Vol.8, No. 6, pp. 1147-1152, 2004.
- [2] ITU-R BT.470-6, Conventional Television Systems, 1998.
- [3] K. Jack, *Video Demystified: a Handbook for the Digital Engineer*, HighText publications, 2001.
- [4] 김주현, 홍두일, 강봉순, "Video Encoder를 위한 Chrominance Filter의 설계," 한국 신호처리시스템 학회 추계 종합 학술대회 논문집 3권 2호, pp. 73-76, 2002.
- [5] G. J. Borse, *Numerical Methods with MATLAB, a Resource for Scientists and Engineers*, PWS Publishing Company, Boston, 1997.
- [6] ITU-R BT.601-5, Studio Encoding Parameters of Digital Television For Standard 4:3 and Wide-screen 16:9 Aspect Ratios, 1995.
- [7] ITU-R BT.656-4, Interfaces for digital component video signals in 525-line and 625 -line television systems operating at the 4:2:2 level of recommendation ITU-R BT.601, 1998.
- [8] B. Kang, O. Moon, C. Hong, H. Lee, B. Cho and Y. Kim, "Design of advanced color temperature control system for HDTV applications," JKPS, Vol. 41, No. 6, pp. 865-871, Dec. 2002.
- [9] S. Palnitkar, *Verilog HDL A Guide to Digital Design and Synthesis*, Prentice Hall, 2001.

저자소개



김 주 현(Ju-Hyun Kim)

2002년 동아대학교 전기전자컴퓨터  
공학부 전자전공 졸업  
(공학사)  
2004년 동아대학교 대학원 전자공  
학과 (공학석사)

2004년~현재 동아대학교 대학원 전자공학과 박사과정  
※ 관심분야 : System IC Design



강봉순(Bongsoon Kang)

1985년 연세대학교 전자공학과  
(공학사)  
1987년 미국 University of Pennsylvania  
전기공학과 (공학석사)  
1990년 미국 Drexel University 전기  
및 컴퓨터공학과 (공학박사)

1989년~1999년 삼성전자 반도체 수석연구원  
1999년~현재 동아대학교 전기컴퓨터공학부 부교수  
※ 관심분야 : System IC Design



하 주 명(Ju-Hyun Kim)

2003년 동아대학교 전기전자컴퓨터  
공학부 전자전공 졸업 (공학사)  
2005년 동아대학교 대학원 전자공  
학과 (공학석사)  
2005년~현재 동아대학교 대학원  
전자공학과 박사과정

※ 관심분야 : System IC Design