

논문 2006-43SC-1-6

델타시그마 변환기 구조와 Limit Cycle 발생

(Delta-Sigma Modulator Structure and limit Cycle Generation)

현 덕 환*

(Deokhwan Hyun)

요 약

델타시그마 변환기에서 limit cycle 에 의한 패턴 노이즈 문제는 오래 동안 설계자들을 괴롭혀 온 문제이다. 델타시그마 변환기의 동작과 출력은 입력과 초기치에 의해 결정된다. 본 논문은 델타시그마 변환기의 구조에 따른 패턴잡음의 발생정도를 널리 쓰이는 네 가지 모델로 비교 하였다. 델타시그마 변환기 중 적분기형 과 공진기형의 차이와 부궤환 방식에 따른 차이를 비교 하였으며 그 결과는 적분기 형식의 증폭단을 사용하는 델타시그마 변환기가 패턴잡음을 적게 발생시키는 것으로 판명되었다.

Abstract

Pattern noise in the Delta-Sigma modulator is a well known phenomenon that intrigued many circuit designers. These noise appear as the modulator output falls into a cyclic mode of operation. This paper addresses the dependence of these tone signal upon the system topologies. Among the four well known single-stage DSM topologies, namely Cascade of Integrators with Feedback Form(CIFB), Cascade of Integrators with Feedforward Form(CIFF), Cascade of Resonators with Feedback Form(CRFB), and Cascade of Resonators with Feedforward Form(CRFF), resonator type DSMs turn out to be more susceptible to the pattern noise than the integrator type. Noise transfer functions of the investigated topologies are also presented.

Keywords : delta-sigma modulator, limit cycle, pattern noise, characteristic noise, noise transfer function

I. 서 론

그 이론적인 가능성이 오래 전에 제안된 델타-시그마 변환기(Delta-Sigma Modulator(DSM))는 최근 들어 그 중요성이 꾸준히 부각되고 있으며 따라서 많은 연구가 진행되고 있다. 이에 따라 다양한 분야로 그 적용범위도 넓혀 가고 있다^{[1][2]}. DSM 의 고유한 장점 중에 하나인 소자 값에 대한 포용성(강인성)은 신호 주파수에 비하여 과도하게 높은 주파수로 신호를 샘플링 하는 oversampling 동작과 그에 따른 noise shaping 특성에 기인한다.

Noise shaping 은 DSM 의 출력 양자기에서 발생하는 양자화 잡음의 주파수 특성을 변화시켜 이를 저주파 대역의 신호 주파수와 분리시킨다. 이 두 신호를 분리함으로써 통상적인 데이터 변환기의 아날로그 신호 처리 부분을 디지털 영역으로 이동시킬 수 있게 되었고 결과적으로 시스템의 설계와 제작이 용이하게 되었다. 이것은 최근 고속화, 고집적화된 반도체 기술의 발전에 힘입은 바 크다.

비록 single-stage single-bit DSM 이 데이터 변환기를 포함하는 다양한 분야에 사용되기는 하지만 그 동작 중 안정성 문제는 여전히 완전한 해석이 이루어지지 않은 영역이다^{[3]~[5]}.

DSM 의 또 다른 문제는 DSM 출력에서 야기되는 limit cycle(LC) 이다. 동일한 현상이 유한 정도를 가지는 디지털 IIR 필터 에서도 발견되며 이것은 비선형 소

* 정회원, 경주대학교 컴퓨터정보시스템공학부
(Dept. of Comp. & Information System Engineering
Gyeongju University).
접수일자: 2005년9월28일 수정완료일: 2006년1월5일

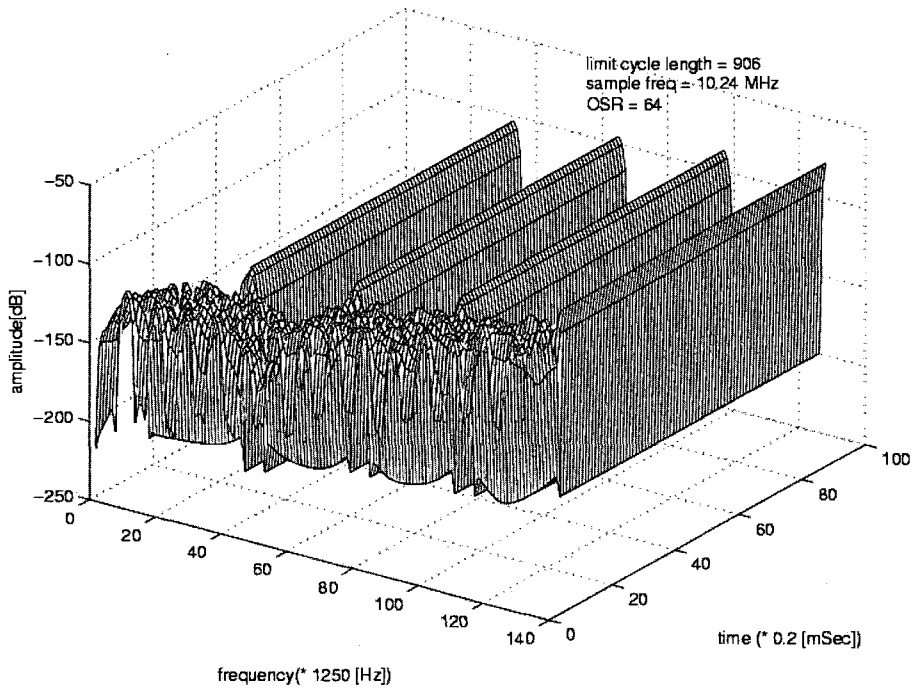


그림 1. 특성톤을 발생 시키는 DSM 출력의 short-time 푸리에 변환
 Fig. 1. Short-time fourier transform of DSM output with characteric tones.

자를 포함하는 부계환 시스템에서 흔히 일어나는 현상이다. 그림 1 은 LC에 의한 특성톤(Characteristic tone)이 발생된 DSM 출력의 short-time 푸리에 변환을 보여준다. 이 현상이 일어나는 경우 백색 가우시안(White Gaussian)으로 가정한 양자화 잡음에 대한 전제가 성립하지 않으며 따라서 출력의 신호대잡음비(SNR)도 무의미하게 된다. DSM에서 LC는 통상 0 혹은 상수 입력하에서 잘 일어나지만, 심지어 정현파(sine) 입력에 대하여도 양자화 잡음이 백색이 되지 않아 강한 tone 성분이 출력에서 관측된다. 이 현상은 1,2차 시스템의 경우 거의 항상 관측되며 시스템의 차수가 높아질수록 발생빈도가 감소한다. 1,2 차 시스템의 경우 LC에 대한 시스템의 취약성 때문에 single-stage 보다는 MASH 구성과 같은 다단 시스템의 일부로 사용된다. 그러나 이경우도 limit cycle 발생을 완전히 제거 할 수는 없다^{[6][7]}.

DSM의 STF(signal transfer function)와 NTF (noise transfer function) 는 다양한 방법으로 구성이 가능하다. single-stage 인 경우 양자기 출력의 부계환 방식에 따라 다중 계환 과 단일 계환 형식이 있으며 중간 신호 처리단의 지연 정도에 따라 적분기 형식과 공진기 형식이 있다. 이외에도 계환 과 feedforward 가 동시에 존재하거나 양자화 잡음을 계환 시키는 방법 등 다양한 구조의 DSM 설계가 가능하다^{[8][9]}.

본 논문은 single-stage DSM 에서의 LC 발생 빈도

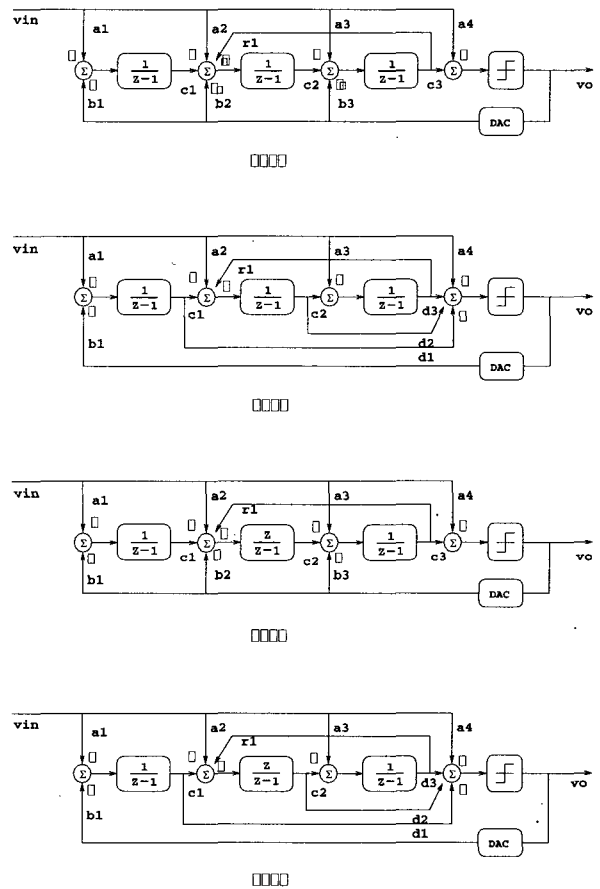


그림 2. DSM의 구조(N=3 인 경우)
 Fig. 2. DSM structure(N=3 case).

를 자주 사용되는 DSM 의 구조에 따라 비교하였다. Single-stage DSM 의 경우 그 구조를 Cascade of Integrators with Feedback Form(CIFB), Cascade of Integrators with Feedforward Form(CIFF), Cascade of Resonators with Feedback Form(CRFB), 과 Cascade of Resonators with Feedforward Form(CRFF) 등 4가지로 구분하였으며 각각의 경우 0 입력을 시스템에 인가하여 LC 의 발생빈도를 비교하였다. 그 결과는 매우 흥미로운 것이었으며 적분기 형식과 공진기 형식간에 뚜렷한 차이를 보였다. 상기한 각 DSM 구조별로 시스템의 차수가 3 차 인 경우 계통도는 그림 2 와 같다. 공진기 형식인 경우 연속되는 적분기중 하나에서만 z^{-1} 의 지연이 있어야 한다.

II. Single-Stage 델타-시그마 변환기

Single-stage, single-bit DSM의 계통도를 일반화 하면 아래 그림 3과 같다. 여기서

$$V(z) = L_0(z)U(z) + L_1(z)Y(z) \quad (1)$$

이고

$$L_0(z) = \frac{N_0(z)}{D_0(z)}, L_1(z) = \frac{N_1(z)}{D_1(z)} \text{ 이면}$$

$$Y(z) = \frac{D_1(z)N_0(z)}{D_0(z)(D_1(z)-N_1(z))} \cdot U(z) + \frac{D_1(z)}{D_1(z)-N_1(z)} \cdot E(z) \quad (2)$$

이 된다.

U 와 V 입력에 대한 loop filter 내의 전방향이득(forward path gain) 은 각각 다르지만 필터의 구조가 동일하므로 통상 $D_0(z) = D_1(z)$ 의 관계가 성립한다. 이 경우

$$Y(z) = \frac{N_0(z)}{D_1(z)-N_1(z)}U(z) + \frac{D_1(z)}{D_1(z)-N_1(z)}E(z) \quad (3)$$

$$= STF \cdot U(z) + NTF \cdot E(z)$$

가 된다.

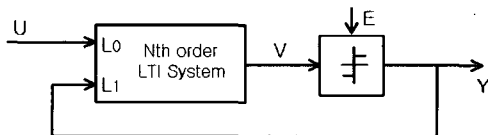


그림 3. N차 DSM 의 계통도
Fig. 3. Nth order DSM block diagram.

즉 $L_1(z)$ 함수의 극점(pole) 이 NTF 의 영점(zero) 이 되며 이것은 Loop filter 내에 존재하는 폐회로의 이득에 따라 결정된다. Filter 내에 폐회로가 존재하지 않으면 NTF 의 영점은($L_1(z)$ 의 극점(pole)) 모두 $z = 1$ 에 존재하게 된다.

시스템의 차수가 n 인 경우 $m=n/2$ (n : 짝수) 혹은 $m=(n-1)/2$ (n : 홀수) 로 두면 적분기 형식의 시스템인 경우 $L_1(z)$ 의 분모는 n 이 홀수인 경우

$$D_1(z) = (z-1) \prod_{i=1}^m [(z-1)^2 + c_{2i}r_i] \quad (4)$$

이고 n 이 짝수인 경우

$$D_1(z) = \prod_{i=1}^m [(z-1)^2 + c_{2i-1}r_i] \quad (5)$$

으로 주어진다. 따라서 $L_1(z)$ 의 극점은

$$z_i = 1 \pm j\sqrt{c_{2i}r_i} \quad (6)$$

에 존재하고 $w_i \ll 1$ 인 경우 $w_i \cong \sqrt{c_{2i}r_i}$ 의 관계가 성립한다. 이 경우 $L_1(z)$ 의 극점이 단위원 위에 있지 않으므로 $|H(z)|_{w=w_i} \neq \infty$ 이고 따라서 $|NTF|_{w=w_i} \neq 0$ 이다. 그러나 통상 DSM 의 OSR 이 큰 값 이므로 $w_i \ll 1$ 이 되어 양자화 잡음을 제거 하는데 큰 문제는 없다.

공진기 형식의 시스템인 경우 $L_1(z)$ 의 분모는 n 이 홀수인 경우

$$D_1(z) = (z-1) \prod_{i=1}^m [(z-1)^2 + c_{2i}r_i z] \quad (7)$$

n 이 짝수인 경우

$$D_1(z) = \prod_{i=1}^m [(z-1)^2 + c_{2i-1}r_i z] \quad (8)$$

가 된다. 이 경우 $L_1(z)$ 의 pole 은

$$z_i = 1 - \frac{c_{2i}r_{2i}}{2} \pm \sqrt{c_{2i}r_i - \frac{(c_{2i}r_i)^2}{4}} \quad (9)$$

이 되고 이때 z_i 는 단위원 위에 존재하여 $|H(z)|_{w=w_i} = \infty$ 가 되고 $|NTF|_{w=w_i} = 0$ 가 된다.

CIFB 형식의 경우 $L_1(z)$ 의 분자는 n 이 홀수인 경우

$$N_1(z) = b_1 \cdot \left(\prod_{i=1}^n c_i \right) + (z-1) \sum_{i=1}^m \left[\left(\prod_{j=2i+1}^n c_j \right) \cdot [b_{2i}c_{2i} + b_{2i+1}(z-1)] \cdot \prod_{k=1}^{i-1} [(z-1)^2 + r_k c_{2k}] \right] \quad (10)$$

n 이 짝수 인 경우

$$N_1(z) = \sum_{i=1}^m \left[\left(\prod_{j=2i}^n c_j \right) \cdot [b_{2i-1}c_{2i-1} + b_{2i}(z-1)] \cdot \prod_{k=1}^{i-1} [(z-1)^2 + r_k c_{2k-1}] \right] \quad (11)$$

로 표시 된다.

CIFF 형식의 경우 n 이 홀수이면

$$N_1(z) = b_1 \cdot \left[\sum_{i=1}^m \left[\left(\prod_{j=1}^{2(i-1)} c_j \right) \cdot [c_{2i}d_{2i+1} + d_{2i}(z-1)] \cdot \left(\prod_{k=1}^{m-i} [(z-1)^2 + r_{m+1-k}c_{n+1-2k}] \right) \right] + d_1 \cdot \left(\prod_{k=1}^m [(z-1)^2 + r_k c_{2k}] \right) \right] \quad (12)$$

n 이 짝수이면

$$N_1(z) = b_1 \cdot \left[\sum_{i=1}^m \left[\left(\prod_{j=1}^{2i-1} c_j \right) \cdot [c_{2i-1}d_{2i} + d_{2i-1}(z-1)] \cdot \left(\prod_{k=1}^{m-i} [(z-1)^2 + r_{m+1-k}c_{n+1-2k}] \right) \right] \right] \quad (13)$$

로 표시된다.

CRFB 와 CRFF 형식의 $N_1(z)$ 도 유사한 함수로 표시 할 수 있다.

III. Limit Cycle 의 확인

위 그림 2 의 DSM 계통도에서 시스템의 상태 변수를 x 로 두고 시스템의 동작을 불연속 상태방정식으로 표시하면

$$x(n+1) = A x(n) + B y(n) + C u(n) \quad (14)$$

으로 표시된다^{[10][11]}. 여기서 A 는 $N \times N$ 의 시스템 행렬이고 B 와 C 는 $N \times 1$ 형식의 케환과 입력 벡터이다. 출력단의 양자기는 1-bit 양자기 이므로 출력은

$$v(n) = \beta \cdot \text{sgn}[y(n)]$$

로 표현된다. 여기서 $y(n)$ 는 양자기 입력을, β 는 양

자기 출력의 크기를 나타낸다. 그러면 전 시스템의 동작은 양자기 출력의 부호에 따라 아래 식으로 표시된다.

$$\begin{aligned} x(n+1) &= A x(n) + B \beta + C u(n) \quad \text{if } x(n) \geq 0 \\ x(n+1) &= A x(n) - B \beta + C u(n) \quad \text{if } x(n) < 0 \end{aligned} \quad (15)$$

만약 $u(n)$ 이 0 이거나 상수 α 이면 위식은 아래와 같은 식으로 다시 쓸 수 있다.

$$\begin{aligned} x(n+1) &= A x(n) + DP \quad \text{if } x(n) \geq 0 \\ x(n+1) &= A x(n) - DN \quad \text{if } x(n) < 0 \\ DP &= E\beta + C\alpha \\ DN &= -E\beta + C\alpha \end{aligned} \quad (16)$$

위 식에서 DSM에 DC 입력 α 가 인가되는 경우 시스템의 상태변수 $x(n)$ 은

$$x(n) = A^n x(0) + (A^{n-g1} + A^{n-g2} + \dots) DP + (A^{n-k1} + A^{n-k2} + \dots) DN \quad (17)$$

으로 표시된다. 위 식에서 gi 와 ki 는 DSM 의 출력 패턴에 따라 결정된다. DSM 의 출력에 길이가 n 인 LC가 생기는 경우 $x(n)$ 은 $x(0)$ 와 같아야 하고

$$\begin{aligned} (I - A^n)x(0) &= (A^{n-g1} + A^{n-g2} + \dots) DP \\ &\quad + (A^{n-k1} + A^{n-k2} + \dots) DN \\ &= x' \end{aligned} \quad (18)$$

의 관계가 성립한다. 통상 DSM에서 $(I - A^n)$ 행렬은 특이(singular)이며 이 경우 위식은 시스템의 초기치 벡터 $x(0)$ 에 대해 무수히 많은 해를 가진다. $(I - A^n)$ 행렬을 SVD(Singular Value Decomposition) 한 결과를 표시하면

$$(I - A^n) = [U_1 \ U_2] \begin{bmatrix} \Sigma_1 & 0 \\ 0 & 0 \end{bmatrix} \begin{bmatrix} V_1^T \\ V_2^T \end{bmatrix} \quad (19)$$

로 표현되고 이 때 초기치 $x(0)$ 는

$$x(0) = z + V_2 \cdot w \quad (20)$$

가 된다. 위 식에서 $z = V_1 \Sigma_1^{-1} U_1^T x'$ 이며 w 는 임의의 상수 이다. LC 의 초기치를 구하면 해당 출력의 순서는 식 (14)로 쉽게 계산이 가능하다.

IV. 특성 잡음 비교

Single-stage DSM 의 4 종류의 구조간에 LC 에 의

한 특성톤(characteristic tone) 발생빈도를 비교하기 위하여 각 DSM 의 NTF 는 표1 과 같은 동일한 설계변수로 설계되었다.

이 중 CRFF 형식 의 hgain은 시스템의 안정성을 보장하기 위하여 1.55로 조정되었다. hgain은 $f=fs/2$ 에서 NTF 이득을 뜻하며 hgain 이 높을수록 신호대역에서의 S/N 비는 증가하지만 시스템의 안정성은 감소한다. 이 값은 통상 1.5 정도가 권고되어지며 Kuo는 이 값의 하한치를 아래식과 같이 제시하였다.(여기서 N 은 시스템의 차수이다. $N \geq 3$ 인 경우 적용)^[12]

$$hgain = 1.5 - 0.04 \cdot (N - 3) \quad (21)$$

따라서 hgain을 1.7 로 한 설계변수는 신호대역의 S/N 비를 증가시키기 위해 값을 높인 경우에 해당한다. 그러나 입력신호가 0.5[V] 이하인 범위에서 모든 시스템이 안정적으로 동작하였다. 이중 CRFF 형식 은 hgain이 1.7인 경우 0.5[V] 입력에 대하여 시스템이 불안정하게 동작하였으므로 시스템의 안정을 보장할 수 있는 hgain 값 1.55로 조정하였다.

표 2는 표 1의 설계변수로 설계한 DSM 의 구조별 계수 값이다.

각 계수 값은 각 증폭단의 평균 출력값이 0.3[V] 가 되도록 조정되어 특정 증폭단의 출력이 과도하게 커지거나 작아지는 것을 방지하였다. 각 시스템의 동작 중 발생하는 LC의 발생빈도를 비교하기 위하여 각 시스템은 매번 다른 초기치로 1,000회씩 시뮬레이션 되었다. 시스템의 출력 순서 중 LC 가 포함되어 있는지, 또 포함된 LC 때문에 특정 주파수 성분이 출력에 존재하는지를 주파수 분석을 통하여 확인하는 것은 매우 어려운 일이다. 먼저 DSM 출력에서 LC가 연속적인 현상이 아

닌 일시적인 현상일 수 있으며, DSM 출력이 최종적으로 LC에 빠져서 특정 주기가 반복되는 경우도 그 주기가 실제 시작하기 전 상당한 기간 동안 주기가 없는 랜덤(random) 한 신호로 출력되기 때문이다. 따라서 주파수 해석을 통한 특성톤 신호 분석으로 LC를 찾기보다는 출력신호의 자기상관계수(autocorrelation) 로 출력신호 내에 있을 수 있는 LC를 찾는 것이 효과적이다. 먼저 시스템의 특성과 초기치에 의한 시스템의 과도현상을 배제하기 위하여 출력값 중 2000 샘플 정도의 출력은 제외되었다. 그 후 300 샘플 정도의 출력신호를 기준창(window) 신호로 정하여 이 기준창 신호와 DSM 전체 출력신호 간의 자기상관계수를 구하였다. 이 경우 반복되는 출력이 있는 경우 자기상관계수에서 특정한 패턴 이 반복되게 된다. 이 과정은 출력신호 속에 포함된 LC의 존재 여부뿐 아니라 그것의 정확한 주기도 알려 주기 때문에 주파수 영역에서 특성톤 신호의 정확한 주파수도 알게 하여 준다. 위의 과정을 4 가지 DSM 구조에 적용한 결과 각 구조에 따라 발견된 LC의 회수는 표 3 과 같다.

이 결과는 적분기 형식 보다 공진기 형식의 DSM이 더 많은 LC를 발생시킨다는 것을 보여준다. 그 원인을 알기 위해서는 추가적인 연구가 필요한 것으로 판단되나, 적분기 형식과 공진기 형식의 차이는 입력에서 출력에 이르는 신호 경로의 지연시간임을 고려할 때 지연시간의 차이가 시스템 내부의 상태변수의 분산정도에 영향을 미친 것으로 추측된다. 시스템구조의 선택은 설계 요구조건과 환경에 따라 결정될 사항이나 LC 와 그에 따른 특성톤 발생 빈도의 관점에서는 적분기 형식이 공진기 형식보다 우수한 것으로 판단된다.

표 1. 시스템 설계변수

Table 1. System design parameters.

설계변수	Order	OSR	hgain
값	3	64	1.7

표 3. DSM 구조 별 limit cycle 발생 빈도 비교

Table 3. Detected limit cycle cases out of 1000 runs.

구조	CIFB	CIFC	CRFB	CRFF
발생빈도	70	70	202	328

표 2. 각 구조 별 계수 값

Table 2. DSM gain coefficients for each structures.

	CIFB	CIFC	CRFB	CRFF
an	[0.4374 0 0 0]	[0.3939 0 0 0]	[0.3851 0 0 0]	[0.34281 0 0 0]
bn	[0.3984 0.3963 0.4181]	[0.3939]	[0.3535 0.3931 0.2725]	[0.3428]
cn	[0.1910 0.4816 2.4852]	[0.9436 0.5861]	[0.2642 0.4060 2.4017]	[1.0146 0.5273]
dn	-	[2.6383 1.2765 0.4113]	-	[1.7041 0.8007 0.2992]
m	[0.0030]	[0.0025]	[0.0036]	[0.0027]

V. 결 론

DSM 의 고유한 특성인 LC의 원인과 결과를 설명하였다. 또 현재 사용되고 있는 single-stage DSM 의 구현 방법에 따른 LC의 영향을 비교하였다. 그 결과 DSM 증폭단의 구성에 따라 LC 발생 확율이 상당한 차이를 보였다. 공진기 형식보다는 적분기 형식이 LC 발생빈도를 현저하게 감소 시켰다. 이러한 결과에 대한 정확한 원인은 별도의 연구를 통하여 확인 할 수 있을 것이다. 그러나 1차 적인 추측은 시스템 내에서의 더 많은 지연 요소가 궤환 신호에 대한 시스템 변수의 변화 정도를 증가시킨 결과로 보여 진다. 또 기대와 달리 시스템 궤환 방식에 따른 LC 발생 빈도의 차이는 크지 않았다. 이 결과로 보면 다른 시스템 설계 제한 요소가 없는 한 적분기 형식의 DSM 이 패턴 잡음을 감소시키는 측면에서 유리하다.

참 고 문 헌

- [1] R.W. Stewart, E. Pfann, "Oversampling and Sigma-Delta strategies for data conversion," *Electronic and Communication Engineering Journal*, pp.37-47, Feb. 1998.
- [2] Steven R. Norsworthy, Richard Schreier, Gabor C Temes, "Delta-Sigma data converters, theory, design, and simulation", IEEE Press, 1996.
- [3] Rex T. Baird, Terri S. Fiez, "Stability analysis of high-order modulator for delta-sigma ADCs", *IEEE Proc. of ISCAS '93*, pp. 1361-1364, May 1993.
- [4] Sasan H. Ardalan, John J. Paulos, "Stability analysis of high-order sigma-delta modulators", *IEEE Proc. of ISCAS '86*, pp. 715-718, May 1986.
- [5] Ngai Wong, Tung-Sang Ng, "DC stability analysis of high-order low pass $\Sigma\Delta$ modulators with distinct unit circle NTF zeros", *IEEE Trans. on Circuit and Systems Part-II*, vol.50, no.1, pp.12-30, Jan. 2003.
- [6] Y. Matsuya, K. Uchimura, A. Iwata et al., "A 16-bit oversampling A/D converter technology using triple integration noise shaping", *IEEE Journal of Solid-State Circuits*, vol. SC-22 no.4, pp.921-929, Dec. 1987.
- [7] Alan J. Davis, Godi Fischer, "A MASH modulator with digital correction for amplifier finite gain effects and c-ratio matching errors", *IEEE Proc. of MWSCAS '97*, May 1997.
- [8] S. Janti, C. Ouslis, A. Sedra, "Transfer function design for $\Delta\Sigma$ converters", *IEEE Proc. of ISCAS '96*, pp.433-346, May 1996.
- [9] Kirk C.-H. Chao, Shujaat Nadeem, Wai L. Lee, Charles G. Sodini, "A higher order topology for interpolative modulators for oversampling A/D converters", *IEEE Trans. on Circuits and Systems*, vol.37, no.3, pp.309-318, Mar. 1990.
- [10] Philip Steiner, Woodward Yang, "A framework for analysis of high-order sigma-delta modulators", *IEEE Trans. on Circuits and Systems Part-II*, vol.44, no.1, pp.1-10, Jan 1997.
- [11] Deokhwan Hyun, Godi Fischer, "Limit cycles and pattern noise in single-stage single-bit delta-sigma modulators", *IEEE Trans. on Circuits and Systems Part-I*, vol.49, no.5, pp.646-656, May 2002.
- [12] Tai-Haur Kuo, Kuan-Dar Chen, Jhy-Rong Chen, "Automatic coefficients design for high-order sigma-delta modulators", *IEEE Trans. on Circuit and Systems Part-II*, vol.46, no.1, pp.6-15, Jan. 1999.

저 자 소 개



현 덕 환 (정회원)

1977년 경북대학교 전자공학과 학사
 1979년 경북대학교 전자공학과 석사
 1994년 국방과학연구소
 2000년 Univ. of Rhode Island 전자공학과 박사
 2001년 Tality, Member of Technical Staff
 2002년 경주대학교, 컴퓨터정보시스템공학부

<주관심분야 : SoC, Delta-Sigma Modulator>