

논문 2006-43TC-1-18

# 이중대역 무선랜 응용을 위한 높은 격리도와 선형성을 갖는 MMIC SPDT 스위치

( High Isolation and Linearity MMIC SPDT Switch for Dual Band  
Wireless LAN Applications )

이 강 호\*, 구 경 현\*\*

( Kang Ho Lee and Kyung Heon Koo )

## 요 약

본 논문에서는 이중대역 무선랜 응용을 위한 SPDT(single-pole double-throw) 스위치를 설계 및 제작하였다. 높은 격리도와 송신단의 선형성을 개선하기 위해 적층-게이트(stacked-gate)를 이용하는 비대칭구조를 제안하였다. 제안한 SPDT 스위치의 트랜지스터의 게이트-폭과 제어전압 그리고 적층-게이트의 개수는 모의실험을 통해 최적의 값으로 설계되었고, 500mS/mm의 Gmmax와 150GHz의 fmax를 갖는  $0.25\mu\text{m}$  GaAs pHEMT 공정을 이용하여 제작하였다. 설계된 스위치는 DC~6GHz 대역에서 0.9dB 이하의 삽입손실과 송신시 40dB 이상의 격리도와 수신시 25dB 이상의 격리도를 나타내었고, -3/0V 제어전압으로 23dBm의 입력 P1dB를 보였다. 제작된 SPDT 스위치는  $1.8\text{mm} \times 1.8\text{mm}$ 의 면적을 갖는다.

## Abstract

This paper presents a high isolation and power-handling single-pole double-throw(SPDT) switch for dual band wireless LAN applications. The switch circuit has asymmetric topology which uses stacked-gate to have high power-handling and isolation for the Tx path. The proposed SPDT switch has been designed with optimum gate-width, bias, and number of stacked-gate FET. This SPDT switch has been implemented with  $0.25\mu\text{m}$  GaAs pHEMT process which has Gmmax of 500mS/mm and fmax of 150GHz. The designed SPDT switch has the measured insertion loss of better than 0.9dB and isolation of better than 40dB for the Tx path and 25dB for the Rx path and the high power handling capability with P1dB of about 23dBm for control voltage of -3/0V. The fabricated SPDT switch chip size is  $1.8\text{mm} \times 1.8\text{mm}$ .

**Keywords :** SPDT, pHEMT, switch, MMIC.

## I. 서 론

최근 수년간 시간분할 듀플렉싱(Time Division Duplexing)을 사용하는 IEEE 802.11x 무선랜 이용자의 증가로 안테나와 송·수신 신호의 경로를 바꾸어 주는 T/R 스위치의 수요가 급격하게 증가하였다. 스위치는

전체 시스템의 특성을 위해 기본적으로 저손실과 송신과 수신단의 높은 격리도 특성이 요구된다. 하지만 동작주파수가 증가함에 따라 기생성분의 영향으로 특성이 악화되어져 FET의 기생성분을 보상하여 광대역에서 특성을 개선하기 위한 연구들이 진행되었다. 그 동안 마이크로파 대역에서는 PIN 다이오드 스위치를 사용하여 좋은 특성들을 얻었지만 최근에는 시스템 집적화가 가능하고 간단한 바이어스 회로와 적은 전력소모의 장점을 갖고 있는 GaAs FET 스위치가 많이 사용되고 마이크로파 대역에서 높은 격리도 특성을 갖는 연구들이 발표되었다<sup>[1][2][3][4]</sup>. 스위치의 송신모드 동작시 왜곡 없이 큰

\* 학생회원, \*\* 정회원, 인천대학교 전자공학과  
(Dept. of Electronics Eng., University of Incheon)  
※ 본 연구는 IT-SoC 사업단의 지원 및 IDEC의  
MPW 공정 지원을 받아 수행되었음.  
접수일자 : 2005년10월14일 수정완료일 : 2006년1월13일

전력을 전달하기 위해 최대 전달 전력 특성 또한 중요하다. 그림 1에 나타낸 기본적인 직/병렬 FET SPDT 스위치의 최대 전달 전력은 송신단의 병렬 FET의 드레인-소스에 인가되는 RF 전력과 FET의 오프상태를 유지하기 위한 제어전압과 펀치오프 전압의 차이와 직접적으로 관련이 있다. 따라서 높은 펀치오프 전압을 갖는 FET를 사용하거나 제어전압을 증가시켜 전력 구동 능력을 개선할 수 있지만, 펀치오프-전압을 높이기 위하여 얇은 채널을 사용한 FET는 채널저항의 증가로 손실을 증가시키고, 낮은 공급전압의 동작을 위해서는 제어전압을 증가시키는 방법은 문제점이 있다.

본 논문에서는 송신단의 전력 구동 능력을 개선하여 높은 선형성을 갖기 위해 그림 2에 나타나듯이 송신단에 적층-게이트를 이용한 비대칭구조를 사용하는 SPDT 스위치를 제안하였다. Multi-gate 구조를 이용한 GaAs SPDT 스위치와 두 가지의 펀치오프 전압을 이용하여 특성을 개선한 연구들이 발표되었지만<sup>[5][6]</sup>, 3GHz 이상에서 삽입손실과 격리도가 악화되는 단점이 있다. 또한, DC~6GHz에서 동작하며 30dBm 이상의  $P_{1dB}$ 를 나타내는 연구가 발표되었지만<sup>[7]</sup>, 20dB이하의 격리도를 갖는 문제점을 안고 있다. 본 논문에서 제안한 구조는 DC~6GHz 대역에서 1dB이하의 삽입손실을 나타내고 25dB이상의 격리도 특성을 보

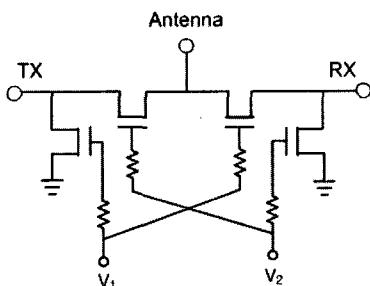


그림 1. 기본적인 직/병렬 FET 스위치

Fig. 1. Circuit diagram of the conventional series/shunt FET SPDT switch

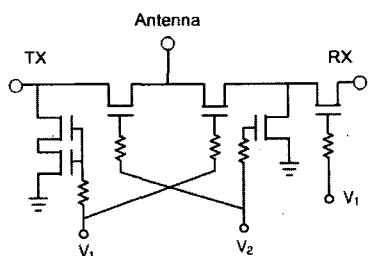


그림 2. 적층-게이트 구조의 비대칭 SPDT 스위치

Fig. 2. Circuit diagram of the asymmetric SPDT switch using stacked-gate FETs.

여기 기준에 발표된 스위치에 비해 우수한 특성을 나타내었다.

## II. MMIC 공정

본 논문에서는 ETRI에서 개발된  $0.25\mu m$  GaAs pHEMT 공정을 이용하여 제작하였다. 게이트 길이는  $50\mu m \times 2$  finger( $100\mu m$ )와  $50\mu m \times 4$  finger( $200\mu m$ ) 그리고  $50\mu m \times 8$  finger( $400\mu m$ )이며, 100GHz의 전류이득 차단주파수(ft)와 150GHz의 최대공진 주파수(fmax), 그리고  $500\text{mS/mm}$ 의 최대 전달 컨덕턴스(Gmax)를 갖는 능동소자를 사용하였다. 수동소자는  $21\text{ohm}/\square$  의 TFR(Thin Firm Resistor)과  $6\text{fF}/\mu m^2$ 의 특성을 갖는 MIM(Metal Insulator Metal) 커패시터를 사용하였다.

## III. 이중대역 SPDT 스위치 설계

### 1. 스위치의 전력 구동 능력

그림 3(a), (b)는 FET에 인가되는 입력전압과  $I_d - V_g$  특성을 나타낸다. 송신단의 병렬 FET에 큰 전력이 인가되면 제어전압( $V_c$ )을 기준으로 크게 변화하는데 여기

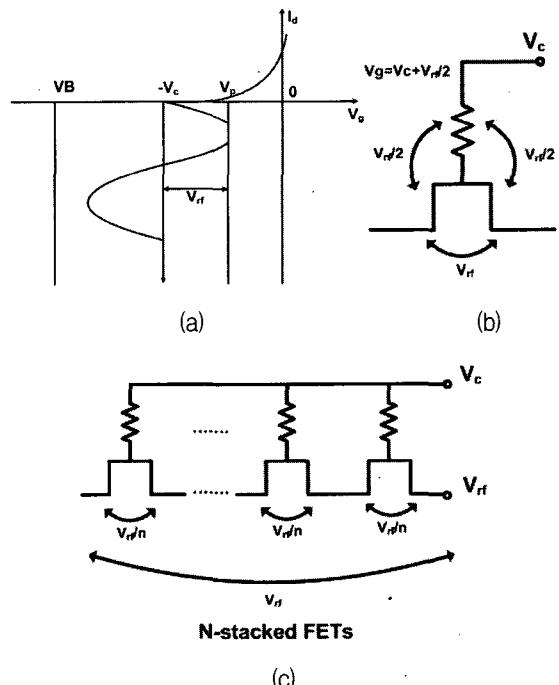


그림 3. (a) 입력전압과  $I_d - V_g$  특성 (b) single FET를 이용한 스위치 (c) 적층-게이트 구조를 이용한 스위치 블럭

Fig. 3. (a)  $I_d - V_g$  curve and the swing level of the input RF signal (b) switch block using single FET (c) switch block using stacked FET.

$$P_{\max} = 2(V_c - V_p)^2 / Z_o \quad (1)$$

$$P_{\max} = 2(N(V_c - V_p))^2 / Z_o \quad (2)$$

서 FET가 오프-상태, 즉  $V_c + V_{rf} > V_p$ 를 유지 해야만 스위치가 왜곡 없이 송신모드로 동작하게 된다. 따라서 최대 전달 전력( $P_{\max}$ )은 식(1)과 같이 나타내어진다.

$V_p$ 는 FET의 핀치오프 전압,  $V_c$ 는 오프상태 제어전압,  $Z_o$ 는 시스템의 특성 임피던스를 나타낸다. 본 논문에서는 송신경로의 전력 전달 능력을 높이기 위해 2개의 staked 병렬 FET를 삽입하고, 격리도를 향상시키기 위해 수신경로의 직렬 FET를 추가로 삽입한 비대칭 구조의 SPDT 스위치를 제안하였다. 그림 3(c)에서 N개의 FET를 적층(stack)에 사용함으로써 송신단에 큰 전압

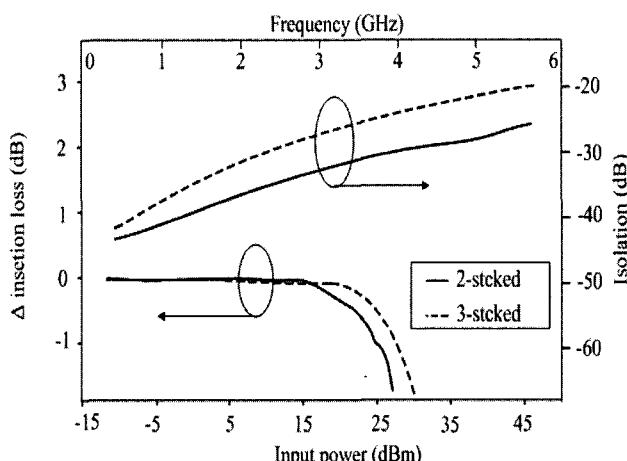


그림 4. 적층-게이트 FET의 개수에 따른 격리도와 전력 전달 특성

Fig. 4. Simulated isolation and power handling capability for the number of stacked FETs.

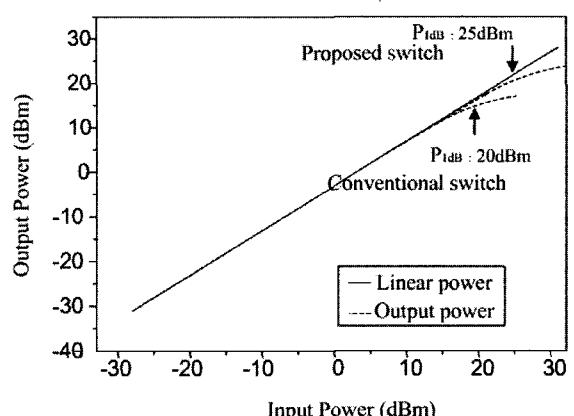


그림 5. 기본적인 직/병렬 스위치와 제안된 스위치의 P1dB 특성

Fig. 5. Simulated P1dB of conventional series/shunt and proposed SPDT switch.

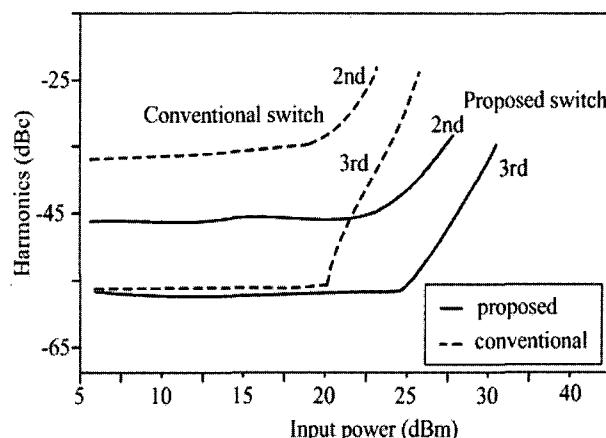


그림 6. 기본적인 직/병렬 스위치와 제안된 스위치의 고조파 억압특성

Fig. 6. Simulated harmonics suppression of conventional series/shunt and proposed SPDT switch.

이 인가되어도 N개의 FET에 나타나는 소스-드레인 전압이 분배되어져 N 만큼 감소되어진다. 따라서 최대 전달 전력 ( $P_{\max\_stack}$ )을 나타내면 식 2와 같다.

본 논문에서는 적층-게이트에 사용되는 FET의 개수가 증가함에 따라 전력 전달 능력을 개선되나 수신단의 격리도 특성의 영향을 모의실험을 통하여 확인하여 2개의 FET를 사용하여 25dBm의 P1dB 와 25dB 이상의 수신단의 격리도를 얻도록 설계하였다. 그림 5와 6은 설계된 스위치의 기본적인 직/병렬 스위치와 비교한 P1dB 와 고조파 억압 특성을 나타내며, 5dB의 P1dB 개선과 10dB 이상의 억압특성 개선을 보인다.

## 2. 삽입손실과 격리도 특성

그림 7에 나타내듯이 FET의 온/오프-상태는 직렬 저항( $R_{on}$ )과 커페시터( $C_{off}$ )로 나타낼 수 있다. 직렬 FET의 게이트-폭을 증가시켜 낮은 온-저항으로 인해 삽입손실은 개선되어지나 격리도는 커페시턴스의 증가로 악화된다. 또한, 삽입손실과 선형성의 trade-off를 살펴보면 채널-폭이 증가 할수록 핀치-오프 전압( $V_p$ )은 더욱 낮아져 최대 전달 전력의 크기를 제한하게 되어 선형성

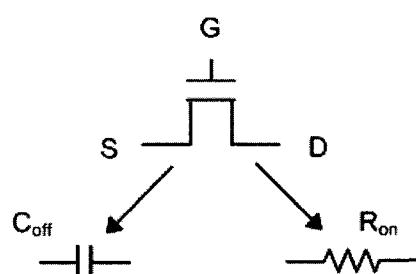


그림 7. FET의 온/오프-상태의 등가회로

Fig. 7. Equivalent circuit for on/off-state of FET

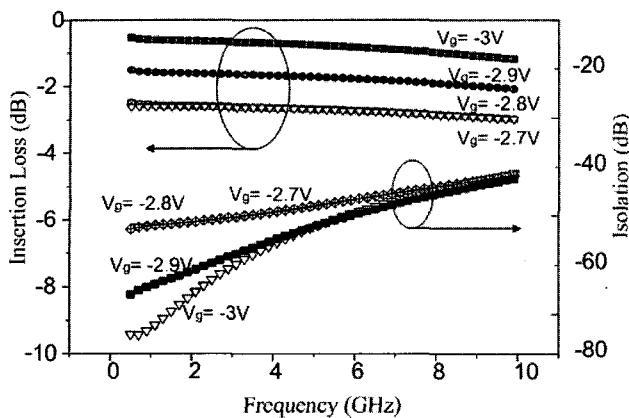


그림 8. 제어전압에 따른 삽입손실과 격리도 특성  
Fig. 8. Simulated insertion loss and isolation for control voltage.

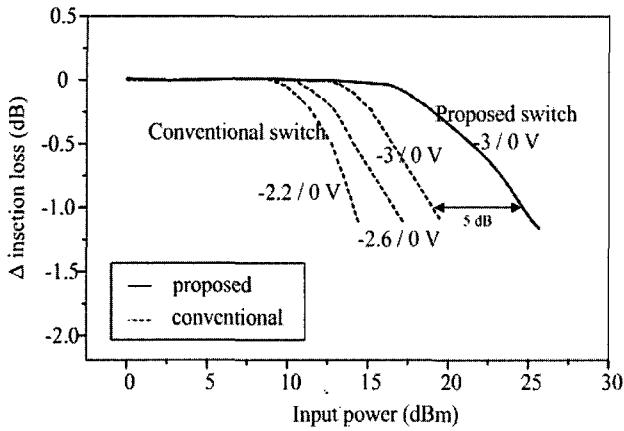


그림 9. 제어전압에 따른 기본적인 직/병렬 스위치와 제안된 스위치의 P1dB 특성  
Fig. 9. Simulated P1dB of conventional series/shunt and proposed SPDT switch for control voltage.

의 악화를 가져오게 된다. 따라서 모의실험을 통하여 최적의 게이트-폭을 갖도록 설계하였고, 신호의 매칭을 위해 삽입되는 전송선로를 최적화하여 DC~6GHz 대역에서 20dB 이상의 입출력 반사 특성을 나타내도록 설계하였다. 모의실험을 통한 스위치의 제어전압에 따른 삽입손실과 격리도 특성을 그림 8에 나타내었다. 또한 전력 전달 특성은 그림 9에 나타나듯이 제어전압이 커질수록 개선되지만, 낮은 전압 동작을 위하여 본 설계에서는 25dBm의 P1dB와 6GHz 대역에서 1dB이하의 삽입손실과 40dB이상의 격리도를 얻을 수 있도록 -3.0V의 제어전압으로 설계하였다.

#### IV. 측 정

제작된 스위치는 8720C Vector Network Analyzer를 사용하여 On-wafer 측정 방법으로 소신호를 측정하였

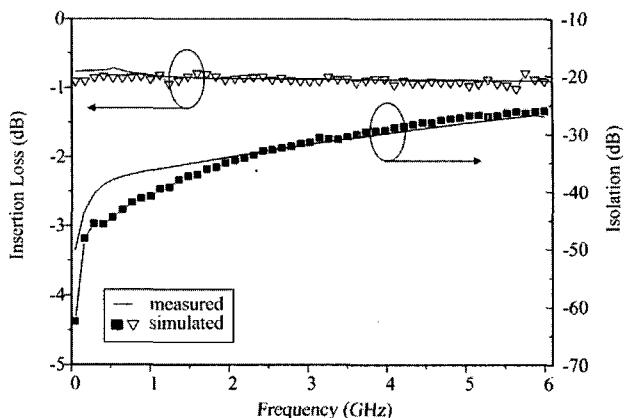


그림 10. 제작된 스위치의 수신모드 삽입손실과 격리도  
Fig. 10. Measured insertion loss and isolation of the designed switch (Rx mode).

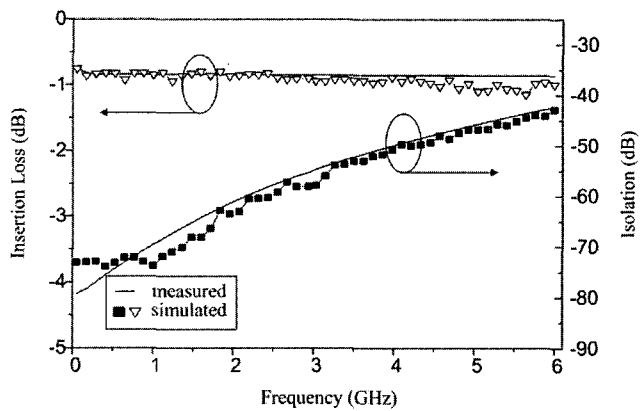


그림 11. 제작된 스위치의 송신모드 삽입손실과 격리도  
Fig. 11. Measured insertion loss and isolation of the designed switch (Tx mode).

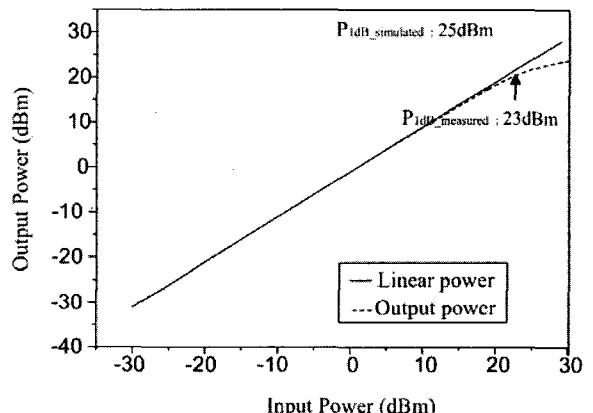


그림 12. 제작된 스위치의 P1dB 특성  
Fig. 12. Measured P1dB of the designed switch.

고, E4438C 신호발생기와 SA-970 스펙트럼 분석기를 사용하여 대신호 특성을 측정하였다. 그림 10, 11은 제작된 스위치의 수신모드와 송신모드의 삽입손실과 격리도 특성을 나타내고, 그림 12는 송신경로의 전력 전달 특성을 나타낸다. DC~6GHz에서 0.9dB 이하의 삽입손

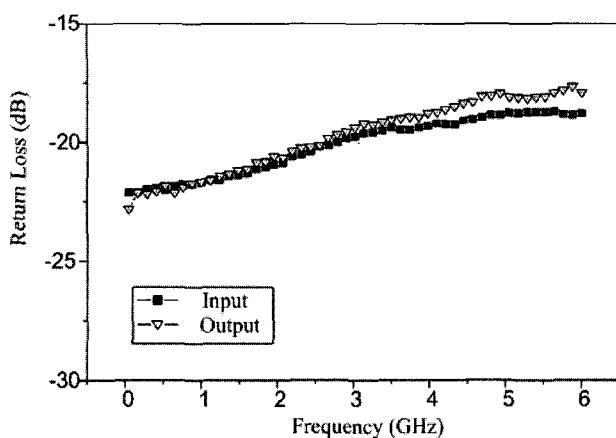


그림 13. 제작된 스위치의 입출력 반사 특성  
Fig. 13. Measured return loss of the designed switch.

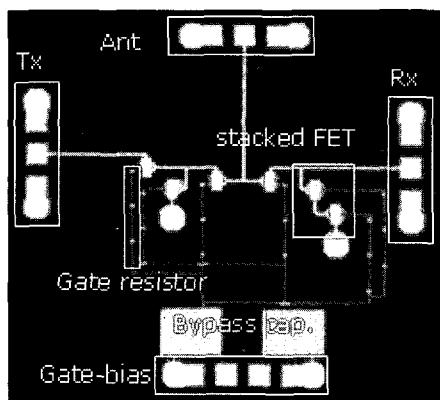


그림 14. 제작된 MMIC SPDT 스위치의 사진  
Fig. 14. Photograph of the fabricated MMIC SPDT switch.

실을 나타내고 수신경로의 격리도 특성은 기본적인 직/병렬 SPDT 스위치와 유사한 격리도를 보이지만 송신 경로의 격리도는 10dB이상 개선되었으며, 3dB이상 전력 특성의 개선을 보였다. 그림 13은 송신경로의 측정된 입출력 반사계수를 나타낸다. DC~6GHz에서 18dB이상의 반사특성을 확인 할 수 있다. 그림 14는 1.8mm×1.8mm의 크기의 제작된 스위치 칩 사진을 나타낸다.

## V. 결 론

본 논문에서는  $0.25\mu\text{m}$  GaAs pHEMT를 이용하여 높은 격리도와 선형성을 얻기 위해 송신단에 적층-게이트 구조를 이용하여 비대칭구조를 갖는 SPDT 스위치를 설계 및 제작하였다. 송신경로에 2개의 병렬 FET를 적층 구조로 사용하여 기본적인 직/병렬 SPDT 스위치보다 3dB이상 개선된 23dBm의  $P_{1\text{dB}}$ 를 얻었다. 또한 FET의 개수가 늘어남에 따라서 삽입손실은 다소 증가 하였지만, DC~6GHz 대역에서 0.9dB 이하의 삽입손실과

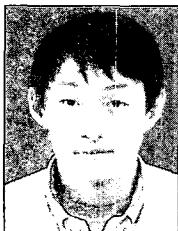
25dB 이상의 수신경로에서의 격리도와 40dB 이상의 송신경로의 격리도를 얻었다. 본 논문에서 제안한 비대칭 구조 SPDT 스위치는 수신경로의 격리도를 개선하면 현재 상용화 되고 있는 WLAN 802.11a/b/g 뿐만 아니라 ISM 대역의 응용 시스템에 광범위하게 사용될 수 있을 것으로 사료된다.

## 참 고 문 헌

- [1] H. Tosaka, T. Fujii, K. Miyakoshi, K. Ikenaka, and M. Takahashi, "An Antenna Switch MMIC Using E/D Mode p-HEMT for GSM/DCS/PCS/WCDMA Bands Applications," IEEE RFIC Symp. Dig., pp. 519-522, June 2003.
- [2] A. Gopinath, and J. B. Rankin, "GaAs FET RF switches," IEEE Trans. Electron Devices, Vol. ED-32, no. 7, pp.1272-1278, 1985.
- [3] Y. Tkachenko, L. Kapitan, and D. Bartle, "High-Performance Power PHEMT for Wireless Communication," European Microwave Conf. Dig., pp. 1041-1045, 1997.
- [4] F. McGrath, C. Varmazis, and R. Pratt, "Novel High Performance SPDT Power Switches Using Multi-gate FETs," IEEE MTT-S, pp.839-842, Oct 1991.
- [5] M. Masuda, N. Ohbata, H. Ishiuchi, K. Onda, and R. Yamamoto, "High Power Heterojunction GaAs Switch IC with P-1dB of more than 38dBm for GSM Application," IEEE GaAs IC Symposium Digest, pp. 229-232, 1998.
- [6] H. Uda, T. Yamada, T. Sawai, K. Nogawa, and Y. Harada, "High-Performance GaAs Switch IC's Fabricated Using MESFETs with Two Kinds of Pinch-off Voltage and a Symmetrical Pattern Configuration," IEEE Journal of Solid-state Circuits, Vol. 29, No.10, pp. 1262-1269, Oct 1994.
- [7] K. Miyatsuji, and D. Ueda, "A GaAs High Power RF Single Pole Dual Throw Switch IC for Digital Mobile Communication System," IEEE Journal of Solid-state Circuits, Vol. 30, No. 9, pp. 979-983, Sep 1995.
- [8] Takahiro Ohnukado, Satoshi Yamakawa, etc, "A 0.8 dB Insertion Loss, 23 dB Isolation, 17.5 dBm Power Handling, 5 GHz Transmit/receiver CMOS Switch," IEEE RFIC Digest, pp. 229-232, 2003.
- [9] C. Tinella, J. M. Fournier, D. Belot, and V. Knopik, "A High Performance CMOS-SOI Antenna Switch for the 2.5-5-GHz Band," IEEE Journal of Solid-State Circuits, vol. 38, no. 7, pp. 1279-1283, July 2003.

- [10] Z. Gu, D. Johnson, S. Belletete, and D. Fryklund, "A Low Insertion Loss and High Linearity PHEMT SPDT and SP3T Switch ICs for WLAN 802.11a/b/g Applications," IEEE RFIC Symp. Dig., pp. 505–508, 2004.
- [11] Z. Gu, D. Johnson, S. Belletete, and D. Fryklund, "A High Power DPDT MMIC Switch for Broadband Wireless Applications," IEEE RFIC Symp. Dig., pp. 687–690, June 2003.
- [12] K. Numata, Y. Takahashi, and T. Meda, "A +2.4/0V Controlled High Power GaAs SPDT Antenna Switch IC for GSM Application," IEEE RFIC Symp. Dig., pp. 141–144, June 2002.
- [13] C. Lee, B. Banerjee, and J. Laskar, "Novel T/R Switch Architectures for MIMO Application," IEEE MTT-S. Dig., pp.1137–1140, 2004.

## 저자소개



이 강 호 (학생회원)  
2004년 인천대학교 전자공학과  
공학사  
2004년 3월 ~ 현재 인천대학교  
전자공학과 석사 과정

<주관심분야 : RFIC 및 MMIC 설계(스위치 및  
믹서, IQ복조기 등)>



구 경 현 (정회원)  
1981년 서울대학교 전자공학과  
학사  
1983년 서울대학교 전자공학과  
석사  
1991년 서울대학교 전자공학과  
박사  
1999년 ~ 2000년 UC San Diego 방문학자  
2001년 ~ 2002년 대한전자공학회 마이크로파 및  
전파연구회 위원장  
2003년 ~ 현재 대한전자공학회 평의원, 이사,  
통신소사이어티 부회장  
1987년 ~ 현재 인천대학교 전자공학과 교수  
<주관심분야 : 마이크로파 회로 및 모듈 설계,  
전력 증폭기 설계 및 선형화, 무선 랜 시스템>