

논문 2006-43TC-1-15

대중저속 무선 통신을 위한 DSSS 모뎀 설계 및 구현

(DSSS MODEM Design and Implementation for a Medium Speed Wireless Link)

원 희석*, 김영식**

(Hee-Seok Won and Young-Sik Kim)

요약

본 논문은 9.6kbps 무선 통신용 DSSS CDMA방식의 모뎀을 설계 및 제작하였다. 개발된 모뎀은 마이크로프로세서에서 신호를 주고받을 수 있도록 범용 인터페이스를 제공한다. 인터페이스는 8비트 데이터버스와 칩 Enable, R/W, 및 인터럽트 핀으로 구성하였다. 송신은 먼저 외부로 8비트 병렬 데이터를 받아 시리얼 데이터로 변환하고 모뎀 내부에서 8비트 PN-code를 생성하여 Direct Sequence 방식으로 데이터를 76.8kcps로 확산하여 전송한다. 그리고 송수신기의 동기를 위해 8비트 훈련시퀀스를 데이터 프레임 헤드에 첨부하였다. 수신기의 경우 수신된 76.8kcps의 확산된 데이터에서 먼저 PN코드 동기를 찾아낸 후 훈련시퀀스를 이용하여 데이터 동기를 얻어낸다. 이를 위해 Early and Late방식을 이용하였다. 본 논문의 모뎀은 Xilinx FPGA 보드로 구현 및 검증된 후 Hynix 0.25μm CMOS 공정을 이용하여 ASIC 칩으로 제작되었으며, DSSS를 이용한 다중사용자 방식을 사용하였다.

Abstract

This paper report on the design and implementation of a 9.6kbps DSSS CDMA modem for a medium speed wireless link. The proposed modem provides a general purpose I/O interface with a microprocessor. The I/O interface consists of 8-bit data bus, chip enable, read/write, and interrupt pins. In transmit block, the 8-bit data delivered from the I/O interface buffer is converted to 9.6kbps serial data, which are spreaded into 76.8kcps with 8-bit PN code generated inside the modem by direct sequence method. An 8-bit training sequence is preceded in the data frame for data synchronization in receiver. In receiver block, the PN code is synchronized from the received data spreaded to 76.8kcps, and find the data timing from the 8-bit training sequence. We have used the Early-and-Late integration method. The modem has been implemented and verified using a Xilinx FPGA board and has been fabricated as an ASIC CHIP through Hynix 0.25μm CMOS. The multiple accessing method is DSSS CDMA.

Keywords : DS, Modem, HDL, 대역확산, 모뎀

I. 서 론

최근 중저속 무선 통신은 RFID 및 홈네트워크를 중심으로 급속히 확대되고 있다. 이러한 저가 저전력 저저속 무선 통신에서는 간단한 구조의 송수신 모뎀이 적합하다.

* 학생회원, ** 정희원, 한동대학교 정보통신공학과
(Dept. of Information Technology, Handong Global University)

※ 본 연구는 산업자원부의 지역혁신 인력양성사업의 연구결과로 수행되었음.

접수일자 : 2005년6월16일 수정완료일 : 2006년1월11일

본 논문에서는 9.6kbps급 DSSS(Direct Sequence Spread Spectrum) CDMA(Code Division Multiple Access)방식을 이용한 간단한 구조의 모뎀을 개발하였다. 모뎀 내부에서 8비트의 PN code를 생성하고 이를 이용하여 데이터를 76.8kcps로 확산 시켰다. DSSS방식은 데이터 신호를 PN-code로 확산시켜 전송함으로써 다중 사용자 환경을 구현할 수 있다.

또한 개발된 모뎀은 마이크로프로세서와 범용 I/O 인터페이스를 제공함으로써 쉽게 사용자가 쉽게 이용할 수 있도록 하였다.

본 논문은 II장에서 DSSS 방식의 특징에 대해 설명하고, III장에서 모뎀을 구성하는 각 블록들에 대한 구조 및 기능, 동작원리에 대해 설명한다. IV장에서는 모뎀을 이용한 데이터 전송실험의 결과를 보여주고, V장에서는 결론 및 응용방향에 대하여 기술한다.

II. DSSS의 특징

DSSS 방식은 PN-code를 이용하여 데이터 전송률의 정수배로 칩 전송률을 빠르게 하는 방식으로서, 전송신호의 대역을 확장시켜 전송전력을 낮추고 신호의 간섭을 줄일 수 있는 장점이 있다^[1].

그림 1은 DSSS 신호가 PN-code를 통해 생성되는 과정을 시간영역에서 보여준다.

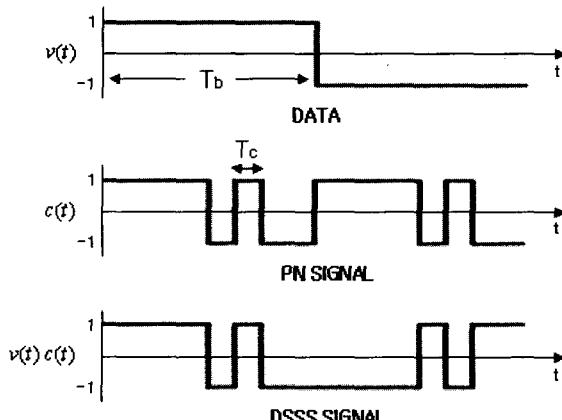


그림 1. DSSS 신호의 생성
Fig. 1. Generation of a DSSS signal.

위의 신호를 주파수영역에서 보면 그림 2와 같다.

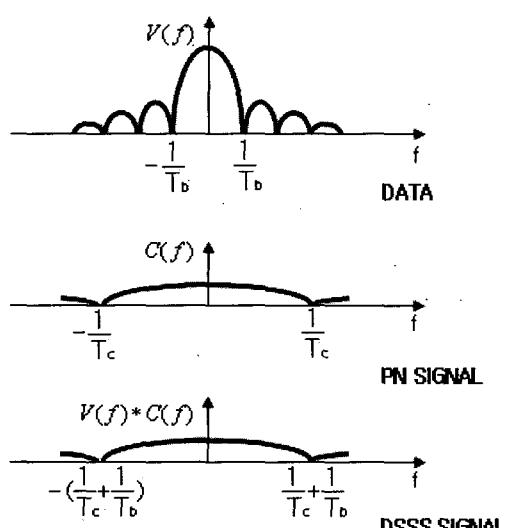


그림 2. DSSS 신호의 PSD
Fig. 2. PSD of a DSSS signal.

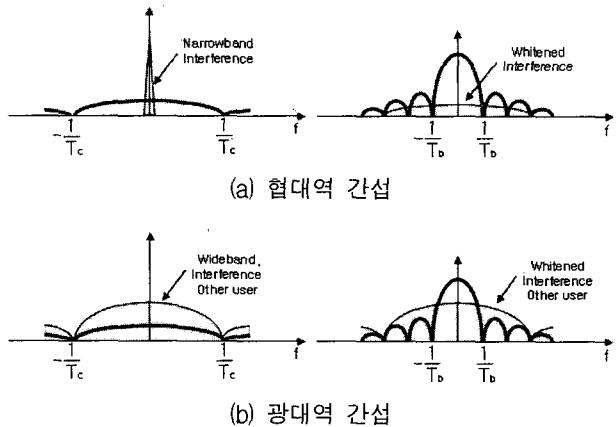


그림 3. 협대역 간섭과 광대역 간섭에 대한 DSSS 신호
Fig. 3. DSSS signal over Interference of narrowband and wideband.

주파수 영역에서 보면 대역이 확산되면서 전송전력이 낮아지는 것을 알 수 있다. 이때 DSSS 전송신호의 대역은 PN-code 신호의 chip 전송 속도에 따른 대역과 거의 같은 대역을 갖게 된다.

그림 3은 신호의 간섭이 줄어드는 것을 보여주고 있다^[5]. 채널을 통해 유입된 협대역 간섭은 수신단에서 PN-code에 의해 확산됨으로써 작아지게 된다. 다른 사용자의 신호에 의한 광대역 간섭은 PN-code를 이용하여 실제 전송된 자신의 신호만을 얻을 수 있다. 이와 같은 DSSS 방식의 특성을 통해 신뢰성 있는 통신 시스템을 만들 수 있다.

III. Modem의 구조

1. 모뎀의 구성

모뎀은 HDL로 구현되었으며 Direct Sequence (DS) 방식으로 데이터 비트를 확산한다. 전체 시스템은 송신 단과 수신단, 인터페이스로 크게 구분된다. 모뎀은 인터페이스로부터 UART 신호를 받아 PN-code로 인코딩하는 인코더와 신호를 받아 원래의 UART 신호로 바꾸어 주는 디코더로 구성되어 있다. 디코더는 입력된 신호에 동기를 맞추어주는 동기화 모듈과 correlation을 이용한 데이터 검출 모듈로 구성된다. 그리고 인터페이스 블럭은 외부와의 통신을 위한 범용 I/O 모듈이다. 그림 4는 모뎀과 인터페이스의 블록 다이어그램을 보여주고 있다.

2. 송신단(Transmitter)

송신단에서는 9.6kbps의 UART 신호를 받아 데이터의 header에 훈련 시퀀스(Training Sequence)를 첨부하

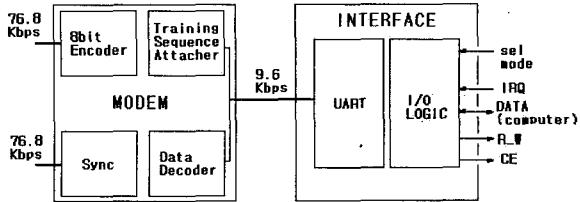


그림 4. 모뎀 및 인터페이스 로직 블럭도
Fig. 4. Modem and Interface block-diagram.

여 데이터 프레임을 구성한 후, 8-bit의 PN-code로 인코딩하여 76.8 kcps의 신호를 내보낸다. 사용자에 따라 다른 PN-code를 전송함으로써 multi-user가 가능하게 하였다.

송신단은 UART에서 넘어온 데이터에 훈련 시퀀스 “11111001”을 앞쪽에 첨부한다. 훈련 시퀀스는 수신기에서 동기를 찾는데 이용되며 또한 데이터의 시작 부분을 알려주기 위해 Header에 첨부된다. 다음으로 모뎀을 9.6kbps data frame을 8-bit으로 Encoding하여 76.8kcps의 chip rate를 가지는 신호를 생성한다. 그림 5는 인코딩 블록 다이어그램이다. Header 신호와 user에 따른 encoding을 나타내고 있다.

데이터 신호가 처음 들어올 때, 훈련 시퀀스부터 출력하고, 곧바로 이어서 레지스터에 저장해놓은 데이터 신호를 보내게 된다. 이 때 각 신호 값은 encoding block에서 76.8 kcps의 chip 신호로 바뀌어 출력된다.

그림 6은 그림 5에서 설명된 블록을 가지고 시뮬레이션 한 결과이다. UART에서 보내온 9.6kbps 시리얼 테

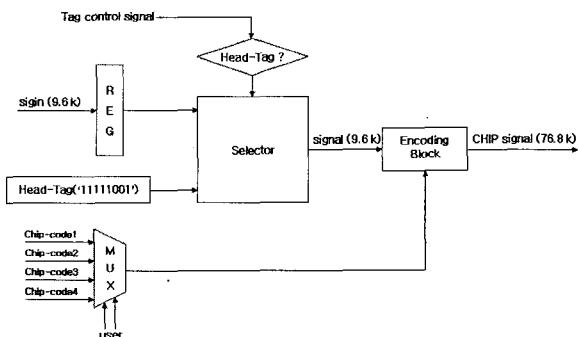


그림 5. 훈련 시퀀스 추가 및 데이터 인코딩 블록
Fig. 5. Header Insertion & data encoding block-diagram.

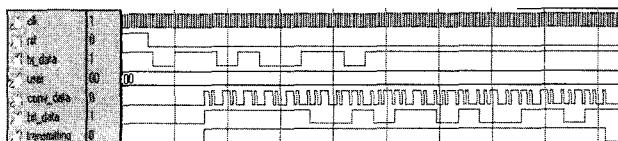


그림 6. 훈련 시퀀스 추가 및 데이터 인코딩 시뮬레이션
Fig. 6. Header insertion & data encoding simulation

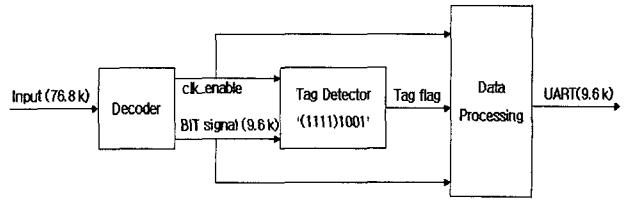


그림 7. 디코딩 블록
Fig. 7. Decoding block-diagram

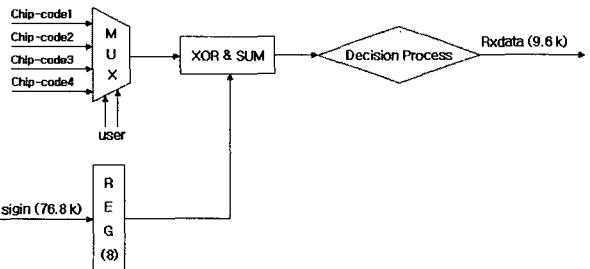


그림 8. 데이터 추출 블록
Fig. 8. Correlation & decision block-diagram.

이터인 tx_data 값에 훈련 시퀀스를 앞에 첨가하여 bit_data를 만들어내는 것을 보여준다. bit_data는 8-bit로 coding되어 conv_data로 송출된다.

3. 수신단(Receiver)

수신단에서는 외부에서 자신에게 보내는 신호가 있는지를 계속해서 모니터링을 하는 대기(Stand-by) 상태로 동작한다. 일단 자신에게 보내는 신호가 감지가 되면 준비(Ready) 상태로 상태(State)를 변화시키고 동기를 잡는다. 데이터 신호의 header에 첨부된 훈련시퀀스를 이용하여 동기를 맞춘 후, user에 따른 PN-code로 correlation 취함으로써 데이터 값을 찾게 된다. 그림 7은 디코딩 시스템의 간략화안 블록 다이어그램이다. Header를 통해 동기를 맞춘 후 추출한 데이터에서 header를 제외한 데이터 신호를 UART로 출력한다.

그림 8은 디코딩을 위한 correlation 블록 다이어그램이다. Correlation을 통해 얻은 값을 통해 데이터를 추출하게 된다.

Correlation은 user의 PN-code와 입력신호와의 bit-wise XOR로 이루어지며, XOR의 각 결과 값을 합하여 bit 신호를 결정한다. 그림 9는 그림 7과 그림 8에서 설명된 디코딩 블록에서 수신신호의 유무 및 동기를 찾아내어 데이터를 추출하는 시뮬레이션 결과이다.

그림 9에서 동기화 후, 신호 값을 추출하고, 훈련 시퀀스 11111001을 확인한 후, 최종적으로 UART 신호를 내보내는 과정을 보여준다. 그림에서와 같이 76.8kcps의 chip이 chip_data_in을 통하여 모뎀에 입력되었을 경우

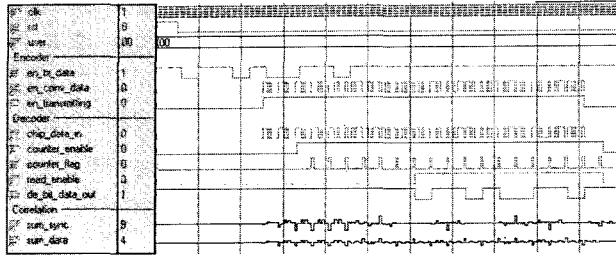


그림 9. 데이터 동기화 및 추출 시뮬레이션
Fig. 9. Data synchronization and detection simulation.

동기화 과정은 다음과 같다. 먼저 훈련 시퀀스 데이터 수신의 시작을 알아내기 위해 'IDLE' 상태에서 계속 chip_data_in과의 correlation을 계산하면서 기다린다. 그리고 sum_sync값을 통해 신호가 들어오는 것이 확인되는 순간 'Ready' 상태로 들어가게 된다. 훈련 시퀀스 앞의 1111이 들어오는 동안 sum_sync값의 최대값, 최소값을 이용하여 동기를 맞춘다. 최대, 최소값을 가질 때가 자신의 PN-code와 가장 일치할 때이기 때문에 이를 이용하여 데이터의 시작 부분을 알 수 있다. 만일 잡음 또는 다른 PN-code에 의한 신호가 들어왔을 때는 최대, 최소값이 기준값을 넘을 수 없게 되고, 이럴 경우 다시 'IDLE' 상태로 돌아가게 된다. 일단 data동기를 찾으면 sum_data의 적분 값을 이용하여 데이터 값을 결정한 후 9.6kbps의 속도로 UART에 값을 넘겨준다.

4. 인터페이스(Interface)

인터페이스 로직은 마이크로 컨트롤러에서 Address Decoder를 통해 Chip Enable(CE)신호를 Low로 인가하면 칩이 8-bit의 데이터 버스를 독점하게 된다. 먼저 마이크로 컨트롤러에서 데이터를 송출하고자하면 칩을 선택하고 데이터버스에 데이터를 싣고 쓰기(W)신호를 주면 인터페이스 로직은 데이터버스의 값을 버퍼에 저장한다. 저장된 데이터는 인터페이스 로직의 UART를 통해 8-bit 데이터를 시리얼로 변환하여 모뎀부로 전달한다. 인터페이스의 수신모드에서는 모뎀의 디코더에서 검출한 데이터를 인터페이스 로직의 버퍼에 저장하고 마이크로 컨트롤러로 인터럽트 신호를 보내게 된다. 마이크로 컨트롤러는 인터럽트 신호처리를 이용하여 인터페이스 로직의 버퍼 값을 읽어가게 되고 이 때 인터럽트는 reset되도록 설계되었다^[2]. 이 인터페이스 로직은 무선통신 시스템 IC의 사용자 인터페이스에 해당하며, 인터페이스 구조가 기존의 마이크로 컨트롤러 주변소자(peripheral devices)와 동일한 구조를 가지고 있기 때문에 범용 칩으로 사용할 수 있다.

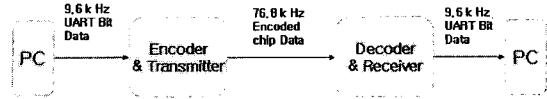


그림 10. 실험 구조도.
Fig. 10. Experiment block-diagram.

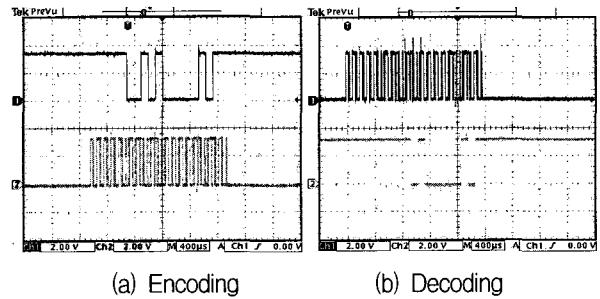


그림 11. FPGA를 통한 훈련 시퀀스 추가 및 데이터 인코딩/디코딩 실험 결과
Fig. 11. Header insertion & data encoding/decoding experiment result through FPGA.

IV. 실험 및 결과

그림 10은 모뎀 실험 블록도이다. 실험에서는 I/O 인터페이스를 제외하고 송신측 UART에서 수신측 UART 까지 실험했다. 실험방법은 PC의シリ얼포트로부터 UART 신호를 받아 76.8kcpss로 확산된 신호를 전송한다. 이 신호를 받아 디코딩하여 원래의 UART 신호를 생성하고 이를 다른 쪽 PC의シリ얼포트로 보내 원래의 데이터가 수신되었는지 확인한다.

우선 FPGA 보드를 사용하여 동작을 확인하였다.

그림 11-(a)는 UART에서 보내온 데이터 'A'에 훈련 시퀀스를 header에 첨가하여 bit 데이터를 만들고, 이 데이터를 user00의 PN-code인 11010001로 인코딩한 실험 결과를 보여주고 있다. 문자 'A'의 ASCII 값은 십진수로 65이며, 이진수로 01000001이다. UART에서는 LSB부터 전송하므로 'A' 데이터는 10000010으로 전송된다. 따라서 현재 전송되는 데이터는 UART start-bit 0과 odd parity bit 1, stop bit 1을 포함해서 다음과 같다. [11111001 0 10000010 1 1]. 그림 11-(b)는 인코딩 된 신호를 받아 원래의 데이터로 디코딩한 결과를 보여주고 있다. 원래의 데이터 'A'가 수신된 것을 확인할 수 있다.

다음은 실제 ASIC으로 제작하여 동작을 확인하였다.

그림 12는 ASIC으로 제작된 칩을 통한 실험 결과를 보여준다.

그림 13은 Hynix 0.25μm CMOS 공정을 통해 제작된 칩의 레이아웃(Layout)이다.

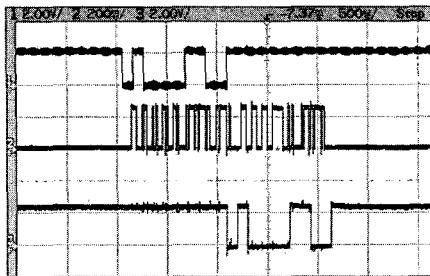


그림 12. ASIC 칩을 통한 데이터 인코딩/디코딩 실험결과
Fig. 12. Data encoding/decoding experiment result through ASIC Chip.

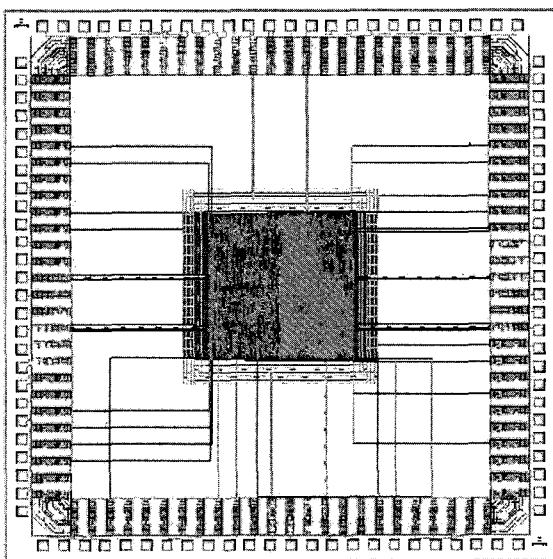


그림 13. DSSS Modem 레이아웃
Fig. 13. Layout of DSSS Modem.

참 고 문 헌

- [1] John G. Proakis. "Digital Communications". Prentice Hall. pp. 729-734. 2000.
- [2] 김영식, "무선통신용 시스템 RFIC 개발" 산업자원부의 지역혁신 인력양성사업 연구보고서, 제3장 1절, 14-19쪽, 2004년 3월
- [3] 오정훈, 김진욱, 김기두, 장수영, "직접확산 DQPSK 변조방식을 이용한 고속 무선모뎀의 개발에 관한 연구," 전자공학회 논문지 제33권 A편, 11호, 2165-2176쪽, 1996년 11월
- [4] P. D. Cho and B. G. Kang, "Design and Implementation of QCQPSK/HPSK Modem using Digital Signal Processors for Software Defined Radio Applications," in Proc. of IEEK Conf., pp. 1428-1431, July 2002.
- [5] ir. J. Meel. "Spread Spectrum Introduction", Project report of DE NAYER Institute. pp. 9-11. December 1999.
- [6] Andy Bateman, "Digital Communication," Addison Wesley, pp. 2-143, 1999.

V. 결 론

본 논문은 범용 I/O를 포함한 9.6kbps 중저속 무선통신용 DSSS CDMA방식의 모뎀을 설계 및 제작하였다. 모뎀 내부에서 8 비트 PN-code를 통해 Direct Sequence 방식으로 데이터를 76.8kcps로 확산하여 전송한다. PN-code를 사용함으로써 다중 사용 환경을 구축할 수 있으며, HDL로 구현/개발된 모뎀은 SoC 회로 설계에 쉽게 이용될 수 있다. 그리고 훈련 시퀀스를 통한 기저대역 데이터 동기 방식을 보여주었으며, 이를 실험을 통해 확인하였다.

개발된 모뎀은 중저속의 unfiltered CPFSK변조 방식의 무선 통신용으로 사용하기에 적합하다고 판단된다.

저자소개



원희석(학생회원)
2004년 한동대학교 전산전자공학
부 학사
2006년 한동대학교 정보통신공학
과 석사 예정

<주관심분야 : 시스템설계, 신호처리>



김영식(정회원)
1993년 포항공과대학교 전자전기
공학과 학사
1995년 포항공과대학교 초고주파
공학과 석사
1999년 포항공과대학교 초고주파
공학과 박사

1999년~현재 한동대학교 전산전자공학부 조교수
<주관심분야 : RFIC설계, 무선통신용 모뎀설계>