논문 2006-43SD-1-11

저전력 휴대 멀티미디어 SoC를 위한 H.264 디블록킹 필터 설계

(Design of H.264 Deblocking Filter for Low-Power Mobile Multimedia SoCs)

구 재 일*, 이 성 수**

(Jae-Il Koo and Seongsoo Lee)

요 약

본 논문에서는 저전력 휴대 멀티미디어 SoC를 위한 새로운 H.264 디블록킹 필터를 제안하였다. H.264 디블록킹 필터는 처리되는 화소값의 차이가 어떤 특정 조건을 만족하면 필터링의 일부 또는 전부를 수행하지 않아도 된다. 더욱이 양자화 계수 값이 16 미만일 때에는 필터링 전체를 수행하지 않아도 된다. 이러한 특성을 이용하면 동작중에 디블록킹 필터 전체 또는 일부분을 가동 중단시킴으로서 전력 소모를 크게 줄일 수 있다. 제안하는 디블록킹 필터는 간단한 제어 회로를 사용하여 블록의 일부 또는 전부를 가동 중단시킬 수 있으며, 단일 하드웨어로 수평방향 필터링과 수직방향 필터링을 동시에 수행할 수 있다. 제안하는 저전력 디블록킹 필터는 0.35μm 표준 셀 라이브러리 공정을 사용하여 실리콘 칩으로 구현되었다. 게이트 수는 약 20,000 게이트, 최대 동작 주파수는 108MHz, 최대 처리능력은 CCIR601 형식에서 30 frame/s이다.

Abstract

This paper proposed a novel H.264 deblocking filter for low-power mobile multimedia SoCs. In H.264 deblocking filter, filtering can be skipped on some pixels when pixel value differences satisfy some specific conditions. Furthermore, whole filtering can be skipped when quantization parameter is less than 16. Based on these features, power consumption can be significantly reduced by shutting down deblocking filter partially or as a whole. The proposed deblocking filter can shut down partial or whole blocks with simple control circuits. Common hardware performs both horizontal filtering and vertical filtering. It was implemented in silicon chip using 0.35μm standard cell library technology. The gate count is about 20,000 gates. The maximum operation frequency is 108MHz. The maximum throughput is 30 frame/s with CCIR601 image format.

Keywords : H.264, deblocking filter, low-power, shut down, quantization parameter, skipping conditions.

I. 서 론

H.264 비디오 압축[1]은 비디오 압축을 위하여 가장 최근에 개발된 국제 표준이며, 전송률-왜곡 효율(rate-distortion efficiency)에서 기존의 비디오 압축 알고리즘보다 높은 성능을 보여서 최근 들어 다양한 멀티미디어 응용 분야에 폭넓게 사용된다. 디블록킹 필터(DF: deblocking filter)는 높은 압축비와 개선된 화질을 얻기 위한 중요한 기술 중의 하나이다. H.264는 4×4 블록을 기반으로 한 정수형 변환과 가변 블록 사이즈의 움직임 보상을 이용하기 때문에, 8×8 블록 단위의 이산 여현 변환(DCT: discrete cosine transform)을 기반으로 하는 기존의 비디오 압축 알고리즘과는 다른 형태의 블록화 현상을 보여준다. 따라서 H.264는 기존과 다른 새로운 디블록킹 필터를 필요로 하게 된다. H.264에서 디블록킹 필터는 부호기와 복호기 양쪽에 모두 존재하며, 일반적인 필터보다 훨씬 복잡해서 더 많은 연산량 및

* 학생회원, ** 평생회원, 숭실대학교 정보통신전자공학부
(School of Electronic Engineering, Soongsil Univ.)
※ 본 논문은 숭실대학교 교내 연구비 지원으로 이루어졌음.
접수일자 : 2005년7월13일 수정완료일 : 2006년1월4일

이에 따른 전력 소모를 필요로 한다. 특히 복호기에서는 디블록킹 필터가 전체 연산량에서 차지하는 비중이 꽤 높아서 전체 연산량 및 전력 소모의 10~20%를 차지한다[2]. 디지털 멀티미디어 방송(DMB: digital multimedia broadcasting)과 같은 휴대 멀티미디어 단말기에서는 복호기만이 사용되기 때문에 단말기의 저전력화를 위해서는 디블록킹 필터의 저전력화가 매우 중요하다. 대부분의 휴대 멀티미디어 단말기에서는 배터리 연속 동작 시간이 상업적 성공 가능성을 좌우하기 때문에[3] 저전력 디블록킹 필터의 개발이 필수적이라고 할 수 있다.

본 논문에서는 H.264 디블록킹 필터 알고리즘에서 화소값의 차이가 특정 조건을 만족하거나 양자화 계수(QP: quantization parameter)가 16 미만일 때에는 화소 일부 또는 전체를 필터링하지 않는다는 점에 착안하여 디블록킹 필터의 전부 또는 일부를 가동 중단시킴으로서 연산량 및 전력 소모를 줄이는 알고리즘 및 아키텍쳐를 제안하고, 이를 실리콘 칩으로 구현하였다.

Ⅱ. 저전력 H.264 디블록킹 필터 알고리즘

H.264 디블록킹 필터는 먼저 수평방향으로 1차원 필터링을 한 다음에 수직방향으로 1차원 필터링을 하게 된다. H.264 디블록킹 필터에서는 해당 블록의 코딩 모드, 블록 경계의 화소값 차이에 따라 필터링의 강도 B_S가 달라지며, B_S는 그림 1과 같이 결정된다. 이때, p_0, p_1, p_2, p_3, q_0, q_1, q_2, q_3는 필터링되지 않은 원래의 화소값을 나타내고, P_0, P_1, P_2, P_3, Q_0, Q_1, Q_2, Q_3는 필터링된 후의 값을 나타낸다. 필터링 과정은 그림 2와 같이 수행되며, 이때 필요한 파라미터인 α, β, t_{C0} 값은 그림 3, 4와 같다. B_S=0일 때는 *No filtering mode*로 필터링을 수행하지 않는다. B_S=1, 2, 3일 때는 *Standard mode*로 경우에 따라 0개, 2개, 또는 4개의 화소값을 필터링하게 된다. B_S=4일 때는 *Strong mode*로 경우에 따라 0개, 2개, 또는 6개의 화소값을 필터링하게 된다.

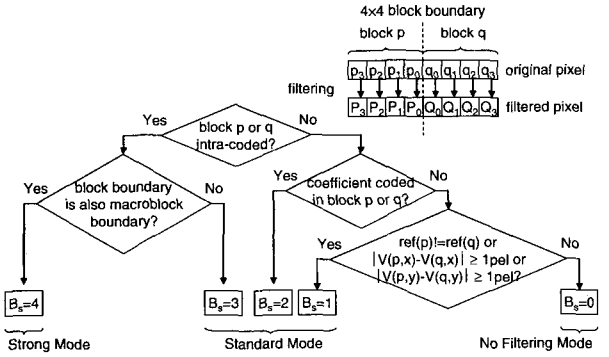

그림 1. BS의 결정
Fig. 1. Determination of BS.

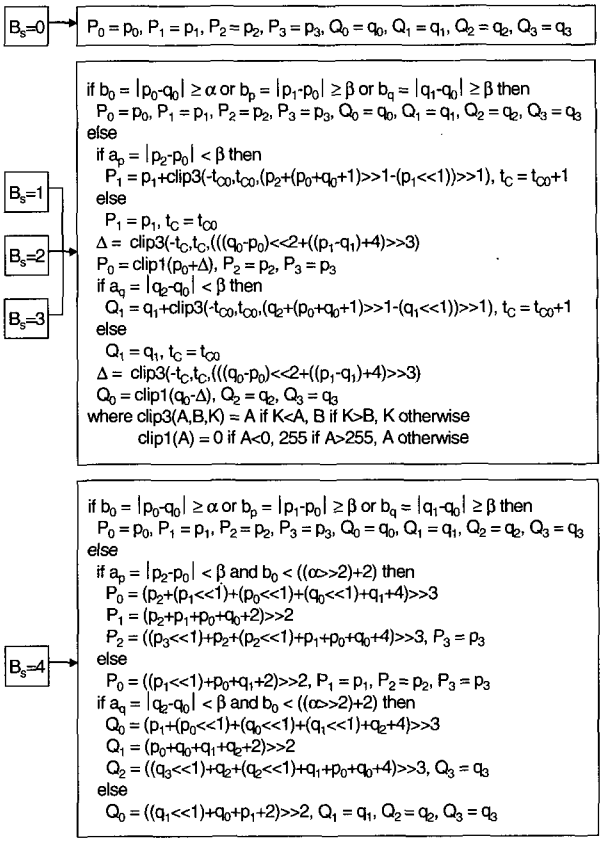

그림 2. 디블록킹 필터링 과정
Fig. 2. Deblocking filtering process.

QP	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
α	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	4	4
β	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2	2

QP	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
α	5	6	7	8	9	10	12	13	15	17	20	22	25	28	32	36	40	45
β	2	3	3	3	3	4	4	4	6	6	7	7	8	8	9	9	10	10

QP	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51
α	50	56	63	71	80	90	101	113	127	144	162	182	203	226	255	255
β	11	11	12	12	13	13	14	14	15	15	16	16	17	17	18	18

그림 3. α와 β 파라미터
Fig. 3. Parameters α and β.

QP	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
Bs=1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bs=2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bs=3,4	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

QP	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
Bs=1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	2	2	2
Bs=2	0	0	0	1	1	1	1	1	1	1	1	1	1	2	2	2	2	3
Bs=3,4	1	1	1	1	1	1	1	1	1	2	2	2	2	3	3	3	4	4

QP	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51
Bs=1	2	3	3	3	4	4	4	5	6	6	7	8	9	10	11	13
Bs=2	3	3	4	4	5	5	6	7	8	8	10	11	12	13	15	17
Bs=3,4	4	5	6	6	7	8	9	10	11	13	14	16	18	20	23	25

그림 4. tco 파라미터
Fig. 4. Parameters tco.

pixel	$b_0 \geq \alpha$ or $b_p \geq \beta$ or $b_q \geq \beta$	$b_0<\alpha$ and $b_p<\beta$ and $b_q<\beta$					
		B_s=0	B_s=1,2,3			B_s=4	
			t_{c0}=0	t_{c0}≠0		$a_p<\beta$ and $b_0<(\alpha>>2)+2$	$a_p \geq \beta$ or $b_0 \geq (\alpha>>2)+2$
				$a_p<\beta$	$a_p \geq \beta$		
P_0	X	X	X	O	O	O	O
P_1	X	X	X	O	X	O	X
P_2	X	X	X	X	X	O	X
P_3	X	X	X	X	X	X	X

(a)

pixel	$b_0 \geq \alpha$ or $b_p \geq \beta$ or $b_q \geq \beta$	$b_0<\alpha$ and $b_p<\beta$ and $b_q<\beta$					
		B_s=0	B_s=1,2,3			B_s=4	
			t_{c0}=0	t_{c0}≠0		$a_q<\beta$ and $b_0<(\alpha>>2)+2$	$a_q \geq \beta$ or $b_0 \geq (\alpha>>2)+2$
				$a_q<\beta$	$a_q \geq \beta$		
Q_0	X	X	X	O	O	O	O
Q_1	X	X	X	O	X	O	X
Q_2	X	X	X	X	X	O	X
Q_3	X	X	X	X	X	X	X

(b)

그림 5. 제안하는 저전력 H.264 디블록킹 필터의 건너뜀 조건 (a) P_0, P_1, P_2, P_3 (b) Q_0, Q_1, Q_2, Q_3

Fig. 5. Skipping condition of the proposed low-power H.264 deblocking filter..(a) P_0, P_1, P_2, P_3. (b) Q_0, Q_1, Q_2, Q_3.

그림 2, 3, 4에서 양자화 계수 QP<16이면 α=β=0이 되므로 B_s값에 관계 없이 필터링이 전혀 수행되지 않음을 쉽게 알 수 있다. 마찬가지로 B_S=0이면 다른 파라미터에 관계없이 필터링이 전혀 수행되지 않는다. 또한 a_p, a_q, t_{c0}, b_0가 특정한 조건을 만족시킬 때에는 필터링의 일부가 수행되지 않는다. 그림 5는 H.264 디블록킹 필터링을 건너뛰는 조건을 나타낸 것인데, O과 X는 각각 해당하는 화소값이 필터링 되느냐 아니냐를 나타낸다. 따라서 본 논문에서 제안하는 H.264 디블록킹 필터는 맨 처음에 QP 및 B_s를 확인하게 되고 QP<16 또는 Bs=0 일 때 디블록킹 필터 전체를 가동 중단한다. 그 다음 그림 5에서 X에 상응하는 조건을 찾아서 해당 화소값의 필터링 하드웨어를 가동 중단한다. 이러한 과정을 통해 디블록킹 필터의 전부 또는 일부가 가동 중단되어 전력 소모를 크게 줄일 수 있다. 가동 중단을 결정하는 회로는 불과 수십 개의 로직 게이트로 구현할 수 있다.

그림 6 및 7은 제안하는 저전력 H.264 디블록킹 필터 알고리즘에서의 연산량 감소를 나타낸다. 모의실험에서는 JM 9.2 베이스라인 프로파일 부호기 프로그램이 사용되었다. 테스트 영상으로는 QCIF (176×144 pixel, 30 frame/s) 형식의 "Akiyo"와 "Container"가 100 프레임씩 사용되었으며 비트율을 50 kbps에서 400 kbps까지 변화시켜가며 모의실험을 수행하였다. 그림 6 및 7은 각각 "Akiyo" 영상 및 "Container" 영상에서 평균 양자화 계수, 제안하는 디블록킹 필터와 기존 디블록킹 필터의 연산 시간, 제안하는 디블록킹 필터의 정규화된 연산 시간을 나타낸다.

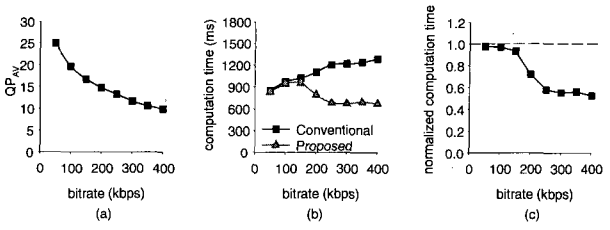

그림 6. "Akiyo" 영상에서 제안하는 저전력 H.264 디블록킹 필터의 연산량 감소 (a) 평균 양자화 계수 (b) 연산 시간 (c) 제안하는 디블록킹 필터의 정규화된 연산 시간

Fig. 6. Computation reduction of the proposed low-power H.264 deblocking filter in "Akiyo" test sequences..(a) The average quantization parameter. (b) The computation time. (c) The normalized computation time of the proposed deblocking filter.

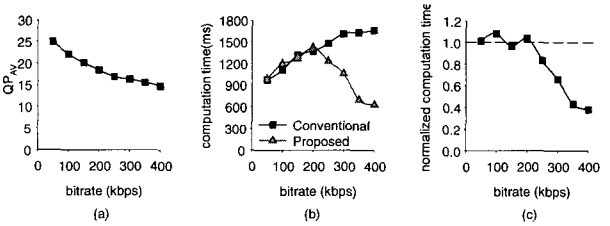

그림 7. "Container" 영상에서 제안하는 저전력 H.264 디블록킹 필터의 연산량 감소 (a) 평균 양자화 계수 (b) 연산 시간 (c) 제안하는 디블록킹 필터의 정규화된 연산 시간

Fig. 7. Computation reduction of the proposed low-power H.264 deblocking filter in "Container" test sequences..(a) The average quantization parameter. (b) The computation time. (c) The normalized computation time of the proposed deblocking filter.

그림 6(b) 및 7(b)에서 보듯이 제안하는 저전력 디블록킹 필터는 비트율이 각각 150 kbps 와 200 kbps를 넘어설 때부터 연산 시간이 감소하는 반면, 일반적인 디블록킹 필터에서는 비트율이 증가함에 따라 연산 시간이 계속 증가함을 볼 수 있다. 그 이유는 다음과 같다.

일반적으로 비트율이 증가하면 그림 6(a) 및 7(a)에서 보듯이 양자화 계수 QP가 감소하기 때문에 양자화 과정에서 0으로 잘려져서 부호화되지 않는 계수(non-coded coefficient)의 수가 감소한다. 따라서 *No filtering mode*(B_s=0)인 화소의 수가 감소한다. 기존의 디블록킹 필터는 *No filtering mode*일 때만 필터링을 수행하지 않으므로 비트율이 증가함에 따라 연산 시간은 계속 증가하게 된다. 그러나 비트율이 증가하면 QP가 감소함에 따라 그림 3에서 보듯

이 α, β 또한 감소하게 되며, 제안하는 디블록킹 필터에서는 그림 5의 필터링 건너뜀 조건이 더 빈번하게 발생하게 된다. 특히 QP<16일 때는 α=β=0이 되므로 필터링을 전혀 수행하지 않게 되므로 연산 시간이 급격하게 줄어들게 된다. 비트율이 더욱 증가하면 거의 모든 시간 동안 QP<16이 되고, 제안된 디블록킹 필터는 필터링 건너뜀 조건을 확인하는 연산만 수행하면 되므로 연산 시간은 더 이상 감소하지 않고 거의 일정하게 된다. 따라서 제안하는 디블록킹 필터는 비트율이 각각 150 kbps와 200 kbps를 초과할 때부터 연산 시간이 급격하게 감소하다가 각각 250 kbps와 350 kbps를 초과할 때부터는 연산 시간이 거의 일정하게 된다.

그림 7(c)에서 제안하는 디블록킹 필터의 정규화된 연산 시간은 비트율이 100 kbps와 200 kbps일 때 1을 약간 넘어서는데 이것은 제안된 디블록킹 필터가 비트율이 높을 때에는 연산량을 크게 줄이지만 필터링 건너뜀 조건을 확인하는 연산이 추가로 필요하기 때문에 비트율이 낮을 때에는 기존 디블록킹 필터보다 오히려 연산량이 늘어나는 경우가 생기기 때문이다.

모의실험에서 본 바와 같이 제안하는 디블록킹 필터는 비트율이 250 kbps를 넘어서면 기존의 디블록킹 필터에 비해 연산량을 크게 줄일 수 있고, 이에 따라 전력 소모도 크게 줄일 수 있다. 현재 방송 중인 지상파 DMB 및 위성 DMB는 모두 384 kbps의 비트율을 채택하고 있으므로, 제안하는 디블록킹 필터는 지상파 DMB 및 위성 DMB 어느 쪽에 적용되어도 전력 소모를 크게 줄일 수 있음을 알 수 있다.

Ⅲ. 저전력 H.264 디블록킹 필터 하드웨어

제안하는 저전력 H.264 디블록킹 필터(DF)는 그림 8(a)와 같이 매크로블록 단위로 수평방향 필터링과 수직방향 필터링의 2단계 필터링을 실행한다. 현재 처리해야 할 매크로블록이 C라고 할 때 먼저 수평방향 필터링이 수행되며 이때 왼쪽 매크로블록 L이 필요하다. 이후 수직방향 필터링이 수행되며 이때 위쪽 매크로블록 U가 필요하다. 매크로블록 C, L, U는 모두 움직임 보상기(MC: motion compensator)에서 움직임 보상되어 프레임 메모리(FM: frame memory)에 저장된 화소값을 사용한다. 따라서 그림 8(b)와 같이 MC, FM, DF는 32-bit AMBA AHB 버스를 거쳐 연결된다. 제안하는 디블록킹 필터의 아키텍쳐는 그림 8(c)과 같이 FB, PREG, QREG, TBUF로 구성된다. FB는 네 개의 필터

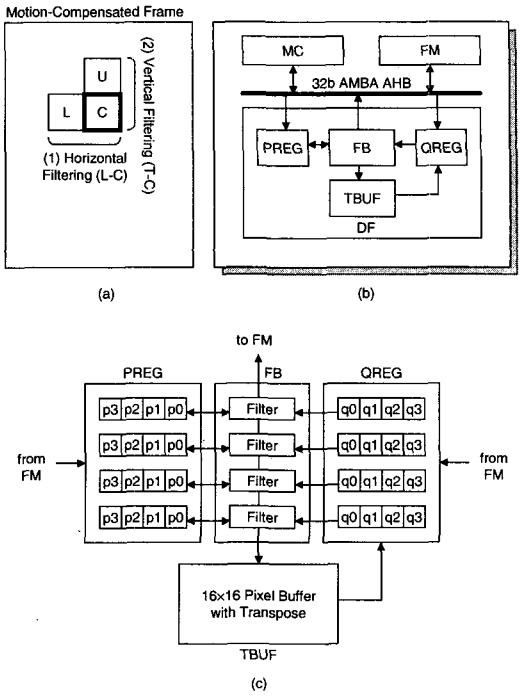

그림 8. 제안하는 저전력 H.264 디블록킹 필터의 아키텍쳐 (a) 수평방향 필터링과 수직방향 필터링 (b) 디블록킹 필터, 프레임 메모리와 움직임 보상기 (c) 디블록킹 필터의 하드웨어 아키텍쳐

Fig. 8. Architecture of the proposed low-power H.264 deblocking filter. (a) Horizontal filtering and vertical filtering. (b) Deblocking filter, frame memory, and motion compensator. (c) Hardware architecture of the deblocking filter.

로 구성된 필터 뱅크이며, 각각의 필터는 동시에 8개의 화소값을 처리하게 된다. PREG와 QREG는 각각 그림 1의 p_0, p_1, p_2, p_3와 q_0, q_1, q_2, q_3의 4×4 블록을 저장하는 레지스터이다. TBUF는 전위(transpose) 기능을 가진 16×16 화소 버퍼이며, 수평방향 필터링 결과를 저장하고 있다가 수직방향 필터링에 재사용한다.

그림 9는 수평방향 필터링을 설명한 것이다. 16개의 4×4 블록은 블록 0에서 블록15까지 순차적으로 필터링된다. (블록 -13, 블록 0)이 처리될 때 필터링되지 않은 블록 -13과 블록 0은 각각 FM에서 PREG와 QREG로 읽혀지며(①) 그다음에 FB가 PREG와 QREG를 필터링한다(②). 필터링된 블록 -13은 다시 FM에 저장되며(③) 동시에 필터링된 블록 0은 다음 블록 필터링을 위해 PREG로 전송된다(③). 이와 동시에 필터링되지 않은 블록 1은 다음 블록 필터링을 위해 FM에서 QREG로 읽혀진다(③). (블록 0, 블록 1)이 처리될 때에는 FB가 PREG와 QREG를 필터링한다(④). 필터링된 블록 0은 수직방향 필터링을 위해 TBUF에 저장된다(⑤). 동시에 필터링된 블록 1은 다음 블록 필터링을 위해 PREG로

전송된다(⑤). 이와 동시에 필터링되지 않은 블록 2는 다음 블록 필터링을 위해 FM에서 QREG로 읽혀진다(⑤). (블록 1, 블록 2)가 처리될 때에는 FB가 PREG와 QREG를 필터링한다(⑥). 필터링된 블록 1은 수직방향 필터링을 위해 TBUF에 저장된다(⑦). 동시에 필터링된 블록 2는 다음 블록 필터링을 위해 PREG로 전송된다(⑦). 이와 동시에 필터링되지 않은 블록 3은 다음 블록 필터링을 위해 FM에서 QREG로 읽혀진다(⑦). (블록 2, 블록 3)이 처리될 때에는 FB가 PREG와 QREG를 필터링한다(⑧). 필터링된 블록 2와 블록 3은 수직방향 필터링을 위해 TBUF에 저장된다(⑨). 블록 4에서부터 블록 15까지는 블록 0에서부터 블록 3까지와 같은 방식으로 처리 된다.

그림 10은 수직방향 필터링을 설명한 것이다. 16개의 4×4 블록은 블록 0에서 블록15까지 순차적으로 필터링 된다. (블록 -13, 블록 0)이 처리될 때 필터링되지 않은 블록 -13과 블록 0은 각각 FM과 TBUF에서 PREG 와 QREG로 읽혀지며(①) 그다음에 FB가 PREG와 QREG를 필터링한다(②). 필터링된 블록 -13은 FM에 저장되며(③) 동시에 필터링된 블록 0은 다음 블록 필터링을 위해 PREG로 전송된다(③). 이와 동시에 블록 1은 다음 블록 필터링을 위해 TBUF에서 QREG로 읽혀진다(③).

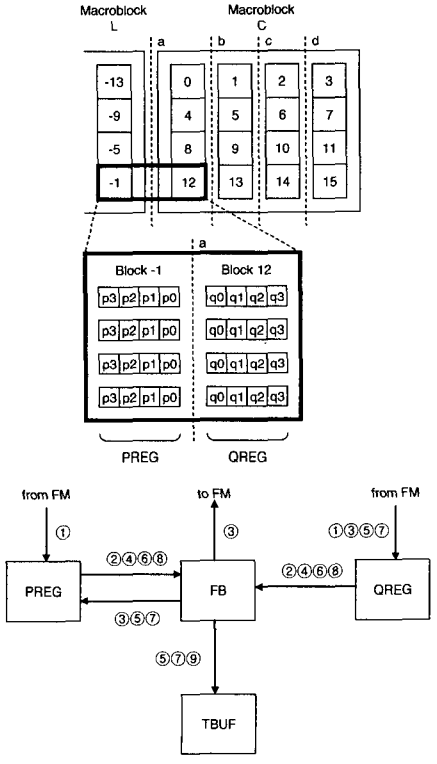

그림 9. 수평방향 필터링
Fig. 9. Horizontal filtering.

(블록 0, 블록 1)이 처리될 때에는 FB가 PREG와 QREG를 필터링한다(④). 필터링된 블록 0은 FM에 저장된다(⑤). 동시에 필터링된 블록 1은 다음 블록 필터링을 위해 PREG로 전송된다(⑤). 이와 동시에 필터링되지 않은 블록 2는 다음 블록 필터링을 위해 TBUF에서 QREG로 읽혀진다(⑤). (블록 1, 블록2)가 처리될 때에는 FB가 PREG와 QREG를 필터링한다(⑥). 필터링된 블록1은 FM에 저장된다(⑦). 동시에 필터링된 블록 2는 다음 블록 필터링을 위해 PREG로 전송된다(⑦). 이와 동시에 필터링되지 않은 블록 3은 다음 블록 필터링을 위해 TBUF에서 QREG로 읽혀진다(⑦). (블록 2, 블록 3)을 처리할 때에는 FB가 PREG와 QREG를 필터링한다(⑧). 필터링된 블록 2와 블록 3은 FM에 저장된다(⑨). 블록 4에서부터 블록 15까지는 블록 0에서부터 블록 3까지와 같은 방식으로 처리 된다.

제안된 저전력 H.264 디블록킹 필터는 Verilog HDL로 기술되어 IC Design Education Center(IDEC)의 설계 툴 지원으로 0.35μm 표준 셀 라이브러리 공정으로 합성되었으며 실리콘 칩으로 구현되었다. 전체 게이트 수는 제어 회로와 가동 중단 회로를 포함해서 20,000게이트 정도이며 최대 동작 주파수는 108MHz이다. 최대 처리 능력은 CCIR601 형식(704×576 pixel, 30 frame/s)으로 108MHz에서 30 frame/s이며 QCIF 형식(176×144 pixel, 30frame/s)으로 27MHz에서 120 frame/s이다. 그림 11은 구현된 칩의 레이아웃이다.

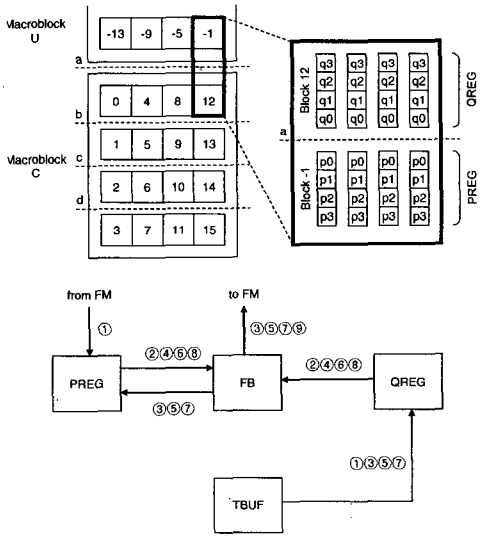

그림 10. 수직방향 필터링
Fig. 10. Vertical filtering.

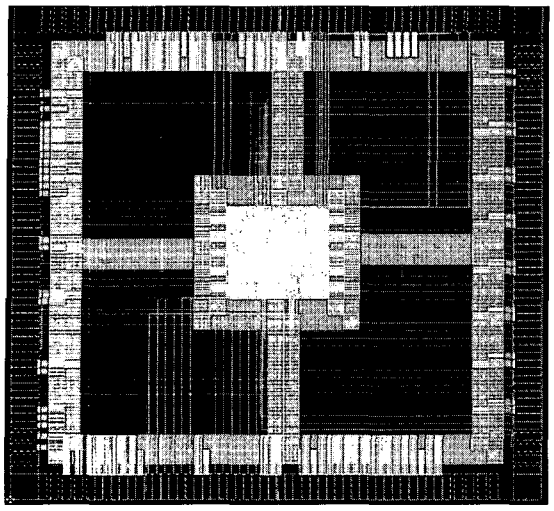

그림 11. 제안된 저전력 H.264 디블록킹 필터의 레이아웃
Fig. 11. Layout of the proposed low-power H.264 deblocking filter.

Ⅳ. 결 론

본 논문에서는 저전력 H.264 디블록킹 필터를 위한 새로운 알고리즘과 아키텍처를 제안하였다. H.264 디블록킹 필터에서는 특정한 조건을 만족할 때 몇 개의 화소값을 필터링하지 않을 수 있고, 이에 따라 해당 하드웨어를 가동 중단하면 전력 소모를 감소시킬 수 있다. 특히 QP<16이거나 B_s=0일 때에는 디블록킹 필터 전체가 가동 중단되어 전력 소모를 크게 줄일 수 있다. 제안된 저전력 H.264 디블록킹 필터는 실리콘 칩으로 구현되었고 전체 게이트 수, 최대 동작 주파수, 최대 처리 능력은 각각 20,000 게이트, 108MHz, CCIR601 형식에서 30 frame/s이다.

참 고 문 헌

[1] ITU-T Rec. H.264, "Advanced Video Coding for Generic Audio Visual Services", 2005.
[2] Y. Huang, T. Chen, B. Hsieh, T. Wnag, T. Chang and L. Chen, "Architecture Design for Deblocking Filter in H.264/JVT/AVC", *Proceedings of International Conference on Multimedia and Expo*, pp. 693-696, 2003.
[3] J. Rabaey, "Low-Power Silicon Architectures for Wireless Communication", *Proceedings of Asia and South Pacific Design Automation Conference*, pp.379-380, 2000.

저 자 소 개

구 재 일 (학생회원)
2004년 숭실대학교 정보통신전자공학부 학사
2006년 숭실대학교 정보통신전자공학부 석사 과정 재학 중.
<주관심분야 : 멀티미디어 SoC 설계>

이 성 수 (평생회원)
1991년 서울대학교 전자공학과 학사
1993년 서울대학교 전자공학과 석사
1998년 서울대학교 전기공학부 박사
1998년~2000년 University of Tokyo, Research Associate
2000년~2002년 이화여자대학교 정보통신학과 연구전임강사
2002년~현재 숭실대학교 정보통신전자공학부 조교수
<주관심분야 : 저전력 SoC/SiP 설계, 멀티미디어 SoC/SiP 설계>