

논문 2006-43SD-1-8

# 자동 교정된 램프 신호를 사용한 CMOS 이미지 센서용 단일 기울기 Column-ADC

( A Single-Slope Column-ADC using Ramp Slope  
Built-In-Self-Calibration Scheme for a CMOS Image Sensor )

함 석 현\*, 한 건 회\*\*

( Seog-Heon Ham and Gunhee Han )

## 요 약

단일 기울기 ADC에 사용되는 램프 신호의 기울기는 공정과 주파수 변화에 민감하다. 이러한 변화는 ADC 이득 변화와 이미지 신호 프로세싱의 성능까지 영향을 준다. 본 논문에서는 자동 교정된 램프 신호를 이용한 단일 기울기 ADC를 이용하여 공정과 주파수 변화에 영향을 받지 않은 CMOS 이미지 센서를 제안한다. 본 논문에서 제안된 built-in-self-calibration (BISC) 구조는 공정과 주파수 변화에 상관없이 입력 조도별로 일정한 출력 값을 갖는 단일 기울기 ADC 동작을 가능하게 한다. 제안된 BISC를 탑재한 CMOS 이미지 센서는 0.35 $\mu$ m 공정을 이용하여 제작하였다. 측정 결과는 제안된 구조가 공정이나 클럭 주파수의 변화에 따라 효과적으로 램프 기울기를 교정한다는 것을 보여준다. 칩 면적의 증가 정도는 0.7% 미미하였다.

## Abstract

The slope of the ramp generator in a single slope ADC(analog-to-digital converter) suffers from process and frequency variation. This variation in ramp slope causes ADC gain variation and eventually limits the performance of the ISP(image signal processing) in a CIS(CMOS image sensor) that uses the single slope ADC. This paper proposes a ramp slope BISC(built-in-self-calibration) scheme for CIS. The CIS with proposed BISC was fabricated with a 0.35 $\mu$ m process. The measurement results show that the proposed architecture effectively calibrate the ramp slope against process and clock frequency variation. The silicon area overhead is less than 0.7% of the full chip area.

**Keywords** : Built-in-self-calibration, CMOS image sensor, Ramp generator, Single-slope analog-to-digital converter.

## I. 서 론

최근의 CIS(CMOS image sensor)는 저전압, 저전력, 집적화의 이유로 전자 카메라 적용 시장에서 CCD(charge coupled device)를 빠른 추세로 대체하고 있다 [1]-[3].

CIS에서 아날로그 디지털 변환은 칩 단위, 열 단위, 픽셀 단위로 수행될 수 있다<sup>[4]</sup>. 열 단위 ADC(Analog-

to-digital converter) 구조는 프레임 속도, ADC 해상도, 전력 소모, 확장성의 장점 때문에 상업용 제품에 주도적으로 채택되고 있다. 열 ADC를 적용한 전형적인 CIS는 CDS(correlated double sampling) 기능을 포함한 비교기, 아날로그 램프 발생기, 카운터, 래치로 구성된 단일 기울기 ADC를 사용한다<sup>[5][6]</sup>. 단일 기울기 ADC의 주요 문제점 중의 하나는 공정과의 연동으로 인한 램프 신호의 변화로 발생하는 이득 오류다. 램프 신호의 변화는 30% 가까이 되며 이러한 변화는 AWB(automatic white balance), AE (automatic exposure), flicker 잡음 제거 등의 이미지 신호 프로세싱의 성능을 제한한다<sup>[7][8]</sup>. 아

\* 학생회원, \*\* 정회원, 연세대학교 전기전자공학과  
(Dept. Electrical and Electronic Engineering, Yonsei Univ.)  
접수일자 : 2005년10월18일 수정완료일 : 2006년1월2일

날로그 램프 발생기의 램프 기울기를 교정하는 방법이 자기 교정 테스트용으로 연구되었다<sup>[9][10]</sup>. 이 방법들은 아날로그 램프 신호의 출력을 미리 정해진 시간에 기준 전압과 비교하면서 목표 기울기를 맞춰나간다. 이 방법들은 기본적으로 아날로그 비교기를 사용하기 때문에 램프 신호 잡음 등에 의하여 램프 기울기가 목표 기울기를 중심으로 지속적으로 요동하는 관계로 CIS에 바로 적용할 수가 없다.

본 논문은 이러한 문제를 해결하고 기본적으로 공정에 연동하지 않는 CIS용 램프 신호 BISC(built-in-self-calibration) 구조를 제안한다. II장에서는 열 단위 단일 기울기 ADC를 사용한 CIS의 구조와 본 논문에서 제안하고자 하는 램프 신호 BISC 구조를 설명하고 III장에서는 시뮬레이션 결과를 포함한 측정결과를 보여주고 마지막으로 IV장에 결론을 제시한다.

## II. 제안하는 BISC 구조를 적용한 CIS

### 1. 종적 단일 기울기 ADC를 가진 CIS 구조

그림 1은 단일 기울기 ADC를 종적 ADC로 적용한 CIS를 나타낸다. CIS는 픽셀 어레이, CDS/비교기 어레이, 래치 어레이, 램프 생성기, 카운터로 구성된다. 횡적 디코더가 순차적으로 한 횡렬씩 선택한 후 각 종렬의 CDS/비교기는 픽셀 신호를 램프 신호와 비교하여 출력으로써 래치 신호 *latch*를 생성한다. 래치 블록은 비교기의 출력으로부터 *latch*가 발생하는 순간 카운터 값을 저장하게 된다.

그림 2는 CDS를 적용한 단일 기울기 ADC의 동작원리를 보여준다. 첫 번째 단계에서 램프 발생기와 카운터

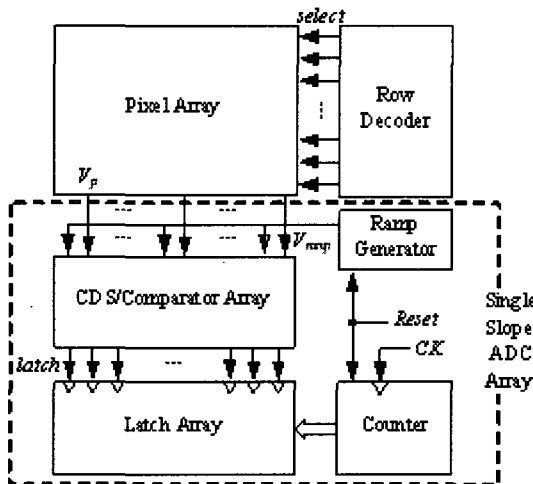


그림 1. 종적 단일 기울기 ADC를 사용한 CIS의 블록도  
Fig. 1. Block diagram of the column-ADC CIS.

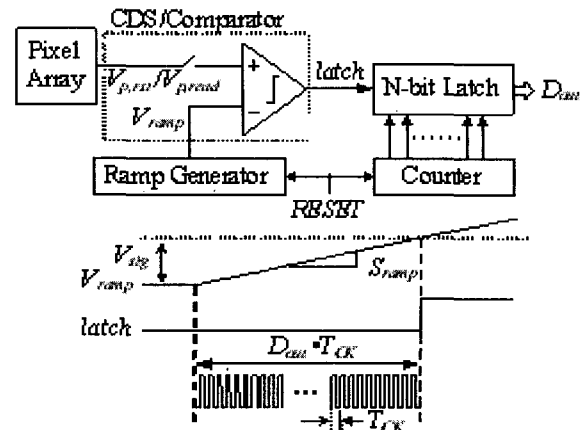


그림 2. CDS/비교기를 적용한 단일 기울기 ADC의 동작원리  
Fig. 2. Operation principal of the single slope ADC with CDS/comparator.

를 리셋하고 CDS 블록은 픽셀 리셋 레벨  $V_{p,rst}$ , 램프 옵셋, 비교기 옵셋 신호를 추출하여 저장한다. 두 번째 단계에서 CDS 블록은 픽셀 출력 레벨  $V_{p,read}$ 을 추출하여 저장한 후 모든 옵셋 신호를 제거한다.  $V_{p,rst}$ 와  $V_{p,read}$  간의 차가 바로 선택되어진 픽셀로 들어온 빛의 양에 대응하는 픽셀 신호  $V_{sig}$ 가 된다. 세 번째 단계에서는 램프 신호  $V_{ramp}$ 가 증가하면서 옵셋이 제거된 램프 신호가  $V_{sig}$ 를 초과하게 되면 비교기의 출력 *latch*는 그림 2처럼 변화한다.

카운터는 램프 신호가 증가하는 동안 지속적으로 카운트되고 래치는 비교기 출력이 변화할 때 카운터 값을 저장한다. 결과적으로 래치에 저장된 값은  $V_{ramp}$ 가  $V_{sig}$ 과 같아지는 소요 시간을 의미하며 그 것은  $V_{sig}$ 에 대응하는 ADC 출력에 해당하게 된다. 그러므로 ADC 출력  $D_{out}$ 는 식 1과 같이 램프 기울기  $S_{ramp}$ , 클럭 주파수  $f_{ck}$ 에 의존한다.

$$D_{out} = V_{sig} \frac{f_{ck}}{S_{ramp}} \tag{1}$$

### 2. 제안된 램프 기울기 BISC 구조

단일 기울기 ADC 내에 아날로그 램프 생성기는 일반적으로 일정한 전류 값을 적용한 연속 시간 적분기를 사용한다. 램프 기울기는 적분용 캐퍼시터와 입력 전류에 의해 결정된다. 그림 3은 CIS용으로 제안된 램프 기울기 BISC 구조의 블록도를 나타낸다. BISC 내에 사용된 단일 기울기 ADC는 두 개의 기준 전압  $V_{high}$ 와  $V_{low}$ 를 픽셀 대신에 BGR (band gap reference) 회로로부터 받는다. 두 전압의 차  $\Delta V_{ref}$ 는 교정을 위한 기준 전압이

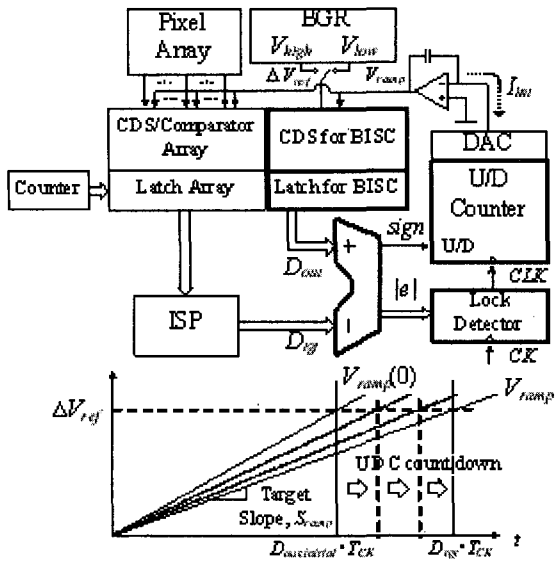


그림 3. CIS용으로 제안된 램프 기울기 BISC 구조의 블럭도

Fig. 3. Block diagram of the proposed ramp slope BISC scheme embedded in a CIS (Boldface blocks represents the additional blocks for BISC implementation).

된다. BISC 내 ADC는 기준 아날로그 전압  $\Delta V_{ref}$ 에 해당하는 출력  $D_{out}$ 을 생성한다.  $D_{out}$ 은 디지털 목표 값  $D_{tgt}$ 와 비교되며 뺄셈기를 거친 두 값의 차의 부호가 UDC (up-down counter)에서 카운트되는 방향을 결정한다. 여기서  $D_{tgt}$ 은 그림 3에도 나와 있듯이 ISP(image signal processing) 블록에서 받는 신호이다.

UDC 출력은 DAC (digital-to-analog convertor)를 통하여 램프 생성기로서 사용되는 적분기의 입력 전류로 변환된다. 만일  $D_{out}$ 이  $D_{tgt}$ 보다 작으면 UDC는 램프 생성기용 적분기의 입력 전류를 감소시켜 ADC 이득을 증가시키기 위해 down 카운트하게 된다. 그러나 본 제안 구조는 램프 신호의 잡음에 의하여 교정이 방해받을 뿐만 아니라 잡음이 없다고 하더라도 램프의 기울기가 목표 값을 중심으로 규칙적으로 진동하는 등 불안정해지면서 CIS 영상에 횡적 잡음을 발생시킨다. 이러한 불안정 요소는 그림 4와 같은 hysteresis를 가진 lock 검출기를 적용하여 줄일 수 있다.

그림 4(a)에 제시된 hysteresis 특성은 그림 4(b)에 보여준 회로와 같이 구현할 수 있다. 초기에 lock 검출기는 unlock 상태로 시작하며 교정이 지속되면서 그림 3 내에 뺄셈기로부터 출력된 에러  $|e|$ 는 줄어들게 된다. Lock 검출기의 상태는 에러가 줄어들면서 원하는 N 영역 안으로 들어가면 unlock에서 lock으로 변한다. 그 상태는 N 영역을 넓게 감싸는 W 영역을 에러가 벗어나

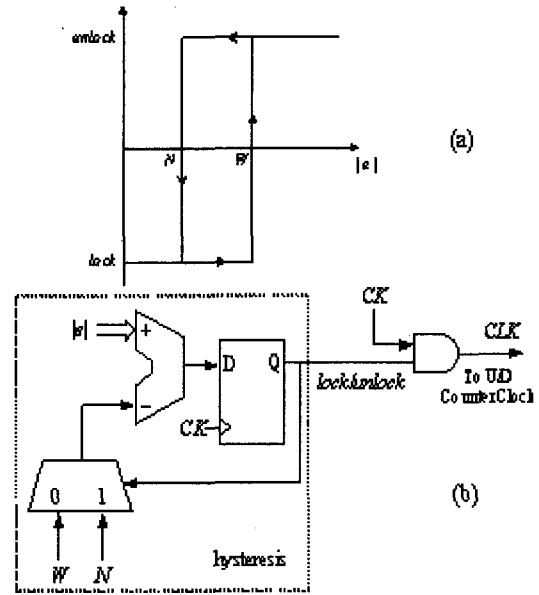


그림 4. Lock 검출기 (a) Lock 검출기를 위한 hysteresis curve (b) Hysteresis 특성을 적용한 lock 검출기의 회로도

Fig. 4. Lock detector. (a) The hysteresis curve for lock detector (b) Schematic diagram of lock detector.

지 않는 한 유지된다. 만일 에러가 W 영역을 벗어나면 lock 검출기 상태는 unlock 상태로 변하고 교정이 진행되면서 에러가 다시 줄어들어 N 영역으로 접근한다.

### III. 실험

제안된 BISC는 CIS안에 구성되어 0.35 $\mu$ m CMOS 공정으로 제조되었다. 그림 5는 분석용으로 제조된 칩의 사진을 보여준다. 제안된 BISC 구조의 실리콘 면적 부담은 그림 5에서처럼 무시할 만하다.

그림 6은 제조된 칩으로부터의 측정 결과를 보여준다. 그림 6(a)는 표준 공정 조건에서 초기에 진행되는 교정 과정을 나타낸다. UDC에 의해 조절되는 DAC 출력  $DAC_{out}$ 은 점차 변하여 적당한 값으로 수렴되면서 램프 기울기도 함께 목표 기울기로 수렴이 되는 것을 보여준다. 수렴되어지는 램프 기울기로 인하여  $D_{out}$ 이 디지털 목표 값  $D_{tgt}$ 에 근접하여 BISC 동작이 수렴되면 lock 검출기는 'lock' 상태로 변한다.

그림 6(b)는 적분기를 구성하는 캐퍼시터 값의 변경 실험에 따라 재교정이 발생하는 것을 보여준다. 적분기 캐퍼시터 값이 50%로 낮아져 램프 기울기가 급격하게 높아지고 화면이 어두워지는 변화에도 불구하고 제안된

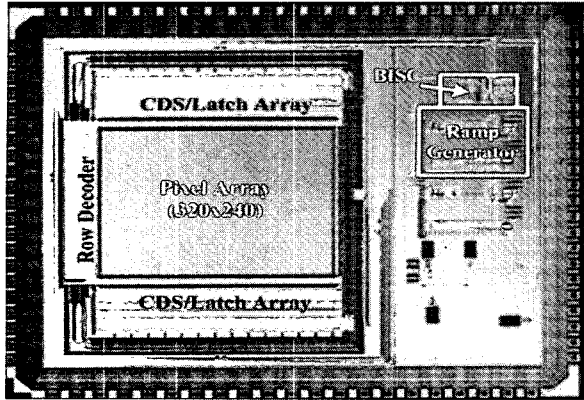


그림 5. 제안된 BISC를 탑재한 CIS의 칩 사진 (4,800um x 4,000um)

Fig. 5. Microphotograph of the CIS with the proposed BISC (4,800um x 4,000um).

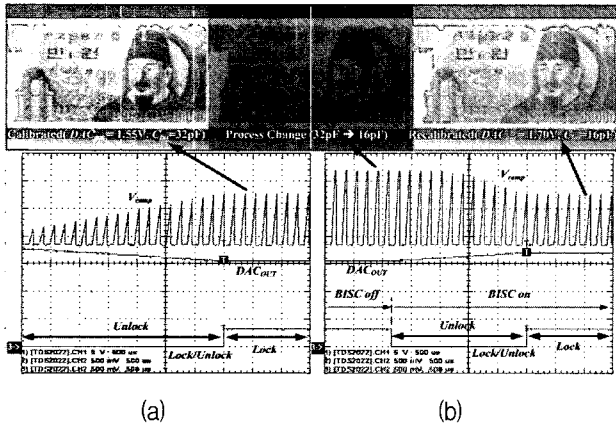


그림 6. 공정 변화에 따른 CIS 용 램프 기울기 BISC 동작의 측정 결과 (a) 초기 완료된 교정 상태 (b) 적분기 캐피터 값의 변화에 따른 재 교정 진행  
 Fig. 6. Experimental results of ramp slope BISC operation according to the process deviation. (a) Initial completed calibration. (b) Recalibration according to the change of integrating capacitor value.

BISC 구조는 그림 6(b)에 보여준 것처럼 재교정이 자동 진행되어 목표 기울기에서 벗어난 램프 기울기를 BISC 동작에 의한 수렴 과정을 통하여 표준 공정 조건에서와 같은 밝기의 이미지, 다시 말하면 같은 ADC 이득을 갖도록 한다.

그림 7은 제안된 비선형 램프 신호가 클럭 주파수의 변화에 따라 같은 비율로 램프 기울기가 조절되어 ADC 이득을 항상 일정하게 유지하는 것을 나타낸다. 이렇게 램프 기울기가 주파수 변화와 같이 연동되는 본 논문의 BISC 구조가 식 1에 따라 일정한 ADC 출력값 또는 일정한 ADC 이득을 갖도록 램프 기울기가 지속적으로 교정되는 특징을 갖고 있기 때문이다.

그림 8은 lock 검출기의 효과를 나타낸다. Lock 검출

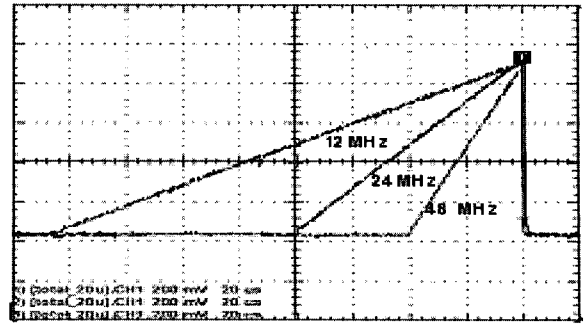


그림 7. 클럭 주파수 변화에 따른 램프 기울기에 대한 BISC 블록의 측정 결과  
 Fig. 7. Experimental results of ramp slope BISC operation for CIS according to the clock frequency deviation.

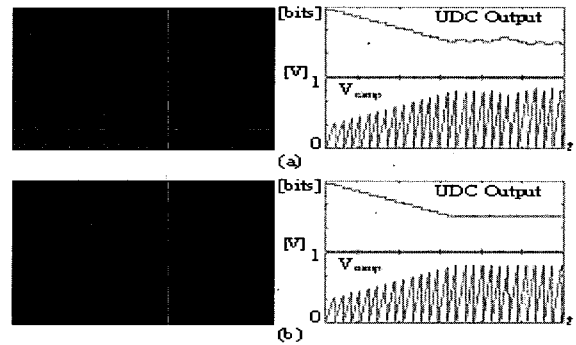


그림 8. 제안된 BISC 구조의 behavioral level 시뮬레이션 결과 (a) lock 검출기 불포함 (b) lock 검출기 포함  
 Fig. 8. The effect of the lock detector in the proposed BISC scheme. (a) Without the lock detector. (b) With the lock detector.

기의 동작을 중지시키면 그림 8(a)와 같이 램프 기울기가 불안정해지고 이미지에 횡적 줄 잡음이 발생하는데 이러한 이유는 BISC 동작이 잡음에 영향을 받기 때문이다.

그림 8(b)는 lock 검출기의 정상적인 동작을 통하여 램프 기울기의 요동을 최소화함으로써 횡적 줄 잡음을 제거할 수 있다는 것을 보인다. 결국 lock 검출기는 BISC가 수렴되었다고 판단되는 조건부 로직으로써 잡음에 강한 특성을 갖게 한다.

#### IV. 결론

본 논문은 단일 기울기 ADC를 사용하는 CIS에 적용할 수 있는 램프 기울기 BISC 구조를 제안하였다. 제안된 BISC 구조는 공정과 주파수 변화에 상관없이 일정한 ADC 이득을 제공한다. 본 논문에서 제안하는 BISC

구조안에 탑재한 lock 검출기는 횡적 줄 잡음을 억제한다. 실험 결과들은 제안된 BISC 구조가 매우 효과적이라는 것을 나타내며 본 구조로 인한 칩 면적의 부담은 무시할 만하다.

### 참 고 문 헌

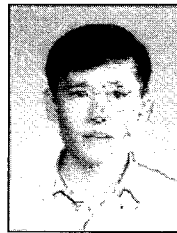
- [1] E.R. Fossum, "CMOS image sensor: Electronic camera on a chip," *IEEE Trans. Electron Devices.*, Vol. 44, No. 10, pp. 1689-1698, Dec. 1997.
- [2] R.H. Nixon, et al, "256x256 CMOS active pixel sensor camera-on-a-chip," *IEEE J. Solid-State-Circuits*, Vol 31, No. 12, pp. 2046 - 2050, Dec. 1996
- [3] S.K. Mendis, et al, "CMOS active pixel image sensors for highly integrated imaging systems," *IEEE J. Solid-State-Circuits*, Vol. 32, No. 2, pp. 187 - 197, Feb. 1997.
- [4] S. Hamami, et al, "CMOS APS imager employing 3.3V 12bit 6.3MS/S pipelined ADC," in *Proc. ISCAS*, Vol. 4, pp. 960-963, May. 2004.
- [5] T. Sugiki, et al, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," in *ISSCC Tech Dig.*, pp. 108-109, Feb. 2000.
- [6] K. Findlater, et al, "SXGA pinned photodiode CMOS image sensor in 0.35um technology," in *ISSCC Tech Dig.*, pp. 218, Feb. 2003.
- [7] Yung-Cheng Liu, et al, "Automatic white balance for digital still camera," *IEEE Trans. Consumer Electronics*, Vol. 41, No. 3, pp. 460-466, Aug. 1995.
- [8] J.S Lee, et al, "An advanced video camera system with robust AF, AE, and AWB control," *IEEE Trans. Consumer Electronics*, Vol. 47, No. 3, pp. 694-699, Aug. 2001.
- [9] F. Azais, et al, "A low-cost adaptive ramp generator for analog BIST applications," in *Proc. 19th IEEE VLSI Test Symp.*, pp. 266-271, May. 2001.
- [10] B. Provost, et al, "On-chip ramp generators for mixed-signal BIST and ADC self-test," *IEEE J. Solid-State-Circuits*, Vol. 38, No. 2, pp. 263-273, Feb. 2003.

저 자 소 개



함 석 현 (학생회원)  
 1987년 한양대학교 전자공학과  
 학사  
 1990년 한양대학교 전자공학과  
 석사  
 2002년 연세대학교 전기전자  
 공학과 박사 과정

1990년~현재 삼성전자 반도체 부문  
 <주관심분야 : CMOS Image Sensor, 아날로그  
 회로, 잡음 분석>



한 건 희 (정회원)  
 1990년 연세대학교 전자공학과  
 학사  
 1997년 Texas A&M 박사  
 1998년 Texas A&M 조교수  
 1998년~현재 연세대학교 부교수

<주관심분야 : 아날로그 회로, CMOS Image  
 Sensor, 고속 직렬 통신 회로,  $\Sigma\Delta$  모듈레이터>