

논문 2006-43SD-1-6

# 다중 시스템 클럭으로 동작하는 보드 및 SoC의 연결선 지연 고장 테스트

(Interconnect Delay Fault Test in Boards and SoCs  
with Multiple System Clocks)

이 현 빈\*, 김 영 훈\*, 박 성 주\*\*, 박 창 원\*\*\*

(Hyunbean Yi, Younghun Kim, Sungju Park, and Changwon Park)

## 요 약

본 논문은, IEEE 1149.1 및 IEEE P1500 기반의 보드 및 SoC의 연결선 지연 고장 테스트를 위한 회로 및 테스트 방법을 제안한다. IDFT 모드 시, 출력 셀의 Update와 입력 셀의 Capture가 한 시스템 클럭 간격 내에 이루어지도록 하는 시스템 클럭 상승 모서리 발생기를 구현한다. 이 회로를 이용함으로써, 단일 시스템 클럭 뿐만 아니라 다중 시스템 클럭을 사용하는 보드 및 SoC의 여러 연결선의 지연 고장 테스트를 쉽게 할 수 있다. 기존의 방식에 비해 면적 오버헤드가 적고 경계 셀 및 TAP의 수정이 필요 없으며, 테스트 절차도 간단하다는 장점을 가진다.

## Abstract

This paper proposes an interconnect delay fault test (IDFT) solution on boards and SoCs based on IEEE 1149.1 and IEEE P1500. A new IDFT system clock rising edge generator which forces output boundary scan cells to update test data at the rising edge of system clock and input boundary scan cells to capture the test data at the next rising edge of the system clock is introduced. Using this proposed circuit, IDFT for interconnects synchronized to different system clocks in frequency can be achieved efficiently. Moreover, the proposed IDFT technique does not require any modification of the boundary scan cells or the standard TAP controller is simple in terms of test procedure and is small in terms of area overhead.

**Keywords :** Interconnect Delay Fault, SoC, IEEE 1149.1, P1500, Multiple Clocks

## I. 서 론

보드 및 SoC의 크기는 점점 작아짐에 따라 복잡도는 크게 늘어나고 동작 속도 또한 매우 빨라지고 있다. 따

라서, 고착 고장 (stuck-at-fault), 합선 고장 (bridging fault) 등과 더불어 보드상의 칩간 또는 SoC 상의 코아간 연결선 지연 고장 (Interconnect Delay Fault) 발생 가능성이 매우 높아지고 있다.

보드 및 SoC 테스트를 위한 표준으로써, IEEE 1149.1 경계스캔과 IEEE P1500이 있다<sup>[1][2]</sup>. IEEE 1149.1 경계스캔 (Boundary Scan)은 보드 테스트를 위한 표준으로 널리 사용되어 왔지만, 유한 상태기로 이루어진 Test Access Port (TAP) 제어기의 제어신호에 의해 두 칩간의 테스트 데이터 전송 시, 한 칩의 출력 경계 셀 (Boundary Scan Cell: BSC)로부터 그 연결선에 이어진 다른 칩의 입력 경계 셀까지 2.5테스트 클럭 사이클이

\* 학생회원, 한양대학교 컴퓨터공학과  
(Dept. of Computer Science & Engineering, Hanyang Univ.)

\*\* 평생회원, 한양대학교 전자컴퓨터공학과  
(Dept. of Electronical Engineering Computer Science, Hanyang Univ.)

\*\*\* 정회원, 전자부품연구원 지능형정보시스템 연구센터  
(Korea Electronics Technology Institutes(KETI) Intelligent IT System Research Center)

접수일자 : 2005년9월23일 수정완료일 : 2005년12월15일

소요된다는 문제점을 가지고 있다. 따라서, IEEE 1149.1을 이용하여, 연결선을 통한 데이터 전달이 한 시스템 클럭 사이클 내에 발생하도록 하여 지연 고장을 테스트하기 위한 여러 가지 방식이 제안되어 왔다<sup>[3]~[6]</sup>.

IEEE P1500은 SoC내의 코아 테스트 표준으로, 칩의 내부 테스트라는 특성에 따라, 코아를 둘러싼 테스트 래퍼(wrapper)를 정의하고, 테스트 접근 메커니즘에 대해서는 사용자가 정의 하도록 하여, 보다 많은 유연성을 가지고 있다<sup>[2][7]</sup>. 아직 표준화 완성 단계에 있고, 접근 및 테스트 방법에 관한 많은 연구가 이루어지고 있지만 코아간 연결선 지연 고장 점검에 관한 연구는 아직 발표된 바가 없다.

본 논문에서는, IEEE 1149.1 및 IEEE P1500을 기반으로 하여, 적은 면적 오버헤드로, 보드와 SoC, 그리고, 단일 시스템 클럭 뿐만이 아니라 다중 시스템 클럭을 사용하는 환경에도 적용 할 수 있는 연결선 지연 고장 테스트 회로 및 적용 방법을 제시한다. II장에서는 기존 연구의 문제점을 살펴보고, III장에서는 IEEE 1149.1을 사용한 연결선 지연 고장 테스트 회로 및 테스트 방법을 제시한다. IV장에서는, IEEE P1500에 대해서 살펴보고, 최소한의 면적 오버헤드를 갖는 IEEE 1149.1 대 P1500 인터페이스 회로를 제시한다. V장에서, III장에서 제시한 방식을 IV장에서 제시한 회로와 함께 IEEE P1500에 적용하는 방법에 대해서 설명한다. VI장에서, 본 논문에서 제시한 방식을 기존 연구와 비교 및 평가하고, VII장에서 결론을 맺는다.

## II. 기존 연구

I 장에서 언급한 IEEE 1149.1의 근본적인 문제점을 극복하고자 하거나, 다중 클럭 시스템상에서 연결선 지연 고장 테스트에 관한 대표적인 연구를 살펴보고, 각 방식의 장단점을 파악하고자 한다.

논문 [3]은, 경계 셀의 입력 단에 “Early Capture” 래치를 추가하는 방식이다. Test Clock (TCK)와 Test Mode Select (TMS)를 이용하여 TAP 제어기를 Update-DR 상태에 머무르게 하고, TAP 제어기로부터 나온 UpdateDR 신호의 상승 모서리(rising edge) 후, 캡처 하고자 하는 타이밍에 래치에 신호(Early Capture Clock)를 인가한다. Early Capture Clock신호를 인가 하는 시간 간격을 원하는 만큼 조절 함으로써 지연 고장 테스트가 가능하다. 아이디어가 명료하고 테스트 방법도 간단하지만, Early Capture Clock 신호 생성 방법

에 대해서 자세히 제시하고 있지 않아, 정확한 면적 오버헤드를 가늠 할 수 없고, 경계 셀의 변경이 불가피하다.

논문 [4]는, 논문 [3]에 Early Capture Control Register (ECCR)을 추가하여, 서로 다른 클럭을 사용하는 연결선에 ECCR이 Early Capture Clock 신호를 생성해 줌으로써 다중 시스템 클럭을 사용하는 보드상에서 테스트 할 수 있는 방식을 제안하였다. 기존 연구들 간과 했던 다중 시스템 클럭 이슈에 대한 접근은 좋았지만, ECCR의 오버헤드가 매우 클 뿐만 아니라, 시스템 클럭의 주파수에 따라 ECCR을 구성하고 있는 플립플롭과 인버터의 개수를 수정해 주어야 한다.

논문 [5]에서는, 논문 [3]과 달리, TCK와 TMS를 이용하여 UpdateDR 상태를 늘이는 대신, 논문 [4]에서 제시한 ECCR과 비슷한 프로그래머블 지연 회로(programmable delays)를 사용하였다. 두 가지 방식을 제시하였는데, 입력 셀에서 UpdateDR 상태에 Early Capture 하는 방식과, 출력 셀에서 CaptureDR 상태에 Late Update 하는 방식이다. Early Capture를 위한 Clock-DR 신호 또는, Late Update를 위한 Update-DR 신호를 프로그래머블 지연 회로로부터 원하는 시간 간격 후에 인가 할 수 있도록 구현하였다. 신호 생성 회로 및 파형을 구체적으로 제시하였지만, 다소 복잡하며, 면적 오버헤드에 있어서 좀 더 최적화 될 여지가 있다. V장에서 구체적인 비교를 제시 할 것이다.

논문 [6]은, 일시적으로 TCK를 시스템 클럭으로 대체하여 TAP 제어기의 상태를 천이시킴으로써 1.5 TCK 늦게 UpdatDR을 인가하는 방식을 제시하였다.

UpdateDR 신호부터 ClockDR 신호까지 정확하게 한 시스템 클럭 사이클이 소요되도록 할 수는 있으나, 시스템 클럭의 주파수에 따른 TMS 패턴 생성 및 동기화가 어렵고, 따라서, IEEE 1149.1에 완전히 호환되지 못하는 문제점이 있다.

추가적으로, 논문 [3]은 정상 동작 시에도 래치에 의한 데이터 전송 지연이 있으며, 논문 [4]의 ECCR과 논문 [5]의 프로그래머블 지연 회로는 정상 동작 시에도 시스템 클럭에 의해 동작하므로, 전력 소모가 크다는 단점이 있다.

## III. IEEE 1149.1을 이용한 연결선 지연 고장 테스트

기존 연구에서, 연결선 지연 고장 테스트(Interconnect Delay Fault Test: IDFT) 시, UpdateDR과 ClockDR 신

호의 시간 간격을 조절 하는데 필요한 면적 오버헤드 및 테스트 방법의 복잡도가 큰 근본적인 원인은, 연결선의 입력 셀과 출력 셀 중, 한쪽 셀에서만 타이밍 조절을 시도 함으로써 발생 하는 것으로 분석된다. 새로 생성하고자 하는 신호가 TCK에 동기 되는 신호들에 의해 발생 된다. 따라서, 테스트 하고자 하는 시간 간격 (예) 1 시스템 클럭)이 TCK 와 배수 관계에 있지 않는 한, 한쪽 셀에서의 타이밍 제어만으로 UpdateDR부터 ClockDR까지의 시간 간격을 정확하게 조절 하기란 쉽지 않다.

본 논문에서는, 그와 같은 근본적인 문제를 안고 있는 기존 방식을 탈피하여, 입력 셀과 출력 셀에서 쌍을 이루어 정확한 시스템 클럭으로 IDFT를 할 수 있는 방법을 제시한다. 그림 1이, 본 논문에서 제시하는 IDFT 기본 구성이다. Chip1과 Chip2가 같은 시스템 클럭 (SYSCLK)으로 동작 할 때, TAP(TAP1, TAP2)과 출력 셀 (Output BSC) 및 입력 셀 (Input BSC) 사이에 SYSCLK으로 동작하는 신호 생성기 (UpDR Generator, ClkDR Generator)를 구현하고, 정상 동작 모드 시에는 UpdateDR과 ClockDR 신호를, IDFT 모드 시에는 새로 생성된 신호를 각각 UpDR과 ClkDR을 통해 출력한다. 출력 셀에서 테스트 데이터 적재 후, UpDR과 ClkDR에 SYSCLK 주기로, 차례대로 상승 모서리를 발생시킴으로써 정확히 1 시스템 클럭으로 칩간 연결선 (Interconnect wire on a board)의 지연 고장 테스트를 하는 것이 기본적인 아이디어이다.

그림 1과 같은 구조를, 여러 연결선이 서로 다른 시스템 클럭을 사용하는 환경에 적용하여, IEEE 1149.1을 이용하여 IDFT를 수행하기 위해서는, 여러 연결선의 시

스템 클럭의 주파수와 TCK의 주파수와는 상관 없이 각각의 시스템 클럭 간격으로 Update와 Capture가 단 한 번씩 수행 되고, Capture후에 TCK에 동기 되어 동작하는 스캔 쉬프트 동작에 문제가 없도록 해야 한다.

본 논문에서도, 논문 [3]과 같이, TCK와 TMS를 이용하여 Update-DR 상태를 유지시키고, 그 동안에 서로 다른 시스템 클럭을 사용하는 연결선에서, 각각 Update와 Capture 동작이 한 번씩 수행되도록 하는 방법을 사용한다. 만일, 두 개의 시스템 클럭 (SYSCLK1, SYSCLK2)을 사용하는 보드상에서 IDFT를 수행하고자 한다면, 우선, IDFT 명령어를 명령 레지스터에 삽입하여 IDFT 모드로 전환하고, 테스트 패턴 주입 후, 그림 2와 같이, TCK와 TMS를 이용하여, TAP 제어가 Update-DR 상태를 유지 하도록 하되, 주기가 가장 긴 시스템 클럭의 두 번의 상승 모서리를 포함 할 수 있도록 유지한다. 그 결과, TAP 제어기의 Update-DR 상태 동안, SYSCLK1을 사용하는 연결선에 대해서는 UpDR1과 ClkDR1이 1 SYSCLK1 간격으로 상승 모서리를, SYSCLK2를 사용하는 연결선에 대해서는 UpDR2와 ClkDR2이 1 SYSCLK2 간격으로 상승 모서리를 각각 한 번씩 발생하고, 그 후, 다시 TCK에 의한 TAP의 표준 동작에 따라 UpdateDR과 ClockDR 신호를 내보내도록 한다.

이와 같이 매우 간단한 절차로, 다중 시스템 클럭 환경에서, 한 번의 IEEE 1149.1 테스트 실행 싸이클 (IDFT명령어 입력 -> 테스트 데이터 스캔 인 (scan-in) -> Update-DR 상태 유지 -> 결과 데이터 스캔 아웃 (scan-out))로 서로 다른 클럭을 사용하는 모든 연결선의 IDFT를 동시에 수행할 수 있다.

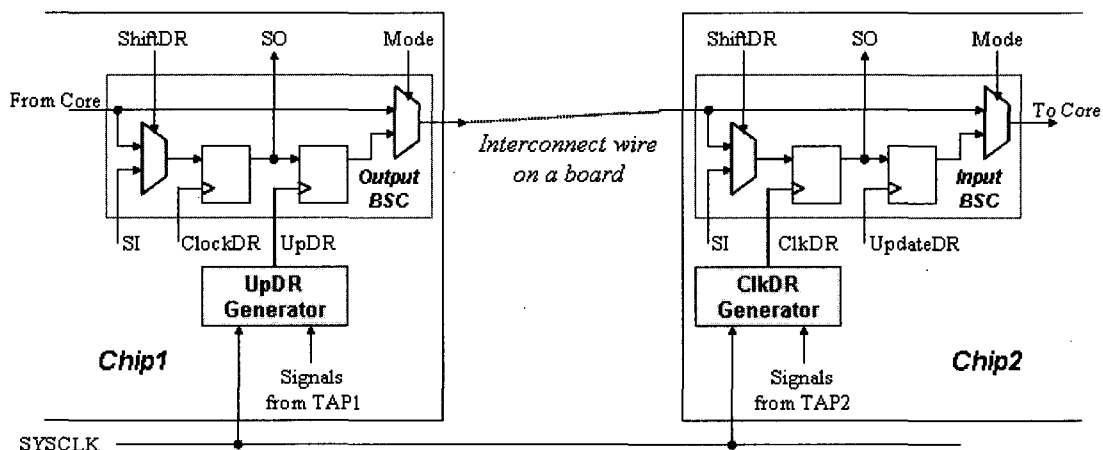


그림 1. 한 쌍의 신호 생성기를 이용한 IDFT  
Figure1. IDFT using System Clock Edge Generator.

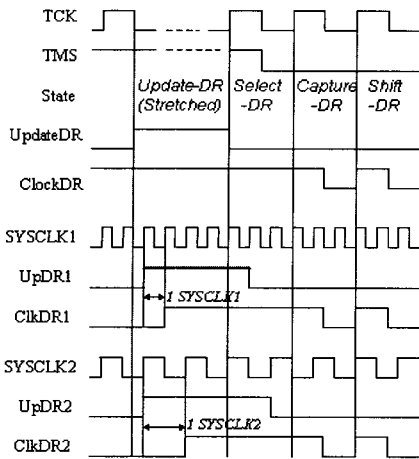


그림 2. 다중 시스템 클럭 환경에서의 IDFT 파형  
Fig 2. The waveforms of IDFT for Multiple System Clocks.

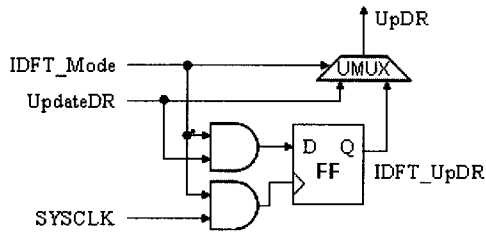


그림 3. UpDR 생성기  
Figure3. UpDR Generator.

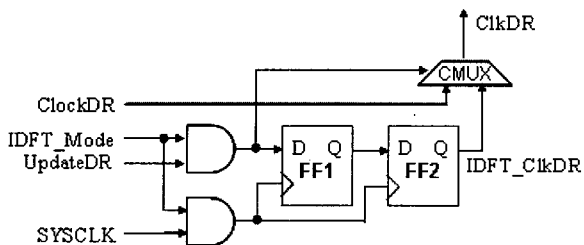


그림 4. ClkDR 생성기  
Fig 4. ClkDR Generator.

그림 3과 그림 4가, 그림 2의 파형과 같이 동작 할 수 있도록 설계된 UpDR Generator와 ClkDR Generator의 내부 구조이며, 표 1이 신호 이름 및 기능 설명이다.

그림 3의 UpDR Generator에서, UMUX는 정상 동작 (IDFT\_Mode='0') 시엔 UpdateDR을, IDFT 모드 (IDFT\_Mode='1') 시엔, IDFT\_UpDR을 선택하여 UpDR로 내보낸다. IDFT\_Mode가 '1'일 때, UpdateDR이 '1'이면, IDFT\_UpDR이 '0'에서 '1'로 천이하여 Update-DR 상태 동안 시스템 클럭에 의한 한 번의 상승 모서리를 생성한다. 그림 4의 ClkDR Generator에서, ClkDR은 IDFT 모드 시에 UpDR보다 한 시스템 클럭 후에 상승 모서리를 생성 해야 하므로, IDFT 모드 이면서 IDFT 모드 시에, UpDR Generator에서 UpdateDR 신호

표 1. UpDR Generator 및 ClkDR Generator의 신호와 기능.

Table 1. Signal Description of IDFT Edge Generator.

Module	Signal Name	Description
UpDR Generator	IDFT_Mode	모드입력신호, IDFT 모드 시 1
	UpdateDR	TAP제어기로부터 오는 Update를 수행하기 위한 신호
	SYSCLK	시스템 클럭
	IDFT_UpDR	IDFT 모드 시, SYSCLK에 동기되어 Update를 수행하기 위한 신호
ClkDR Generator	UpDR	정상 동작 t에는 UpdateDR을, IDFT 모드 시에는 IDFT_UpDR을 출력
	IDFT_Mode	모드입력신호, IDFT모드 시 1
	ClockDR	TAP 제어기로부터 오는 ClockDR
	UpdateDR	TAP 제어기로부터 오는 UpdateDR
	SYSCLK	시스템클럭
ClkDR Generator	IDFT_ClkDR	IDFT모드 시, SYSCLK에 동기되어 Capture를 수행하기 위한 신호, IDFT_UpDR보다 1 SYSCLK후에 생성
	ClkDR	IDFT모드이고, UpdateDR이 1이면, IDFT_ClkDR을 출력, 그렇지 않으면 ClockDR을 출력

의 플립플롭을 거쳐 나오는 IDFT\_ClkDR을 ClkDR로 내보낸다.

는 UpDR로 내보낼 필요가 없지만, ClkDR Generator에서 ClockDR 신호는 Update-DR 상태 이 후에도, 결과 데이터 스캔 아웃을 위해 ClkDR로 내보내줘야 하므로, CMUX는 IDFT\_Mode='1'이고 UpdateDR이 '1'일 때만 IDFT\_ClkDR을 선택한다. 이 두 회로의 플립플롭은 IDFT 모드 시에만 동작하면 되므로, 저전력 설계 차원에서 AND 게이트를 추가 하였다.

이 두 회로를 각각 따로 구현하여, 한 쌍으로 사용할 수도 있지만, 그림 5와 같이 하나의 생성기로 구현 할 수도 있다. 이 IDFT 시스템 클럭 상승 모서리 생성기를 한 칩에 포함하여, UpDR은 출력 경계 셀의 UpdateDR에, ClkDR은 입력 경계 셀의 ClockDR에 연결되되, 다중 시스템 클럭을 사용하는 경우에는, 다중 시스템 클럭의 수만큼 구현하여 해당 시스템 클럭으로 동작하는 입출

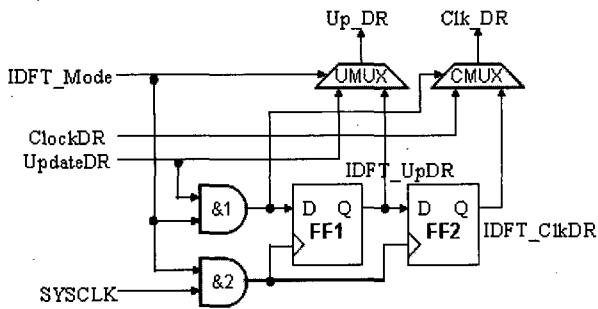


그림 5. IDFT 시스템 클럭 상승 모서리 생성기  
Fig. 5. IDFT Edge Generator.

력 단의 경계 셀에 UpDR과 ClkDR을 각각 연결해 줌으로써, 이 생성기를 포함한 다른 칩간의, 서로 다른 시스템 클럭을 사용하는 여러 연결선의 IDFT를 쉽게 수행할 수 있다.

#### IV. IEEE 1149.1 대 IEEE P1500 인터페이스

IEEE P1500은 코어 테스트를 위한 표준으로서, IEEE 1149.1와 비슷한 구조를 코어에 적용하되, IEEE 1149.1의 TAP 제어기와 같은 테스트 제어부 없이, 사용자가 다양한 테스트 접근 메커니즘 (Test Access Mechanism: TAM)을 구현하여 테스트 할 수 있도록 (Wrapper Interface Port: WIP)포트, 래퍼 경계 셀 (Wrapper Boundary Cell: WBC)의 기능 등을 정의하고 있다<sup>[2]</sup>. WIP로는 병렬 포트 (Wrapper Parallel Port: WPP)와 직렬 포트 (Wrapper Serial Port: WSP)를 정의하고 있는데, 그 중 WSP는 필수적인 (mandatory) 부분으로서 그림 6과 같이, 직렬 데이터 입력 (Wrapper Serial Input), 직렬 데이터 출력 (Wrapper Serial Output), 직렬 제어부 (Wrapper Serial Control: WSC) 및 신호를 정의하고 있다<sup>[2]</sup>.

WSP 접근 메커니즘은 정의되어 있지 않기 때문에,

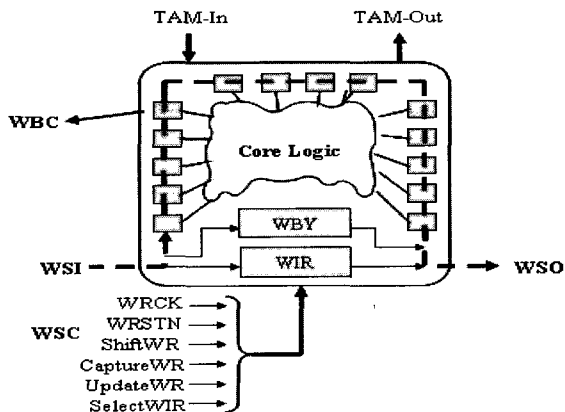


그림 6. IEEE P1500 래퍼 & WSP (Wrapper Serial Port)  
Fig. 6. IEEE P1500 Wrapper & WSP (Wrapper Serial Port).

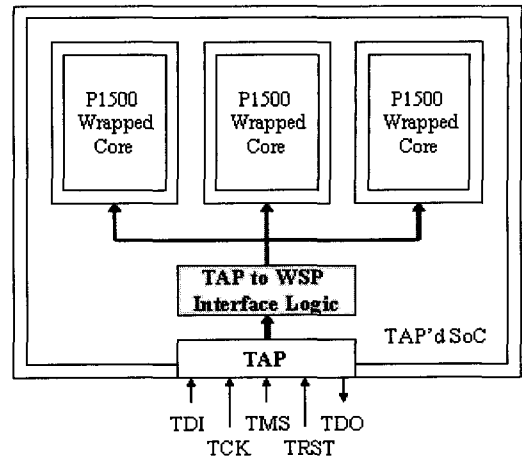


그림 7. P1500 랩드 코어를 포함하고 있는 TAP'd SoC  
Fig. 7. TAP'd SoC including P1500 Wrapped Cores.

획기적인 방법이 제안되지 않는 한, 그림 7과 같이, 기존에 많이 사용되었던 IEEE 1149.1 TAP을 이용하게 될 것이다<sup>[8]~[10]</sup>.

이와 같은 방식으로 SoC를 테스트 할 경우, 테스트하고자 하는 하나의 코어 또는 복수개의 코어를 선택하고 테스트 데이터 경로를 설정 및 해제하기 위한 메커니즘이 필요한데<sup>[10][11]</sup>, 본 논문에서는, 그에 관한 내용은 다루지 않는다.

그림 7에서, TAP 대 WSP 인터페이스 로직은 설계자에 따라서 다양하고 복잡하게 구현 될 수 있지만, 래퍼 명령 레지스터 (Wrapper Instruction Register: WIR) 및 래퍼 경계 레지스터 (Wrapper Boundary Register: WBR)를 제어할 WSC부분은, 그림 8과 같이 간단하게 구현 할 수도 있다.

SelectWIR은 TAP 제어기의 Select 신호를 그대로 받아, WIR 선택 시 '1', WBR 선택 시 '0'을 내보내게 된다. 따라서, WBR에서 WSC신호를 받아 사용하기 위해서는 그림 9와 같은 추가적인 회로가 필요하다<sup>[8][10][11]</sup>.

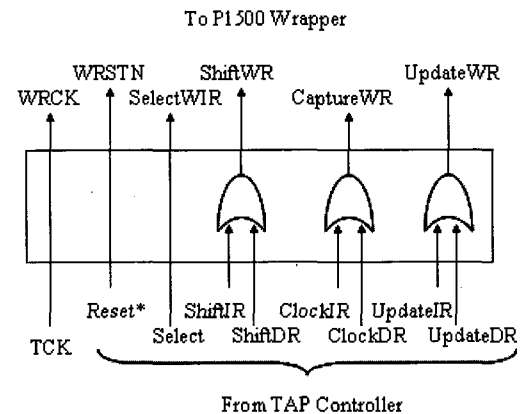


그림 8. WSC 로직 예  
Fig. 8. A Simple TAP to WSP Interface Logic.

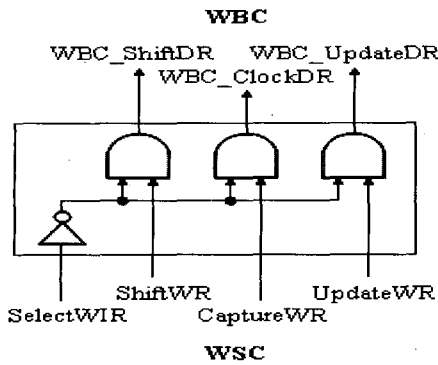


그림 9. WBC 제어신호 생성 회로  
Fig 9. A Simple WSC to WBC logic.

V. IEEE P1500 코아간 연결선 지연 고장 테스트

그림 7과 같은 SoC에서, 그림 8과 9의 회로를 사용하여 P1500 래퍼 코아간 IDFT를 수행하고자 할 때, 래퍼 경계 셀 (WBC)이 그림 1의 BSC와 같다면, 그림 3과 4, 또는 그림 5를 WSP 신호와 적절히 매핑을 시키고, III장에서 설명한 방식을 사용함으로써 쉽게 IDFT를 할 수 있다. 그러나, IEEE P1500에서는 다양한 기능 및 형태의 WBC를 정의하고 있으며, 논문 [12]에서 제시한 그림 10, 11과 같은 셀에 대해서는 III장에서 제시한 IDFT 회로를 그대로 사용 할 수 없다.

그림 9의 셀은, 매우 적은 면적 오버헤드로 IEEE P1500에서 정의하고 있는 WBC의 기능에 만족하도록

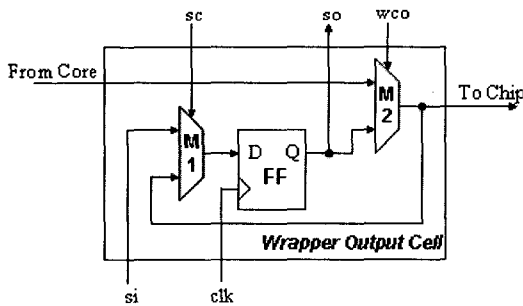


그림 11. P1500 래퍼 출력 경계 셀  
Fig 11. P1500 Wrapper Output Cell.

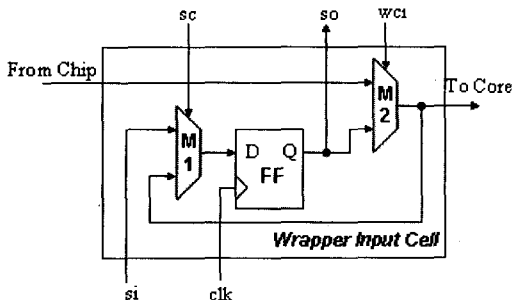


그림 10. P1500 래퍼 입력 경계 셀  
Fig 10. Wrapper Input Cell.

설계되었다. 이와 같은 셀을 사용할 경우에는 Capture나 Shift를 위한 플립플롭과 Update를 위한 플립플롭이 분리되어 있지 않기 때문에, 이 논문에서 제시한 그림3, 4, 5와 같은 회로를 그대로 적용할 수 없다. 따라서, IV장에서 제시한 회로의 WBC\_ClockDR과 WBC\_UpdateDR의 논리합(OR)을 clk에 매핑하고, 테스트 동작에 따라 sc, wci, wco 등의 선택 신호를 적절히 생성해 줌으로써, 그림 10, 11의 셀이 테스트를 위한 경계 셀로서의 기능을 수행할 수 있으며, III장에서 제시한 IDFT 회로를 그에 맞게 적절히 수정하여 사용하면, 코아간 IDFT가 가능할 것이다.

한 쌍의 IDFT 신호 생성기 (UpDR Generator와 ClkDR Generator)를 수정하려면 다음과 같은사항을 고려해야 한다. 출력 WBC 에서는, 정상 동작 시에는 WBC\_ClockDR 과 WBC\_UpdateDR의 논리합 (OR)을, 코아 IDFT 모드 시에는 UpDR을 WBC\_UpDR로 내보내면 되고, 입력 WBC 에서는, 정상동작 시에는 WBC\_ClockDR 과 WBC\_UpdateDR의 논리합 (OR)을, 코아 IDFT 모드 시에는 UpdateDR이 '1'일 때만 IDFT\_ClkDR을 WBC\_ClkDR로 내보내면 된다.

WBC\_UpDR과 WBC\_ClkDR은 각각 출력 WBC와 입력 WBC의 clk에 연결되면 된다. 따라서 그림 12와 13과 같이 수정 할 수 있으며, 이 한 쌍의 회로를 그림 14과 같이, 하나의 생성기로 구현 할 수 있다.

이 회로를 사용하고, III장에서 제시한 방법을 그대로

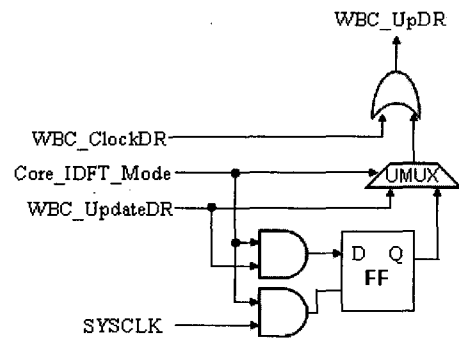


그림 12. WBC\_UpDR 생성기  
Fig 12. WBC\_UpDR Generator.

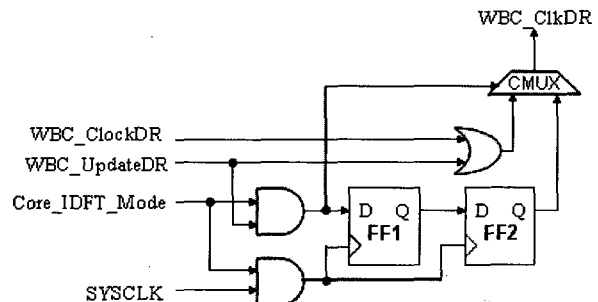


그림 13. WBC\_ClkDR 생성기  
Fig 13. WBC\_ClkDR Generator.

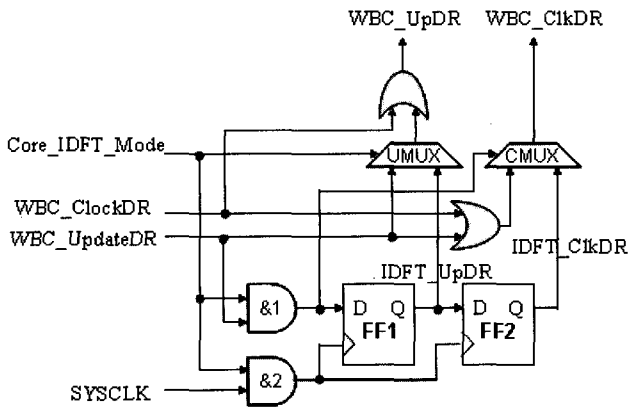


그림 14. Core IDFT 시스템 클럭 상승 모서리 생성기  
Fig 14. Mapping the IDFT Edge Generator to an SoC.

따름으로써, IEEE P1500 랩드 코아를 포함한 SoC내의 IDFT도 쉽게 수행 할 수 있다. 또한, SoC 내에서 여러 코아 클럭이 사용 될 경우, 사용되는 다중 클럭 수만큼 구현하여, 서로 다른 클럭을 사용하는 여러 코아간 연결선의 IDFT도 쉽게 수행 할 수 있다.

### VI. 기존 연구와의 비교 및 평가

본 논문에서 제안한 IDFT 방식(Proposed)을 평가하기 위하여, 표 1과 같이, 면적 오버헤드 (Area Overhead), 경계 셀 수정여부 (BSC Modification), 표준 TAP 수정여부 (TAP Modification), 정상 동작에 끼치는 영향 (Bad Effect on Normal Mode), 다중 시스템 클럭 테스트 가능성 여부 (Supportability for Multiple System Clocks), IEEE P1500에 적용 가능여부 (Applicability to

IEEE P1500), 저전력 설계 고려 여부(Low Power Consideration) 등의 항목에 대해서 비교하였다. 면적 오버헤드에서 ‘?’는, 해당 논문에서 명확히 나타내지 않았음을 의미한다. 본 논문에서 제안한 방식은 2 Flip-Flops, 2 MUXs와 2 AND 게이트로, 비교적 적은 오버헤드를 가지며, 셀이나 TAP의 수정이 필요 없고, 정상 동작 시에도 아무런 영향을 끼치지 않는다. 논문 [4]와 더불어 다중시스템 클럭 환경에서도 테스트가 가능하다. 기존의 방식 모두, 각각의 논문에서 제시하지는 않았지만, 적절한 회로를 수정하거나 추가함으로써 IEEE P1500에 적용이 가능하며, 본 논문의 방식 또한 2 OR 게이트를 추가함으로써 적용이 가능하다. 게다가, 정상 동작 시, 시스템 클럭의 IDFT 회로로의 입력을 저지(gating) 함으로써 전력 소모를 줄일 수 있도록 설계 하였다.

### VII. 결 론

본 논문에서는, 출력 경계 셀의 Update 동작에서 입력 경계 셀의 Capture 동작까지 한 시스템 클럭 내에 이루어 질 수 있도록 하는 시스템 클럭 상승 모서리 생성기를 구현하였다. 이 회로를 이용함으로써, IEEE 1149.1 기반의 보드상의 연결선뿐만 아니라, SoC내의 IEEE P1500 랩드 코아간의 연결선 지연 고장 테스트를 쉽게 할 수 있다. 이 회로를 시스템 클럭의 개수만큼 구현함으로써 한 번의 테스트 싸이클에 서로 다른 클럭을 사용하는 여러 연결선의 지연 고장테스트를 동시에 수행 할 수 있다.

표 3과 같이 제안된 방법을 사용할 경우 기존의 방법보다 면적 오버헤드를 훨씬 더 줄일 수 있을 뿐만 아니

표 2. 기존 연구 vs. Proposed  
Table 2. Related Works vs. Proposed.

비교 항목	Method	Area Overhead	BSC Modification	TAP Modification	Bad Effect on Normal Mode	Supportability for Multiple System Clocks	Applicability to IEEE P1500	Low Power Consideration
논문 [3]	Early Capture	1 latch + ? (Early Capture Clock Generator)	0 (Addition of a latch)	X	0 (Delay by latch)	X	0	X
논문 [4]	ECCR	Too Many (Increase by System Clock Frequency)	0 (Addition of a latch)	X	0 (Delay by latch)	0	0	X
논문 [5]	Late Update	1 MUX + 1 Inverter + ? (1.5TCK LateUpdateDR Generator)	X	0 (Addition of a new Signal)	X	X	0	X
논문 [6]	Programmable Delays	EarlyCapture: Flip-Flop + 3 MUXs + 1 AND gate + more than 1 Flip-Flop by Programmable Delay Logic LateUpdate: 2 Flip-Flops + 2 MUXs + 1 Inverter + more than 1 Flip-Flop by Programmable Delay Logic	X	X	X	X	0	X
Proposed	System Clock Rising Edge Generator	2 Flip-Flops + 2 MUXs + 2 AND gates	X	X	X	0	0 (Addition of 2 OR gates)	0 (Addition of 2 OR gates)

표 3. 기존 방식과의 면적 오버헤드 비교

Table 3. Comparison of Gate counts by BSC modification and our IDFT controller.

	Xeon Processor (INTEL)	TMS320 DM642 (TI)	TMS320 C6713 (TI)	Pentium3 0672 (INTEL)
BSC	304	363	363	457
BSC changed	1824	2178	2178	2742
IDFT	96	72	72	96

라, 경계 셀이나 TAP의 수정 없이, 간단히 IEEE 1149.1을 기반으로 테스트를 수행할 수 있으며, 다중 시스템 클럭을 가진 보드 및 SoC의 연결선 지연 고장테스트를 할 수 있다는 장점이 있다.

참고 문헌

[1] IEEE Computer Society, "IEEE Standard Test Access Port and Boundary Scan Architecture," Jun. 2001

[2] F. DaSilva, et al., "Overview of the IEEE P1500 Standard," IEEE International Test Conference, pp. 988-997, Sept. 2003.

[3] K. Lofstrom, "Early Capture for Boundary Scan Timing Measurements," Proceedings of IEEE International Test Conference, pp. 417-422, 1996.

[4] J. Shin, H. Kim and S. Kang, "At-Speed Boundary Scan Interconnect Testing in a Board with Multiple System Clocks," Design, Automation and Test in Europe Conf., pp. 473-477, 1999.

[5] Y. Wu and P. Soong, "Interconnect Delay Fault Testing with IEEE 1149.1," Proceedings of IEEE International Test Conference, pp. 449-457, Sept. 1999.

[6] S. Park and T. Kim, "A New IEEE 1149.1 Boundary Scan Design for The Detection of Delay Defects," Design, Automation and Test in Europe Conference, pp. 458-462, 2000.

[7] E. J. Marinissen, R. Kapur and Y. Zorian, "On Using IEEE P1500 SECT for Test Plug-n-Play," IEEE International Test Conference, pp. 770-777, 2000.

[8] B. I. Dervisoglu, "A Unified DFT Architecture for use with IEEE 1149.1 and VSIA/IEEE P1500 Compliant Test Access Controllers," Design Automation Conference, pp. 53-58, June 2001.

[9] L. Whetsel, "Inevitable Use of TAP Domains in SOCs," IEEE International Test Conference, pp. 1191, 2002.

[10] J. Song and S. Park, "A Simple Wrapped Core Linking Module for SoC Test Access," Proceedings of the 11th Asian Test Symposium, pp. 344-349, Nov. 2002

[11] L. Whetsel, "An IEEE 1149.1 Based Test Access Architecture for ICs with Embedded Cores," IEEE International Test Conference, pp. 69-78, 1997.

[12] E. J. Marinissen, et al., "Towards a Standard for Embedded Core Test: An Example," IEEE International Test Conference, pp. 616-627, 1999.

저자 소개



이 현 빈 (학생회원)  
2001년 한양대학교 전자컴퓨터 공학 학사  
2003년 한양대학교 컴퓨터공학과 석사  
2003년~현재 한양대학교 컴퓨터 공학과 박사 과정

<관심분야 : SoC 테스트, ASIC 설계, 네트워크 시스템 설계>



김 영 훈 (학생회원)  
2004년 한양대학교 전자컴퓨터 공학 학사  
2004년~현재 한양대학교 컴퓨터 공학과 석사 과정

<관심분야 : SoC 테스트, ASIC 설계, CAD&VLSI>



박 성 주 (평생회원)  
1983년 한양대학교 전자공학과 학사  
1983~1986년 금성사 소프트웨어 개발  
1992년 Univ. of Massachusetts 전기 및 컴퓨터공학과 박사

1992~1994년 IBM Microelectronics 연구스텝  
1992~1994년 한양대학교 전자컴퓨터공학부 정교수  
<관심분야 : 테스트 합성, Built-In Self Test, Scan Design, ATPG, ASIC설계, 고속 신호처리 시스템 설계, 그래프이론 등>



박 창 원 (정회원)  
1986년 중앙대학교 전자공학과 학사  
1986~1988년 동양정밀 중앙연구소 주임연구원  
1988~1993년 효성컴퓨터 중앙연구소 선임연구원

1993~현재 전자부품연구원 지능형 정보시스템 연구센터장  
2002년 광운대학교 전자통신공학과 석사  
2002~현재 성균관대학교 컴퓨터공학과 박사 과정  
<관심분야 : 저장장치, 센서네트워크>