

논문 2006-43SD-1-4

순환형 아날로그 병렬 회로망 구조를 이용한 DVD용 PR (1 2 2 1) 신호의 디코딩

(PR (1 2 2 1) Signal Decoding for DVD
using the Circular Analog Parallel Circuits)

손 홍 락**, 김 현 정*, 김 형 석*, 이 정 원***

(Hongrak Son, Hyonjeong Kim, Hyongsuk Kim, and Jeongwon Lee)

요 약

DVD용 아날로그 read channel에 사용되는 PR (1 2 2 1) 신호용 아날로그 비터비 디코더를 순환형 아날로그 병렬회로망 구조를 이용하여 설계하였다. 고 밀도의 마그네틱 기록매체나 DVD등은 인접 신호들의 영향을 많이 받게 되므로, 상호 간섭된 심볼 코드를 일정한 규칙에 따라 생성시켜 코딩하며, 재생 시에는 코딩 규칙의 부합도에 따라 디코딩하여 재생오류를 최소화시키는 기술이 PRML이다. 이 PRML기술은 주로 디지털 기술로 구현하여 사용되고 있으나, 보다 고속 저 전력화 필요가 증대하여 최근 아날로그 기술로 구현하는 방법이 활발하게 연구되고 있다. 본 연구는 DVD read channel의 아날로그 PRML 구현에 관한 연구로서 PRML의 고속화에 가장 어려운 부분인 비터비 디코더 부분을 순환형 아날로그 병렬 회로망 구조를 이용하여 설계하였다. 설계한 PRML용 비터비 디코더는 PR (1 2 2 1) type으로 기존의 디지털 비터비 디코더 속도의 3배, 전력소모의 1/3인 성능을 보였다.

Abstract

The analog Viterbi decoder for the PR (1 2 2 1) which is used for DVD read channel is designed with circular analog parallel circuits. Since the inter symbol interference is serious problem in the high density magnetic storage device or DVD, the PRML technology is normally employed for the purpose of minimizing the decoding error. The feature of the PRML technology is with the multi-level coding according to the predetermined combining rule among the neighboring symbols and with the decoding according to the known combining rule. Though the conventional PRML technology is implemented with the digital circuits, the recent trend towards this end is with the utilization of the analog circuits due to the requirements of higher speed and lower power in the DVD read channel. In this study, the Viterbi decoder which is the bottleneck of the PRML implementation is designed with the analog parallel circuit structure. The designed Viterbi decoder for the PR (1 2 2 1) signal shows 3 times faster in the speed and 1/3 times less in the power consumption than those of the conventional digital counterpart.

Keywords: Viterbi decoder, PR(1 2 2 1), Circular analog parallel circuits, DVD read channel

I. 서 론

* 정회원, 전북대학교 전자정보공학부
(School of Electronics and Information Engineering,
Chonbuk National University)

** 정회원, 삼성종합기술원
(Samsung Advanced Institute of Technology)

*** 정회원, 삼성전자 DM연구소
(Samsung Electronics, DM research center)

접수일자: 2005년1월14일 수정완료일: 2005년12월26일

고급 소프트웨어들과 대용량의 콘텐츠들의 등장은 DVD등 대용량 저장 매체의 수요를 폭발적으로 증가시키고 있다. 이에, 데이터 저장 매체의 고밀도화가 가속화되고 있으며, reading 속도의 고속화가 필수적인 요구사항이 되고 있다. 고 밀도의 마그네틱 기록매체나 DVD등에서는 인접 신호들의 저장 위치가 매우 가깝기 때문에 상호 영향을 많이 주고받게 된다. 따라서, 저장 신호의 급격한 변화를 피하고 멀티 레벨화 함으로써 신호 간의 간

섭을 최소화하려는 것이 PR(Partial Response)기술이다^[1]. 이 PR 기술은 Correlative Level Coding이라고도 불리는데 인접 심벌에 의한 간섭에 의해 신호가 왜곡되는 것을 감안하여 코딩 시부터 상호 간섭된 파형 (Inter Symbol Interference, ISI) 모델을 생성시켜 채널에 인가하고, 재생 시에는 간섭신호 파형 생성 모델을 이용하여 디코딩하는 방법이다.

이 PR 기술에 대한 연구는 최초로 Lender에 의해 duobinary 기술이라는 이름으로 발표^[2]되어 correlative level coding이름으로 발전되었다^[3]. 이 PR 신호는 여러 개의 인접 비트가 조합되어 구성되고, 결과적으로 한 개의 비트는 심벌 중의 일부분을 구성하게 되는 특징이 있으므로 Kobayashi등은 Partial Response (PR)라 명명하여 자기디스크 시스템에 응용하였다^[1]. 이 PR 코딩의 심벌 간 상호 조합 방법은 delay 함수로 표현되는데 여러가지 종류가 개발되어 있다^[4].

한 편, PR 신호 생성시 기록 매체의 특성 뿐 아니라, 에러 검출이 용이한 규칙으로 구성하면, 비터비 디코더 처럼 최적화 방법^{[5][16]}을 사용하여 에러 정정에 활용할 수 있다. 이를 PRML(Partial Response Maximum Likelihood) 기술이라고 하여 자기디스크에 보편적으로 사용되는 중요한 기술이 되었다^{[5][6][17][18][19]}.

이 PRML 기술은 그 동안 주로 디지털기술에 의해 구현하여 사용되어 왔으나, 디지털 기술로는 저장 매체의 고속화 요구를 충족하는 데 한계점에 도달했으며, 전력소모가 대단히 크다는 문제점 때문에 최근에는 아날로그 방식의 PRML 연구에 관심이 집중되고 있다^{[8]~[14]}. 아날로그 방식은 A/D 변환기가 불필요하고, Equalizer나 Timing 회로 및 Viterbi Decoder 등의 구성품에 모두 아날로그 회로를 사용하므로, 디지털 방식에 비해 전력소모가 적고, 소형이며 고속이라는 장점이다.

아날로그 PRML의 고속화 구현에 가장 어려운 기술적 핵심 부분은 비터비 디코더이다. 기존의 아날로그 비터비 디코더 구현에서는 1 차원의 아날로그 병렬 프로세서에 의해 최소 에러를 누적시키는 처리를 하고, 처리 결과를 경로 메모리에 이송하며, 디코딩은 디지털 도메인의 경로 메모리에서 수행하게 하였다. 결과적으로 부분적 병렬처리와 부분적 아날로그 처리 효과를 얻었으나, 경로 메모리에서 디코딩하게 되므로 처리 시간 단축이 어렵다는 문제점이 있었다. 이러한 아날로그 비터비 디코더의 단점을 해결하기 위해서, 본 연구팀은 constraint 길이만큼의 트렐리스 다이어그램을 구현하고 이들을 순환적으로 연결하여, 무한대로 확장하는 트렐

리스 다이어그램을 구현할 수 있는 방법을 개발하였다. 제안한 구조에서는 기존의 비터비 디코더와는 달리 별도의 path memory가 필요치 않으며, A/D 변환 없이 아날로그 연산으로만 에러 정정을 수행하기 때문에 전력소모가 적고 디코딩 속도도 빠를 뿐 아니라, 에러 정정 성능 역시 우수하다는 장점들이 있다. 본 연구는 DVD용 PR 신호인 PR (1 2 2 1) 신호의 디코딩을 위한 순환형 아날로그 병렬처리 회로에 관한 것으로, 제안한 구조를 사용한 디코딩 원리 및 그 성능에 관해서 기술하였다.

이 논문의 II 절에서는 PR (1 2 2 1)의 개념을 소개하며, III 절에서는 PR (1 2 2 1) 신호를 순환형 아날로그 병렬처리 회로에 의해 디코딩하는 알고리즘을 기술하였다. 또한 IV 절은 제안한 비터비 디코더에 대한 성능 시뮬레이션에 관한 내용이며, V 절은 결론이다.

II. PR (1 2 2 1)

PRML 방식의 Read Channel은 그림 1과 같이 Preamp, AGC 및 LPF등 기초 구성 소자 외에도 클럭 재생을 위한 PLL 및 데이터 모형의 복원을 위한 equalizer가 있으며, 최적화 원리에 의한 에러 정정을 위해서 Viterbi decoder회로가 필수적으로 사용된다. 본 연구는 read channel을 아날로그 회로에 의해 구현하는데 기술적으로 가장 어려운 마지막 단의 비터비 디코더에 관한 것이다.

PRML기술은 자기디스크에 많이 사용했으나, 최근에는 CD나 DVD등 광디스크에 맞는 PRML 코딩 방법이 연구 되고 있다^[20]. 이 중, 특히 DVD에 적합한 신호로 개발된 코딩 방법이 PR (1 2 2 1)이다. PR (1 2 2 1)에 의한 심벌은 그림 2와 같은 구조에 의해 결정되게 하는데, 이를 위한 전달함수 $F(z)$ 는

$$F(z) = 1 + 2z^{-1} + 2z^{-2} + 1z^{-3} \quad (1)$$

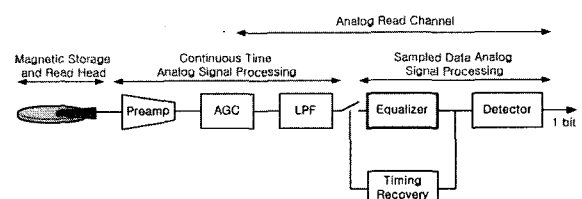


그림 1. DVD Read Channel의 Block Diagram
Fig. 1. Block diagram of the DVD read channel.

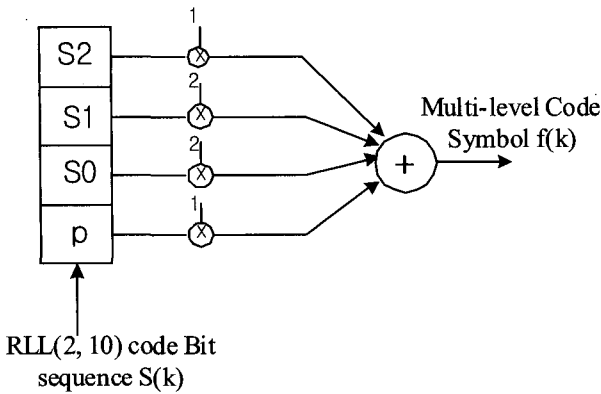


그림 2. PR(1 2 2 1) 코드 심볼 생성기
Fig. 2. PR(1 2 2 1) code symbol generator.

로 표현되는 지연함수이다. 이 코드 변환을 그림으로 표현하면 그림 2와 같다. 그림에서 S(k)는 입력으로서 RLL(2,10) code bit 열이고, f(k)는 multi-level의 신호이다. 입력 신호열이 binary polar 신호 (+1, -1)이라고 할 때, 식 (1)이나 그림 2를 통하여 기록 매체에 기록되는 출력 신호 f(k)는(-6, -4, 0, +4, +6)등 5 단계의 신호가 된다. 여기서 상태 (state)와 multi-level코더의 출력 level은 다른 개념이며, 출력 level의 수가 5개인데 비해서 상태의 수는 6로서 서로 다르다. PR (1 2 2 1) read channel에서 실제로 사용하는 전압 level은 (1.15V, 1.32V, 1.65V, 1.98V, 2.15V) 등이다.

그림 2과 같은 코더는 비터비 디코더처럼 최적화 방법을 이용하여 에러 정정을 할 수 있는데, 이때의 상태를 S0, S1, S2라고 하여, 코딩 규칙을 다이어그램화 하면, 그림 3 같은 비터비 디코더의 trellis diagram으로 표현 할 수 있다. 이 비터비 디코더의 트렐리스 다이어그램에서의 세로축은 그림 2에서의 각 상태에 해당하는 것으로 그림 3의 MSB는 그림 2의 S2에 해당하고, LSB는 그림 2의 S0에 해당한다. 이때, 3비트로 표현되는 8개의 상태중에서 '+1-1+1'과 '-1+1-1'의 2개 state는 RLL(2,10) Code의 특성상 발생할 수 없기 때문에 이를 제외한 6개의 state를 사용한다. 또한 DVD read channel의 신호 특성상 한 클럭이나 두 클럭의 간격을 갖는 신호는 발생할 수 없기 때문에 6개 state간의 branch의 구성에서도 한 클럭이나 두 클럭의 간격을 가진 신호를 유발하는 branch는 삭제되었다.

그림 3의 트렐리스 다이어그램에서 각 branch에 표시된 a/b 값 중 b는 그림 2에서의 코더 입력 값이고, a는 multi-level 심볼인 코더의 출력 값이다. 각 branch의 연결은 코더에서의 입력 신호에 따른 상태의 변화를 표현

하므로, 그림 3의 트렐리스 다이어그램은 그림 2의 코딩 규칙을 표현한다.

비터비 디코더에서는 트렐리스 다이어그램의 기준 심볼과 수신 심볼간의 오차 값을 계산하고 여러 stage가 경과하는 동안 누적된 에러 값 중 최소값을 계산하여 마지막 stage의 상태 중 최소의 누적 에러 값을 갖는 상태를 찾는다. 디코딩은 마지막 stage의 최소에러 상태로 부터 시작 stage까지 역 추적하여 시작stage에서 거치게 되는 경로에 따라 해당 b 값에 의해 디코딩하는 원리이다.

비터비 디코더의 기본연산은 단순화된 동적계획법으로 각 노드에서는 입력된 정보들 중의 최소값 계산을 통하여 목표점까지의 최소 오차 값을 계산한다. 즉, 노드 (k,l)로부터 목표 위치점에 이르는 최소 오차 값을 D_{k,l}라고 하고, 노드 (i,j)와 (k,l) 사이의 오차 값을 d_{ij,kl}라고 할 때, 목적 위치점에서 노드 (i,j)에 이르는 최소 오차 값 D_{i,j}는 인접한 노드 (k,l)에 이르는 데 소요 되는 오차 d_{ij,kl}과 그 위치로부터 목표 위치점에 이르는 최소 오차 D_{k,l}을 합한 값 중 최소값을 취하는 식 (2)과 같이 계산한다.

$$D_{i,j} = \min \{ D_{k,l} + d_{ij,kl}, (k,l) \in S \} \quad (2)$$

여기서, S는 노드 (i,j)의 인접한 노드들의 집합을 의미하여, min은 괄호안의 값들 중 최소값을 출력하는 함수를 나타낸다. 식 (2)을 비터비 디코더에 적용하기 위해서 d_{ij,kl}에 트렐리스 다이어그램상의 기준 부호어와 수신된 심볼과의 차이 값을 인가하고, 각 노드에 (2)식을 수행할 수 있는 연산 셀을 배치하게 되면, stage가 진행함에 따라 각 노드에는 오차 값이 누적된다.

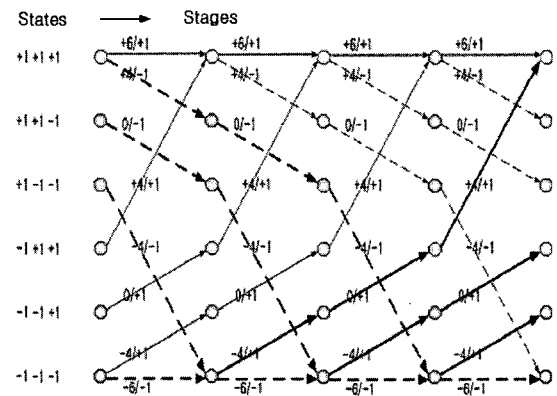


그림 3. PR(1 2 2 1)의 트렐리스 다이어그램
Fig. 3. Trellis diagram of the PR(1 2 2 1).

III. PR(1 2 2 1)용 아날로그 비터비 디코더의 설계

1. 아날로그 신호처리 셀을 이용한 비터비 디코더
 기존의 비터비 디코더들이 트렐리스 다이어그램의 한 stage만을 구현하여 반복 사용하는 구조임에 비해, 제안한 완전 아날로그 비터비 디코더는 트렐리스 다이어그램을 구속장 길이만큼 아날로그 회로에 의해 구현한 후 이를 순환 연결한 구조이다. 따라서, 별도의 path memory가 필요 없을 뿐 아니라, A/D변환이 필요치 않으므로 전력 소모가 매우 적으며, A/D변환시 발생하는 입력 심볼의 양자화 오류가 줄어 정확한 에러 정정이 가능하다는 특징이 있다.

비터비 디코더 연산을 위한 식 (2)은 min 회로가 필요하지만 회로 구현이 간단한 max회로를 채용했으며 이를 위해서 누적된 에러 값으로부터 최소값을 계산하는 방식 대신 큰 기준 값에서 에러 값을 감한 후 최대 값을 계산하는 방식을 채택하였다.

임의의 큰 기준 값을 I_{ref} 라 하고 I_{ref} 와 D_{kl} 의 차이값을 y_{kl} 라고 하면 (2)식은 다음과 같은 (3)식으로 변환할 수 있다^[21].

$$y_{i,j} = \max \{ y_{k,l} - d_{ij,kl}, (k,l) \in S \} \quad (3)$$

아날로그 신호처리 셀을 이용하여 식(3)의 우변을 계산하게 한다면 임의의 셀 (i,j)로부터 시작 셀까지의 누적 최소에러는 각 셀의 출력 y_{ij} 값을 (2)에 대입함으로써 계산할 수 있다. 그런데, 시작 셀로부터 자신의 위치까지의 누적 최소에러 D_{ij} 는 0이어야 하므로 시작 셀에서의 y_{ij} 값은 I_{ref} 가 된다. 따라서, 모든 셀에 대한 출력은 (i,j)의 시작위치 여부에 따라 아래의 식 (4)과 같이 정리할 수 있다.

$$y_{i,j} = \max \{ u_{i,jy_{k,l}} - d_{ij,kl}, (k,l) \in S \} \quad (4)$$

여기에서 u_{ij} 는 식 (5)처럼 인가한다.

$$u_{i,j} = \begin{cases} I_{ref} & ; (i,j) \text{가 시작위치의 셀인 경우} \\ 0 & ; (i,j) \text{가 시작위치의 셀이 아닌 경우} \end{cases} \quad (5)$$

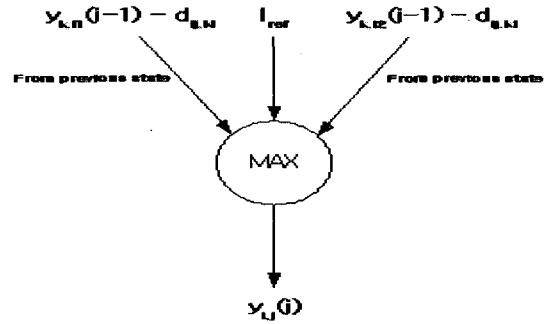


그림 4. 제안한 비터비 디코더의 연산 구조
 Fig. 4. Operational diagram at a cell of proposed Viterbi decoder.

그림 4는 (4),(5) 식의 연산을 수행하는 제안한 비터비 디코더의 아날로그 신호처리 셀의 연결구조로서, 자신의 입력값과 전 상태의 출력에서 지역 오차를 감한 값들 중에서 최대값을 계산하는 구조로 도식화 할 수 있다.

트렐리스 다이어그램의 각 노드에 그림 4과 같은 연산 셀을 배치하고, 초기 상태에 기준값 I_{ref} 를 입력하게 되면, I_{ref} 값은 각 경로의 오차 값 $d_{ij,kl}$ 만큼 감소되면서 트렐리스 다이어그램상의 모든 노드에 전파되게 된다.

2 제안한 비터비 디코더의 디코딩 원리

제안한 비터비 디코더는 트렐리스 다이어그램의 각 노드에 최대값 연산을 수행할 수 있는 아날로그 신호처리 셀을 배치한 완전 병렬 구조이며, 트렐리스 다이어그램을 구속장의 길이만큼만 구현하여 그림 5과 같이 마지막 열의 셀들과 처음 열의 셀들이 연결된 순환형 구조이다. 즉, 셀의 수직 열을 stage라고 명명하면 마지막 stage는 다시 가장 앞 열과 연결된 병렬 chain 구조로 마지막 열의 출력이 처음 열의 입력에 제공되는 구조이다.

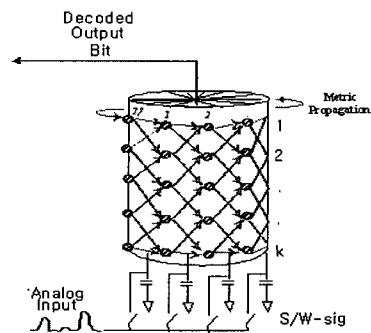


그림 5. 제안한 아날로그 비터비 디코더의 순환형 구조
 Fig. 5. Circular structure of proposed Viterbi decoder.

그림 6는 그림 5의 순환형 구조를 펼친 전개도로, 현재의 디코딩 stage를 가리키는 stage indicator, 현재의 디코딩 상태를 가리키는 state indicator, 수신된 신호를 순차적으로 저장하는 커패시터, 그리고 각 노드마다 설치된 아날로그 연산 셀 및 출력회로 등으로 구성되어 있다.

제안한 비터비 디코더에 수신된 입력 신호는 stage indicator의 스위치 동작에 의해 그림 6의 아날로그 입력단에 차례로 입력되며 입력 신호저장용 커패시터에 저장된다. 제안한 비터비 디코더는 순환형 구조이기 때문에 수신된 심볼들의 저장위치는 마지막 stage에서 다시 첫 번째 stage로 순환 된다. 이 때 순환 연결된 첫 번째 stage와 마지막 stage를 각각 디코딩 stage와 출력 stage라 명명한다.

제안한 비터비 디코더의 디코딩은 각 stage의 모든 커패시터에 심볼들이 저장되고 기준값 I_{ref} 가 첫 번째 stage의 한 셀에 인가되면서부터 시작된다. 디코딩 시인 가되는 기준값 I_{ref} 를 인가할 초기 위치는 임의로 지정되지만, 두 번째 심볼의 디코딩부터는 stage indicator와 state indicator의 로직 연산에 의해 지정된다. 인가된 I_{ref} 값은 각 셀에서 식 (4)과 같은 연산에 의해 트렐리스 다이어그램의 부호어와 수신 심볼간의 오차 값만큼 감소되어 마지막 stage, 즉 출력 stage까지 전파된다.

디코딩은 기준 값 I_{ref} 가 출력 단 까지 전파된 후부터 시작되는데, 논문에서 제안한 디코딩 기법은 circuit-based 디코딩으로, 디코딩 단에서의 0 혹은 1를 지나는 branch에 negative trigger 신호를 인가한 후, 출력 stage에서의 셀 출력들 중 최대값의 변화 여부에 따라 디코딩 하는 방법이다. 이때 인가된 negative trigger 신호는 트렐리스 다이어그램의 경로를 차단하는 역할을 수행하므로 출력단의 최대값이 입력단의 1에 해당하는 경로를 통과했다면 디코딩 stage에서 1에 해당하는 경로를 차단했을 때 출력 값에 큰 변화를 나타낼 것이다. 그런데, 만약 이 경로가 0에 해당하는 branch를 통과했다면 negative trigger 신호 인가 후에는 출력단의 최대값에는 큰 변화가 없을 것이다. 따라서 제안한 비터비 디코더에서의 최종 디코딩은 디코딩 stage에서 negative trigger 신호 인가 전후의 출력 stage에서의 최대값의 변화 여부에 따라 1 또는 0으로 결정하는 원리이다.

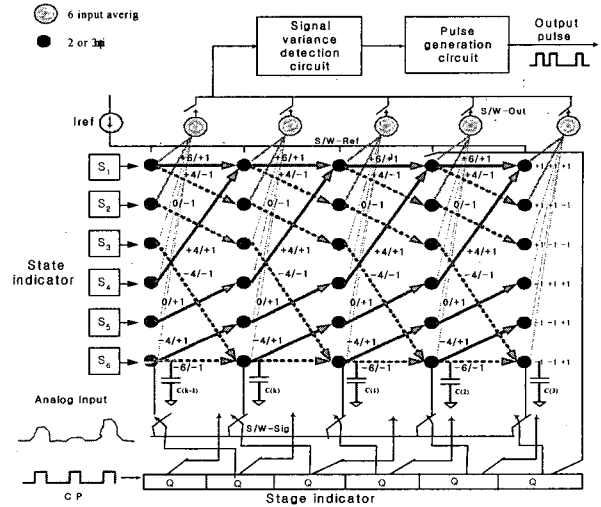


그림 6. 제안한 비터비 디코더 구조의 전개도
Fig. 6. Detail structure of the proposed Viterbi decoder.

IV. 시뮬레이션 및 검토

설계한 아날로그 비터비 디코더의 성능을 검증하기 위하여 AWGN 환경하에서 DVD용 PR (1,2,2,1) 신호 디코딩을 위한 소프트웨어 시뮬레이션과 HSPICE를 이용한 회로 Simulation 수행하였다. 설계한 아날로그 비터비 디코더의 stage 수는 컨볼루션 코드의 구성장의 크기 4 보다 1 stage 큰 5 개였다.

1. 소프트웨어 시뮬레이션

제안한 비터비 디코더에 대한 알고리즘의 적정성을 확인하고, 그 성능을 기존의 디지털 비터비 디코더와 비교하기 위해, 소프트웨어적으로 구현하여 디코딩 시뮬레이션을 수행했다. 이 소프트웨어 시뮬레이션에 사용된 데이터 개수는 총 100만개이고, 1,-1로 구성된 원 신호를 MFT채널 모델을 통과시켜 PR (1 2 2 1)기준 레벨에 맞췄으며, 이에 AGWN 잡음을 첨가하였다.

그림 7은 제안한 비터비 디코더의 소프트웨어 시뮬레이션 결과로써, 디코딩 단의 시작 셀에 인가하는 기준 입력전류의 크기가 각각 40 μ A, 48 μ A 및 60 μ A인 경우의 출력 BER을 디지털 비터비 디코더의 경우와 함께 나타내고 있다. 제안한 비터비 디코더는 SNR 15.5dB에서 BER 10⁻⁴로써 비터비 디코더의 성능 기준인 17 dB에서 BER 10⁻⁴와 비교하여 약 1.5dB정도의 성능 향상을 보이고 있다. 따라서, 입력기준 값의 크기에 따라 근소한 차이는 있었지만, 모든 SNR에서 디지털 비터비 디코더에 비해 현저하게 에러 정정 성능이 우수했다.

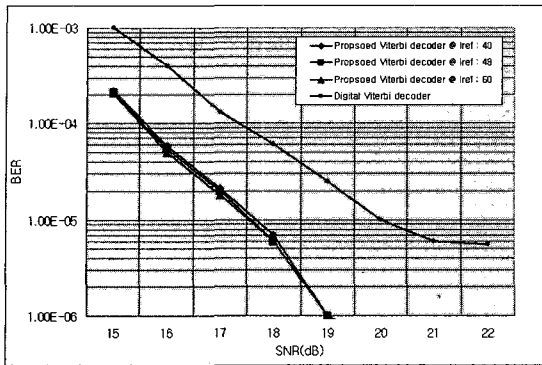


그림 7. 제안한 비터비 디코더와 기존의 디지털 비터비 디코더 간의 소프트웨어 시뮬레이션에 의한 성능비교.

Fig. 7. Performance comparison between the proposed and the conventional digital Viterbi decoder through software simulation.

2 회로 시뮬레이션

제안한 비터비 디코딩 알고리즘을 검증하기 위해 삼성 0.18um CMOS 공정으로 설계된 회로로 이용하여 시뮬레이션을 수행하였다. 그림 8은 제안한 비터비 디코더의 트렐리스 다이어그램상의 한 셀의 회로도로서, 입력 전압을 전류로 변환하기 위한 VZI회로, branche metric 계산을 위한 절댓값 연산회로, 그리고 셀 출력을 위한 최대값 연산회로로 구성되어 있다.

그림 9는 read channel의 입력에 노이즈를 인가한 입력에 대한 330Mbps에서의 디코딩 예를 보이고 있다. 그림 9의 아래 그림은 원 디지털 신호 입력이 잡음과 함께 PR 신호코드화 된 파형이다. 제안한 디코더는 이 PR 신호를 그림 3의 trellis diagram 규칙에 따라 디코딩 하여 그림 9와 같이 0 혹은 1의 신호를 얻는다. 여기서, 한 비트에 해당하는 시간은 아래 쪽 그림에서 계단식으로 증가하는 신호에서의 계단 폭과 같다.

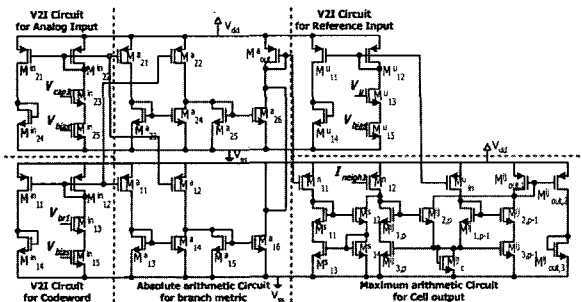


그림 8. 제안한 비터비 디코더의 연산 셀 회로도
Fig. 8. Arithmetic cell schematic of proposed Viterbi decoder.

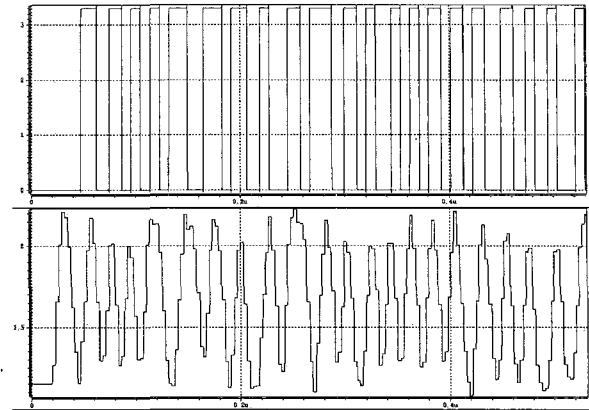


그림 9. 330Mbps 신호에 대한 제안한 비터비 디코더의 PR 신호 디코딩 예

Fig. 9. decoding example of 330 M bps PR signal with the proposed Viterbi decoder.

제안한 디코더의 에러 복구 성능 검증에는 1,-1로 구성된 원 신호를 MFT채널 모델을 이용하여 PR (1 2 2 1)기준 레벨에 맞춰 생성된 2000개의 데이터에 AGWN 잡음을 계속 생성시켜 500,000개의 입력 데이터 열을 만들어 사용했다. 그림 10은 330 Mbps 속도에서의 제안한 비터비 디코더와 100 Mbps에서의 디지털 비터비 디코더를 각 1 개 씩 사용했을 경우의 성능을 비교한 결과이다. 그림에서 제안한 비터비 디코더는 기존의 디지털 비터비 디코더에 비해서 약 3 배의 고속 동작이 가능했으며, 에러 정정 성능면에서는 DVD 성능 비교 기준인 10^{-4} BER을 얻기 위한 SNR이 약 0.7 dB정도 우수함을 보여주고 있다.

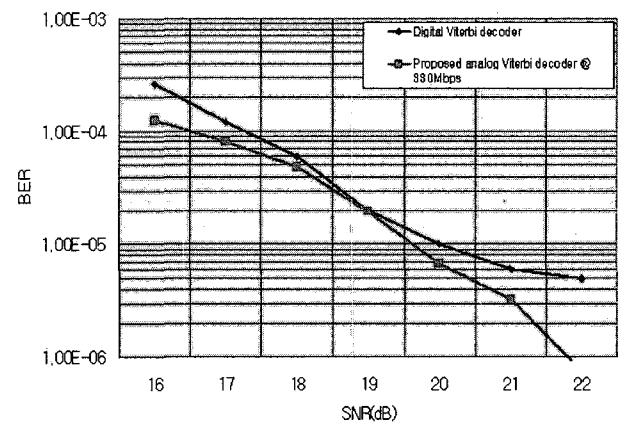


그림 10. 디지털 비터비 디코더와 제안한 아날로그 비터비 디코더와의 에러 정정 성능 비교

Fig. 10. Error correction performance comparison between the digital and the proposed analog Viterbi decoder.

실제 하드웨어 제작에 보다 가까운 조건에서 성능을 테스트하기 위해서 worst case simulation 을 수행하였다. 이 시뮬레이션에서는 설계한 값이 정확히 칩으로 구현된 normal simulation과, 실제 하드웨어 제작의 부정확을 가정한 worst case simulation을 수행하여 비교하였다. 이 Worst case simulation은 칩 제작 과정에서 W/L비가 설계한 수치 보다 크거나, 작게 제작된 경우를 가정해서 시뮬레이션을 한 것이다. HSPICE 시뮬레이터에는 NMOS 및 PMOS의 각각에 대해서 normal, slow 나 fast 의 option을 선택할 수 있게 되어있는데, slow-fast option을 선택했다면 NMOS는 설계된 값보다 W/L비가 크게, 그리고 PMOS는 설계 보다 W/L비가 작게 제작된 것임을 의미한다.

그림 11는 이 worst case 시뮬레이션 결과로서 worst case 시뮬레이션 결과도 normal한 경우의 시뮬레이션에 비해서 성능저하가 크지 않음을 알 수 있다.

그림 12은 제안한 비터비 디코더의 칩 레이아웃으로 DVD RF 신호를 PR(1 2 2 1)모델에 맞춰 변경하기 위한 RF equalizer와 제안한 비터비 디코더, 그리고, 제안한 비터비 디코더와의 성능비교를 위한 기존의 디지털 비터비 디코더로 구성되어 있다. 현재 삼성 0.18um CMOS 공정으로 제작중이다.

표 1은 4 개의 디코더를 설치하여 구성한 디지털 방법과 2 개의 디코더를 설치하여 구성한 제안한 비터비 디코더 출력이 그림 10 와 같은 성능을 얻었을 때, 제안한 아날로그 회로와 디지털 회로의 조건들을 비교한 것이다. 제안한 비터비 디코더는 전력 소모면에서 디지털 비터비 디코더의 약 1/3 이면 가능하였고, 실리콘 면적에서도 디지털의 경우에 비해 1/2의 크기에 의해 구현할 수 있음을 알 수 있다.

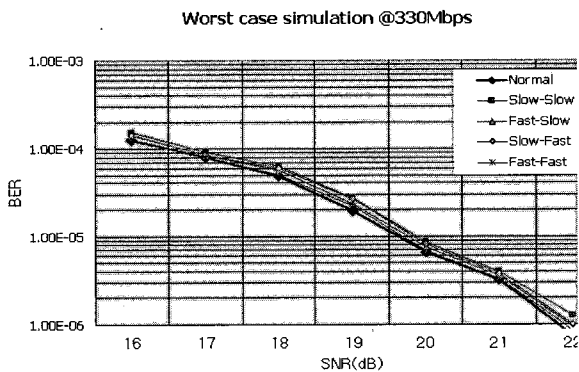


그림 11. 제안한 비터비 디코더의 worst case simulation 결과

Fig. 11. Worst case simulation result of the proposed Viterbi decoder.

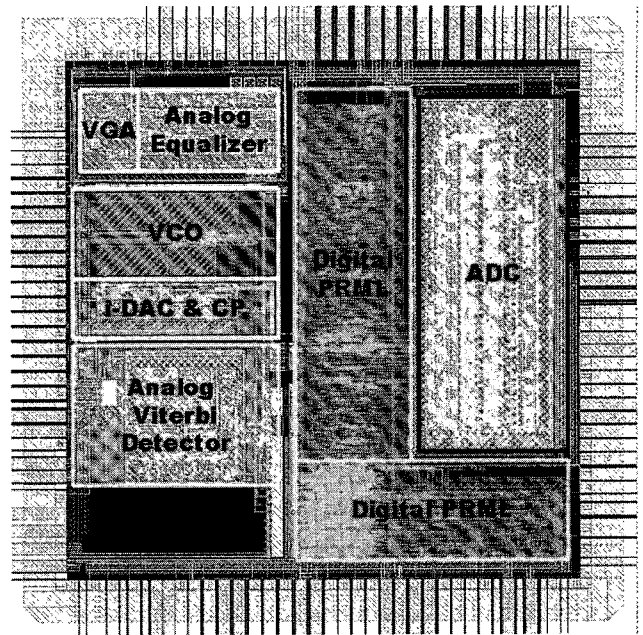


그림 12. 제안한 비터비 디코더의 레이아웃

Fig. 12. Layout of the proposed Viterbi decoder.

표 1. 비터비 디코더의 성능비교 표

Table 1. Performance comparison of the simulation results.

비교항목	Digital Viterbi decoder	Proposed Viterbi decoder
디코딩 성능	17dB(BER 10 ⁻⁴)	약17dB(BER 10 ⁻⁴)
디코딩 속도	420Mbps	330Mbps (660Mbps)
사용 디코더 갯수	quadruple	Double
소모전력	약 1W(420Mbps)	약 300mW(420Mbps)
칩 사이즈	약 1000*400 um ²	약 500*400 um ²

V. 결론

DVD Read Channel에서는 신호 간의 상호간섭을 고려해서 의도적으로 간섭 신호를 만들고, 멀티레벨화함으로써 PR(Partial Response) 신호화한다. 또, 멀티레벨화 시 사용했던 상태전이 규칙을 이용하여 최적의 입력 코드를 찾아내는(Maximum Likelihood) 방법으로 에러를 정정하는 PRML신호를 많이 사용한다. 이를 효과적으로 수행하기 위해서 본 연구에서는 PR (1 2 2 1)의 trellis diagram의 5 satge를 아날로그 회로로 설계했

며, 이 회로의 마지막 단을 처음 단에 연결함으로써 연속된 신호 입력 시, 이 회전형 구조를 따라 연속적으로 디코딩 할 수 있는 2차원 배열을 이용한 아날로그 병렬 처리 구조를 구현했다.

이 구조를 소프트웨어적으로 구현하여 알고리즘의 적정성을 확인했으며, HSPICE를 이용하여 회로로 설계하였고, 디코딩 시뮬레이션을 통하여 실제 칩의 성능을 추정하였다. 제안한 회로를 기존의 디지털 비터비 디코더의 성능과 비교하기 위해서, AGWN 잡음 환경에서 500,000개의 입력 데이터 열을 만들어 사용했다.

하드웨어 시뮬레이션 결과 제안한 PR(1 2 2 1)용 비터비 디코더는 기존의 디지털 비터비 디코더 속도의 3배, 전력소모의 1/3로서, 에러 정정 능력과 속도면에서 기존의 비터비 디코더들에 비해 우수할 뿐만 아니라, 칩의 전력 소모도 적다는 장점들을 확인했다.

참 고 문 헌

- [1] H. Kobayashi and D. T. Tang, "Application of partial response channel coding to magnetic recording system," *IBM Journal of Research and Development*, pp. 368-375, 1970.
- [2] A. Lender, "The duobinary technique for high speed data transmission," *IEEE Trans. Commun. Electron.*, vol. 82, pp. 214-218, May 1963.
- [3] A. Lender, "Correlative level coding for binary-data transmission," *IEEE Spectrum*, pp. 104-115, Feb. 1966.
- [4] P. Kabal and S. Pasupathy, "Partial-response signaling," *IEEE TRANSACTIONS ON COMMUNICATIONS*, VOL. COY-23, NO. 9, pp. 921-934, September, 1975.
- [5] R. D. Cidrciyan, F. Dolvio, R. Hermann, W. Hirt, and W. Schoot, "A PRML system for digital magnetic recording," *IEEE J. on Selected Area Communication*, vol. 10, no. 1, pp. 38-56, 1992.
- [6] F. Dolvio, "Signal processing for high-density digital magnetic recording," *Proc. VLSI and Computer Peripherals*, pp. 1.91-1.96, 1989.
- [7] S. Sridharan and L. R. Carley, "A 100-MHz 350-mW 0.6um CMOS 16-state generalized-target Viterbi detector for disk-drive read channels," *IEEE J. Solid-State Circuits*, vol. 35, pp. 362-370, Mar. 2000.
- [8] K. Fukahori et al., "An analog EPR4 Viterbi detector in read channel IC for magnetic hard drive," in *IEEE Int. Solid-State Circuits Conf.(ISSCC) Dig. Tech. Papers*, San Francisco, CA, Feb. 1998, pp. 380-381.
- [9] M. H. Shakiba, D. A. Johns, and K. W. Martin, "An integrated 200-MHz 3.3-V BiCMOS class-IV partial response analog Viterbi decoder," *IEEE J. Solid-State Circuits*, vol. 33, pp. 61-75, Jan. 1998.
- [10] K. Parsi et al., "A PRML read/write channel IC using analog signal processing for 200-Mb/s HDD," *IEEE J. Solid-State Circuit*, vol. 3, pp. 1817-1830, Nov. 1996.
- [11] M. H. Shakiba, D. A. Johns, and K. W. Martin, "BiCMOS circuits for analog Viterbi decoders," *IEEE Tr. on Circuits and Systems-II: Analog and Digital Signal Processing*, pp.1527-1537, vol. 45, no. 12, Dec. 1998.
- [12] R. R. Spencer, "Simulated performance of analog Viterbi detectors," *IEEE J. on Selected Areas in Communications*, vol. 10, no. 1, January 1992.
- [13] K. He and G. Cauwenberghs, "Integrated 64-state parallel analog Viterbi decoder," *Proceedings of ISCAS 2000*, Geneva, Swiss, vol. IV, pp. 761-764.
- [14] A. Demosthenous, and J. Taylor, "A 100-Mb/s 2.8-V CMOS current-mode analog Viterbi decoder," *IEEE J. of Solid-state Circuits*, vol. 37, no. 7, July 2002.
- [15] A. J. Viterbi, "Error bounds for convolutional codes and an asymptotically optimum decoding algorithm," *IEEE Tr. on Information Theory*, vol. 13, pp. 260-269, 1967.
- [16] G. D. Forney, JR. "The Viterbi Algorithm," *Proc. of the IEEE*, vol. 61, No. 3, Mar. 1973.
- [17] S. Mita and Y. Ouchi, "A 150 Mb/s PRML chip for magnetic disk drive," *IEEE International Solid-State Circuits Conference*, San Francisco, CA, FEB. pp. 62-63, 1996.
- [18] G. T. Tuttle and G. D. Visshakhadatta, "A 130 Mb/s PRML read/write channel with digital-servo detection," *International Solid-State Circuits Conference*, San Francisco, CA, FEB. pp.64-65, 1996.

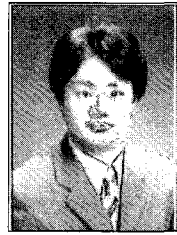
- [19] K. Parsi and N. Rao, "A 200 M/s PRML read/write channel IC," International Solid-State Circuits Conference, San Francisco, CA, FEB. pp.66-67, 1996.
- [20] D. C. Cheng, J. E. Hurst Jr., R. T. Lynch Jr., and R. W. Olson, "High capacity optical recoding channels," IEEE Transactions on Magnetics, vol. 31, no. 6. pp. 3227-3232, November 1995.
- [21] Hyongsuk Kim, Hongrak Son, Tamas Roska, Leon. O. Chua, "Optimal path finding with space- and time-variant metric weights with Multi-layer CNN," Int. J. Circ. Theor. Appl., Vol. 30, pp.247-270, Feb. 2002.

저 자 소 개



손 홍 락 (정회원)
 1996년 전북대학교 제어계측공학과
 학사
 1998년 전북대학교 전기공학과
 석사
 2003년 전북대학교 전자공학과
 박사

<주관심분야 : 아날로그 VLSI, 채널 코딩,
 신경회로망 >



김 현 정 (정회원)
 2004년 전북대학교 전자정보공학부
 학사
 2006년 전북대학교 제어계측공학과
 석사 졸업 예정

<주관심분야 : 아날로그 VLSI, 채널코딩>



김 형 석 (정회원)
 1980년 한양대학교 전자공학과
 학사
 1982년 전북대학교 전자공학과
 석사
 1991년 University of Missouri,
 ·Columbia 전자공학과 박사

<주관심분야 : 아날로그 VLSI, 신경회로망,
 영상처리>



이 정 원 (정회원)
 1989년 서울대학교 전기공학과
 학사
 1991년 서울대학교 전기공학과
 석사

<주관심분야 : Analog Circuit Design>