

논문 2006-43SD-1-1

초저전압 구동 논리 회로의 누설 전류 억제를 위한 기판 전압 발생회로

(Substrate-bias voltage generator for leakage power reduction of digital logic circuits operating at low supply voltage)

김길수*, 김형주*, 박상수*, 유재택**, 기훈재***, 김수원****

(Gil-Su Kim, Hyung-Ju Kim, Sang-Soo Park, Jae-Tack Yoo, Hoon-Jae Ki, and Soo-Won Kim)

요약

본 논문에서는 VTCMOS(Variable-Threshold CMOS) 기법을 이용하는 초저전압 구동 논리 회로의 누설 전류 억제를 위한 기판 전압 발생회로를 제안한다. 제안하는 기판 전압 발생회로는 VSS 발생회로와 VBB 발생회로로 구성되어 있다. VSS 발생회로는 네거티브 전압을 발생시켜 VBB 발생회로에 공급하며, VBB 발생회로는 공급받은 네거티브 전압을 이용하여 또 다른 네거티브 전압을 발생시킨다. 제안하는 회로의 동작을 검증하기 위해서 0.18 μ m 1Poly-6Metal CMOS 공정을 사용하여 회로를 구현하였으며, 측정 결과 -0.95V의 기판 전압을 얻을 수 있었다. 제안한 기판 전압 발생회로를 이용함으로써, 0.5V의 전원 전압에서 동작하는 논리 회로의 누설 전류 성분을 효과적으로 줄일 수 있다.

Abstract

This paper proposes substrate-bias voltage generator to reduce leakage power consumption of digital logic circuits operating at supply voltage of 0.5V. Proposed substrate-bias voltage generator is composed of VSS and VBB generator. The former circuit produces negative voltage and supplies its output voltage for VBB generator. As a result, VBB generator develops much lower negative voltage than that of conventional one. Proposed circuit is fabricated using 0.18 μ m 1Poly-6Metal CMOS process and measurement result demonstrated stable operation with substrate-bias voltage of -0.95V.

Keywords: Substrate bias voltage generator, leakage power reduction, low voltage

I. 서론

휴대용 기기의 폭발적인 수요 증가로 인하여 저 동작 및 저 대기전력 시스템을 비롯한 저 전력 SoC 시스템의

중요성이 날로 증가하고 있다. 이러한 시스템이 고성능을 유지함과 동시에 적은 전력을 소모하기 위해서는 시스템의 전원 전압뿐만 아니라 문턱 전압 역시 낮아져야 한다. 그러나 문턱 전압의 감소는 누설 전류를 증가시키며 이로 인하여 대기 모드 시에 소모되는 전력 또한 증가하게 된다. ITRS (International Technology Roadmap for Semiconductors)^[1]는 차세대 프로세서에서 대기 모드 시의 누설 전류 성분이 전체 전력 소모의 절반 이상이 될 것으로 전망하고 있다.

이러한 누설 전류를 억제하기 위한 하나의 방안으로 1.0V 이하의 전원 전압에서 동작하는 VTCMOS (Variable-Threshold CMOS) 기법에 관한 연구가 활발히 진행되고 있다^{[2][3]}. VTCMOS 기법을 이용한 논리

* 학생회원, 고려대학교 전자컴퓨터공학과
(Department of Electronics and Computer Eng., Korea University)

** 정회원, 안양대학교 전기공학과
(Department of Electrical Eng., Anyang University)

*** 정회원, 삼성전자 System LSI 사업부
(System LSI Division, Samsung Electronics)

**** 정회원, 고려대학교 전자컴퓨터공학과
(Department of Electronics and Computer Eng., Korea University)

접수일자: 2005년3월31일 수정완료일: 2005년12월8일

회로가 안정적으로 동작하기 위해서는 낮은 전원 전압에서도 안정적인 기관 전압을 생성시키는 기관 전압 발생회로에 관한 연구가 진행되어야 한다.

기관 전압 발생회로는 NMOS 트랜지스터의 벌크 노드에 인가되는 네거티브 전압을 생성하는 회로이며, 대기 모드 시에 논리 회로의 누설 전류를 억제하는데 사용될 수 있다. 그런데 이러한 누설 전류를 최소화하기 위해서는 가능한 한 낮은 기관 전압을 생성하는 기관 전압 발생회로가 필요하다. 그러나 시스템의 전원 전압이 낮아질수록 논리 회로의 누설 전류를 억제하기 위한 기관 전압은 더욱 낮아져야 함에도 불구하고 기존의 기관 전압 발생회로의 출력 전압은 $-V_{di}$ 이내로 제한되어 있다^{[4][5]}. 이로 인하여 시스템의 전원 전압이 낮아짐에 따라 대기 모드 시에 발생하는 누설 전류 성분은 증가하게 되고 결국 전체 전력 소모 역시 증가하게 된다.

따라서 본 논문에서는 VTCMOS 기법을 이용하는 초저전압 구동 논리회로의 누설 전류 억제를 위한 기관 전압 발생회로를 제안한다. 본 논문에서 제안하는 기관 전압 발생회로는 네거티브 전압을 발생하는 VSS 발생회로와 VSS 발생회로의 네거티브 출력 전압을 공급받아 또 다른 네거티브 전압을 발생하는 VBB 발생회로로 구성된다. 제안하는 기관 전압 발생회로를 이용함으로써 0.5V의 전원 전압에서 동작하는 논리 회로의 누설 전류를 효과적으로 줄일 수 있을 것이다.

II. 기관 전압 발생회로

1. 기존의 기관 전압 발생회로

그림 1은 하이브리드 펌핑 회로(HPC)를 나타낸다^[4]. HPC에서, 트랜지스터 M2는 PMOS 이고, 트랜지스터 M3는 NMOS 이다. 클록 신호(CLOCK)가 로우(Low) 레벨일 때, 노드 A의 전압은 캐패시터 커플링에 의해 $|V_{thp} - V_{di}|$ 가 되고, 노드 B의 전압은 0V 레벨이 된다. 클록이 하이(High) 레벨에 도달할 때, 노드 A의 전압은 캐패시터 커플링에 의해 $|V_{thp}|$ 가 되고, 노드 B의 전압은 $-V_{di}$ 레벨에 도달한다. 따라서 이상적인 경우, $-V_{di}$ 레벨에 가까운 기관 전압을 얻을 수 있다. 그러나 HPC는 Diode-connected 트랜지스터 M1에 의한 전압 손실로 인하여 펌핑 이득이 감소한다는 문제점이 있다. 또한, Start-up 동안에, 즉, 클록 신호(CLOCK)가 로우(Low) 레벨에 도달했을 때, 노드 B가 트랜지스터 M2

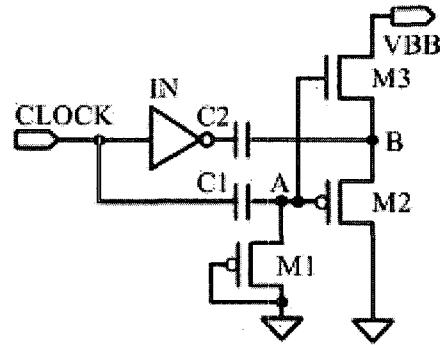


그림 1. 하이브리드 펌핑 회로^[4]
Fig. 1. Hybrid pumping circuit.

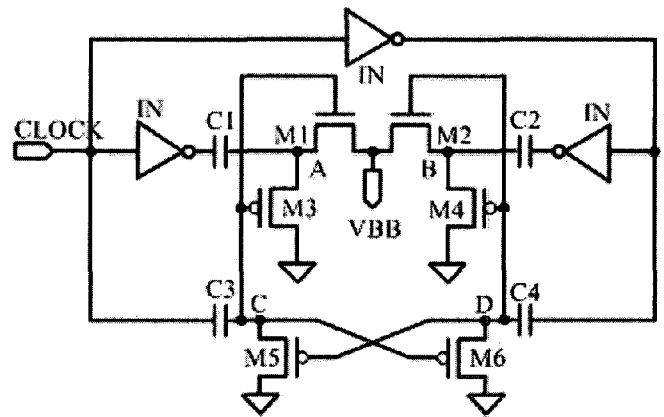


그림 2. 크로스 커플 하이브리드 펌핑 회로^[5]
Fig. 2. Cross coupled hybrid pumping circuit.

를 온 시킬 만큼 충분히 낮지 않기 때문에, 이 회로는 최종 값에 도달하는데 오랜 시간이 걸린다는 문제점이 있다. 이러한 문제점들을 개선하기 위해서 그림 2와같은 크로스 커플 방식의 하이브리드 펌핑 회로(CHPC)가 제안되었다^[5]. CHPC가 HPC에서 발생하는 전압 손실로 인한 펌핑 이득 감소와 펌핑 강하 속도 저하의 문제점을 개선하였지만, 두 회로에서 생성되는 기관 전압은 0.5V의 전원 전압에서 구동되는 논리 회로의 누설 전류를 억제하기에는 충분하지 않다. 시스템에서 0.5V의 전원 전압을 사용할 경우 정상 동작 모드에서 시스템의 고성능을 유지하기 위해서는 0.2V 부근의 문턱 전압을 가져야 한다. 또한 대기 모드에서 누설 전류 성분을 최소화하기 위해서는 0.4V 이상의 문턱 전압을 필요로 하며, 이러한 문턱 전압을 생성하기 위해서는 $-0.7V$ 이하의 기관 전압을 필요로 한다^[6].

2. 제안한 기관 전압 발생회로

본 논문에서 제안한 기관 전압 발생회로는 네거티브 전압을 발생하는 VSS 발생회로와 VSS 발생회로의 네

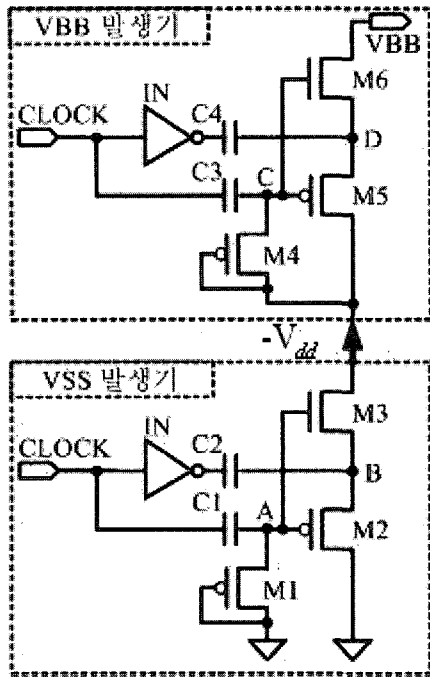


그림 3. 제안된 더블 하이브리드 펌핑 회로
Fig. 3. Proposed double hybrid pumping circuit.

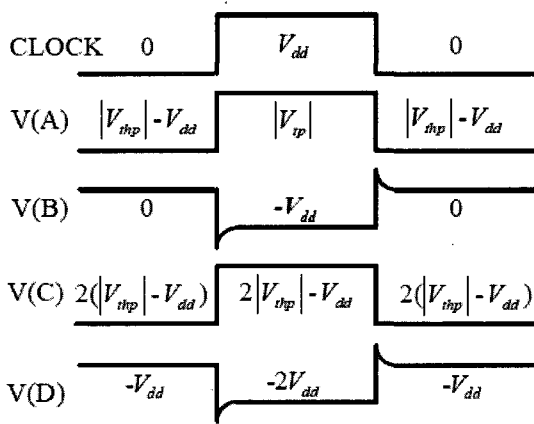


그림 4. 제안된 더블 하이브리드 펌핑 회로의 타이밍도
Fig. 4. Timing diagram of proposed double hybrid pumping circuit.

거티브 출력 전압을 공급받아 또 다른 네거티브 전압을 생성하는 VBB 발생회로로 구성된다.

그림 3은 본 논문에서 제안한 기관 전압 발생회로를 HPC에 적용한 예이다. 그림 3의 더블 HPC는 VSS 발생회로와 VBB 발생회로로 구성된다. VSS 발생회로는 $-V_{dd}$ 레벨의 네거티브 전압을 생성하여 VBB 발생회로에 공급하며, VBB 발생회로는 $-2V_{dd}$ 레벨의 기관 전압을 출력한다.

VSS 발생회로는 인버터(IN), 펌핑 캐패시터 C1, C2, 트랜지스터 M1, M2 로 구성된다. 펌핑 캐패시터 C1은

클록 신호(CLOCK)를 수신하여 노드 A에 펌핑 전압을 발생시킨다. 펌핑 캐패시터 C2는 인버터(IN)에 의해 반전된 클록 신호(CLOCK)를 수신하여 노드 B에 펌핑 전압을 발생시킨다. PMOS 트랜지스터 M1은 클록 신호(CLOCK)를 수신하여 노드 A를 접지 전압으로 프리차지한다. PMOS 트랜지스터 M2는 클록 신호(CLOCK)를 수신하여 노드 B를 접지 전압으로 프리차지한다.

VBB 발생회로는 인버터(IN), 펌핑 캐패시터 C3, C4, 트랜지스터 M4, M5로 구성된다. 펌핑 캐패시터 C3는 클록 신호(CLOCK)를 수신하여 노드 C에 펌핑 전압을 발생시킨다. 펌핑 캐패시터 C4는 인버터(IN)에 의해 반전된 클록 신호(CLOCK)를 수신하여 노드 D에 펌핑 전압을 발생시킨다. PMOS 트랜지스터 M4는 클록 신호(CLOCK)를 수신하여 노드 C를 VSS 발생회로의 출력 전압인 $-V_{dd}$ 레벨의 네거티브 전압으로 프리차지한다. PMOS 트랜지스터 M5는 클록 신호(CLOCK)를 수신하여 노드 D를 $-V_{dd}$ 레벨의 네거티브 전압으로 프리차지한다.

VSS 발생회로는 VBB 발생회로의 두 개의 PMOS 트랜지스터 M4, M5의 드레인 노드에 접지 전압대신 VSS 발생회로에서 생성된 네거티브 전압(즉, $-V_{dd}$ 레벨의 네거티브 전압)을 공급한다. 본 논문에서 제안한 더블 HPC에서 VSS 발생회로의 출력 전압은 그림 1의 HPC의 출력 전압과 동일하다.

그림 4는 그림 3의 더블 HPC에 입력되는 클록 신호(CLOCK)와 각각의 노드 전압의 관계를 나타낸 타이밍도이다. 클록 신호(CLOCK)가 로우(Low) 레벨일 때, 노드 A의 전압은 캐패시터 커플링에 의해 $|V_{thp}| - V_{dd}$ 가 되고, 노드 B의 전압은 접지 전압이 된다. 또한, 노드 C의 전압은 $2(|V_{thp}| - V_{dd})$ 레벨이 되고, 노드 D의 전압은 $-V_{dd}$ 레벨이 된다. 클록 신호가 하이(High) 레벨에 도달할 때, 노드 A의 전압은 캐패시터 커플링에 의해 $|V_{tp}|$ 가 되고, 노드 B의 전압은 $-V_{dd}$ 레벨에 도달한다. 또한, 노드 C의 전압은 $2|V_{thp}| - V_{dd}$ 레벨에 도달하고, 노드 D의 전압은 $-2V_{dd}$ 레벨이 된다. 결국, 제안한 더블 HPC의 기관 전압은 $-2V_{dd}$ 레벨까지 도달할 수 있다.

그림 5는 제안한 기관 전압 발생회로를 CHPC에 적용한 다른 예이다. 그림 5의 더블 CHPC는 더블 HPC와 마찬가지로 VSS 발생회로와 VBB 발생회로로 구성된다. VSS 발생회로는 $-V_{dd}$ 레벨의 네거티브 전압을 발

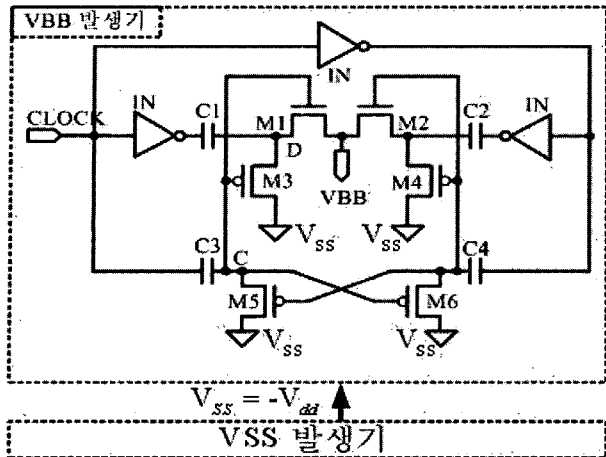


그림 5. 제안된 더블 크로스 커플 하이브리드 펌핑 회로
Fig. 5. Proposed double cross coupled hybrid pumping circuit.

생시켜 VBB 발생회로에 공급하고, VBB 발생회로는 $-2V_{dd}$ 레벨의 네거티브 기관 전압을 출력한다. VSS 발생회로는 그림 3에 나타난 더블 HPC의 VSS 발생회로의 구성 및 기능과 동일하다.

그림 5에 나타난 더블 CHPC로에서 VBB 발생회로의 트랜지스터 M3-M6의 드레인 노드에는 접지 전압대신 VSS 발생회로에서 생성된 네거티브 전압 $-V_{dd}$ 가 공급된다. 더블 CHPC에서 VSS 발생회로의 출력 전압은 기존의 CHPC의 출력 전압과 동일하다. 클럭 신호(CLOCK)가 로우(Low)레벨일 때, 노드 C의 전압은 $2(V_{thp} - V_{dd})$ 레벨이 되고, 노드 D의 전압은 $-V_{dd}$ 레벨이 된다. 클럭 신호(CLOCK)가 하이(High) 레벨에 도달할 때, 노드 C의 전압은 $2|V_{thp}| - V_{dd}$ 레벨에 도달하고, 노드 D의 전압은 $-2V_{dd}$ 레벨이 된다. 결국, 본 논문에서 제안한 더블 CHPC가 출력하는 기관 전압은 $-2V_{dd}$ 레벨까지 도달할 수 있다.

III. 실험

1. 모의 실험 결과

CMOS 0.18um 공정 파라미터와 0.5V의 전원 전압을 사용하여 HPC, CHPC, 더블 HPC와 더블 CHPC의 성능을 비교하기 위해 HSPICE를 이용한 모의 실험을 진행하였다. 그림 6은 기존의 기관 전압 발생회로와 제안한 기관 전압 발생회로의 출력 전압을 비교한 그래프이다. HPC와 CHPC의 기관 전압은 각각 전원 전압(0.5V)에 가까운 $-0.45V$ 와 $-0.48V$ 로 측정된 반면, 더블 HPC와 더블 CHPC의 기관 전압은 기존의 펌핑 회로들의 기관

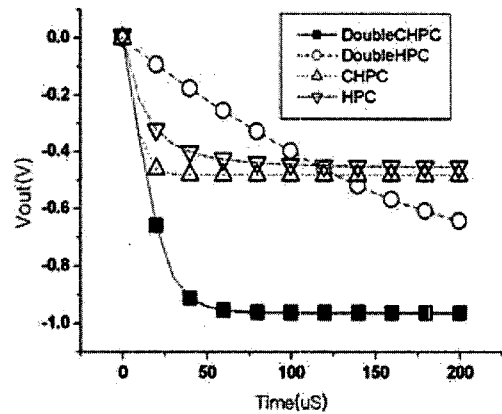


그림 6. HPC, CHPC, 더블 HPC 와 더블 CHPC의 기관 전압

Fig. 6. Substrate-bias voltage of HPC, CHPC, double HPC and double CHPC.

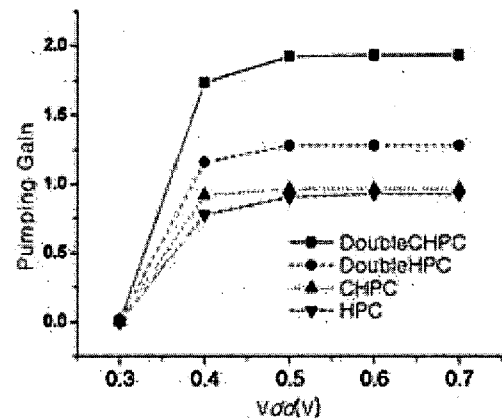


그림 7. HPC, CHPC, 더블 HPC 와 더블 CHPC의 펌핑 이득

Fig. 7. Pumping gain of HPC, CHPC, double HPC and double CHPC.

전압의 두 배에 가까운 $-0.64V$ 와 $-0.96V$ 로 측정되었다.

그림 7은 전원 전압을 0.3V부터 0.7V까지 변화시켜 기존의 펌핑 회로들과 제안한 펌핑 회로들의 펌핑 이득을 비교한 그래프이다. 모의 실험 결과를 통해, 제안한 펌핑 회로들이 기존의 펌핑 회로들보다 두 배 큰 펌핑 이득을 가짐을 확인할 수 있다.

그림 8은 0.5V의 전원 전압을 인가하고, 기존의 펌핑 회로들과 제안한 펌핑 회로들의 펌핑 전류를 비교한 그래프이다. 모의 실험 결과, 기관 전압이 0.0V 부터 0.2V까지는 HPC의 펌핑 전류가 CHPC와 더블 CHPC의 펌핑 전류보다 약간 큰 것으로 나타난 반면, 0.2V부터 1.0V까지는 HPC의 펌핑 전류가 CHPC와 더블 CHPC의 펌핑 전류보다 빠르게 하강하는 것으로 나타났다.

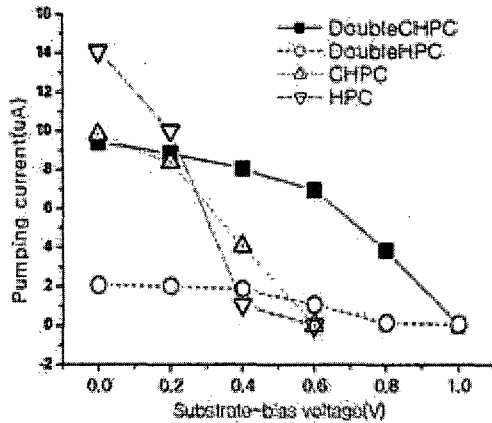


그림 8. HPC, CHPC, 더블 HPC 와 더블 CHPC의 펌핑 전류

Fig. 8. Pumping current of HPC, CHPC, double HPC and double CHPC.

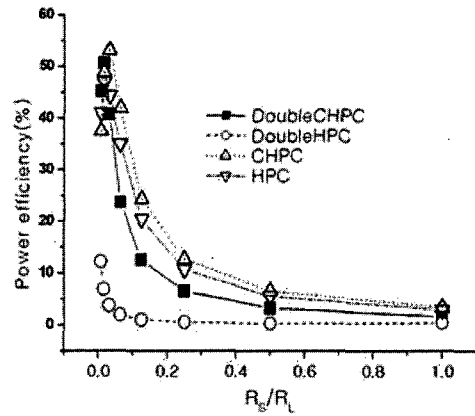


그림 9. HPC, CHPC, 더블 HPC 와 더블 CHPC의 펌핑 효율

Fig. 9. Pumping efficiency of HPC, CHPC, double HPC and double CHPC.

한편, 더블 HPC의 펌핑 전류는 전 구간에서 매우 작은 것으로 나타났으며, 이 결과는 그림 6의 모의 실험 결과와 거의 일치함을 알 수 있다.

그림 9는 소스 저항(R_s)과 로드 저항(R_L)을 변화시켜 기존의 펌핑 회로들과 제안한 펌핑 회로들의 펌핑 효율을 비교한 그래프이다. 펌핑 효율은 다음 수식 (1)을 통해 얻어진다^[5].

$$\eta = \frac{(V_{out}^2 / R_L)}{V_{dd} \cdot I_{dd}} \quad (1)$$

수식에서 V_{OUT} 은 펌핑 회로의 기판 전압을 나타내고, I_{dd} 는 펌핑 회로에서 소모되는 총 전류를 나타낸다. 그림 9에서 로드 저항(R_L) 값을 변화시켰을 때, HPC의 펌핑 효율은 전 구간에서 매우 낮은 것을 확인할 수 있으며, 이는 그림 6의 모의 실험 결과와 거의 일치함을 알 수 있다.

2. 실험 결과

제안한 더블 CHPC는 0.18 μ m 1Poly-6Metal CMOS 공정을 이용하여 구현되었으며, 100MHz의 동작 주파수를 갖는 링 오실레이터를 포함한 실제 면적은 0.00185mm²(0.0185mm × 0.1mm)로 측정되었다. 그림 10은 설계된 회로의 칩 사진을 나타낸다. 그림 11은 측정된 더블 CHPC의 출력 파형을 나타낸다. 제안한 회로의 기판 전압은 -0.95V로 측정되었으며, 이 값은 모의 실험 결과와 매우 유사한 결과이다.

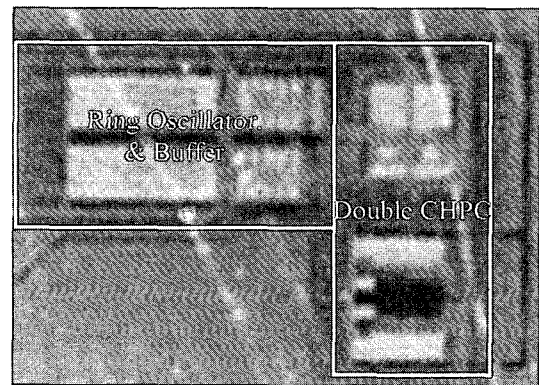


그림 10. 제안된 더블 CHPC의 칩 사진

Fig. 10. Chip photo of proposed double CHPC.

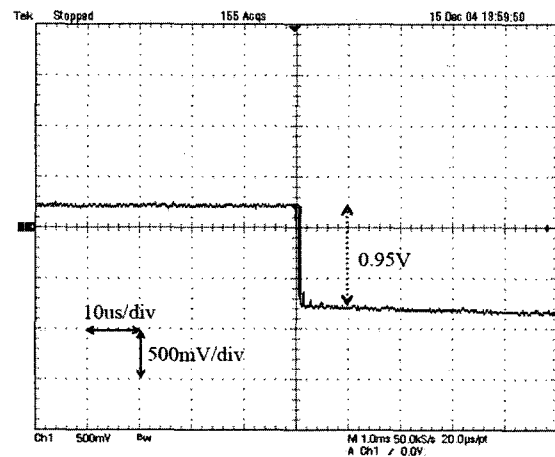


그림 11. 측정된 더블 CHPC의 기판 전압

Fig. 11. Measured substrate-bias voltage of double CHPC.

IV. 결 론

본 논문에서는 VTCMOS 기법을 이용하는 저 전압 구동 논리 회로의 누설 전류 성분을 억제하기 위한 기관 전압 발생회로를 구현하였다. 제안한 기관 전압 발생회로는 네거티브 전압을 생성하는 VSS 발생회로와 VSS 발생회로의 네거티브 출력 전압을 공급받아 또 다른 네거티브 전압을 생성하는 VBB 발생회로로 구성되어 있다. 제안한 기관 전압 발생회로의 실험 결과 0.5V의 전원 전압을 인가했을 때 -0.95V의 기관 전압을 얻을 수 있었으며, 실험을 통해 얻은 기관 전압은 0.5V의 전원 전압에서 구동되는 논리회로의 누설 전류 성분을 효과적으로 감소시키기에 충분할 것으로 예상된다.

참 고 문 헌

- [1] SIA. *International Technology Roadmap for Semiconductors*, 2001.
- [2] T. Enomoto, Y. Oka, and H. Shikano, "A Self-Controllable Voltage Level (SVL) Circuit and its Low-Power High-Speed CMOS Circuit Application", *IEEE J. Solid state Circuits*, Vol. 38, No. 7, July 2003.

- [3] T.Kuroda, et al., "A 0.9V 150MHz 10mW 4mm² 2-D discrete cosine transform core processor with variable threshold voltage (VT) scheme", *IEEE J. Solid state Circuits*, Vol. 31, No. 11, pp. 1770-1779, November 1996.
- [4] Y. Tsukikawa, et al., "An efficient back-bias generator with hybrid pumping circuit for 1.5V DRAM's", *IEEE J. Solid state Circuits*. Vol. 29, pp. 534-538, April 1994
- [5] K.S. Min and J.Y. Chung, "A Fast Pump-Down VBB Generator for Sub-1.5V-V DRAMs", *IEEE J. Solid state Circuits*, Vol. 36, No. 7, pp. 1154-1157, July 2001.
- [6] A. Wang and A. Chadrasakan, "Optiamal Supply and Threshold Scaling for Subthreshold CMOS Circuits", *IEEE Computer Society Annual Symposium on VLSI 2003*, pp. 5-9. April 2002.

저 자 소 개

김 길 수 (학생회원)

2002년 고려대학교 전기공학과 학사
 2002년 9월~현재 고려대학교 전자컴퓨터공학과 석박사 통합과정 재학 중
 <주관심분야 : 반도체 회로 설계, 고속 데이터 링크용 송수신기의 설계>

김 형 주 (학생회원)

2004년 고려대학교 전자공학과 학사
 2004년 3월~현재 고려대학교 전자컴퓨터공학과 석사 과정 재학 중
 <주관심분야 : 반도체 회로 설계, 저 전압 DRAM용 아날로그 회로의 설계>

박 상 수 (학생회원)

2004년 고려대학교 전자공학과 학사
 2004년 3월~현재 고려대학교 전자컴퓨터공학과 석사 과정 재학 중
 <주관심분야 : Digital Signal Processing, SoC Design, CMOS Image Sensor>

유 재 택 (정회원)

1979년 고려대학교 전기공학과 학사
 1989년 Case Western Reserve University
 1995년 University of Utah
 1996년~현재 안양대학교 전기공학과 교수
 <주관심분야 : High speed system design>

기 훈 재 (정회원)

1995년 고려대학교 전자공학과 학사
 1997년 고려대학교 전자공학과 석사
 2001년 고려대학교 전자공학과 박사
 2002년~현재 삼성전자 SYSTEM LSI 사업부
 <주관심분야 : High speed low power digital system design>

김 수 원 (정회원)

제 40권 SD편 제 2호, 제 42권 SD편 제 11호 참조
 현재 고려대학교 전자컴퓨터공학과 정교수