

표면 전하에 의한 Thyristor 소자의 차단전압 및 누설전류특성 연구

論 文

55C-1-8

Study on the Blocking Voltage and Leakage Current Characteristic Degradation of the Thyristor due to the Surface Charge in Passivation Material

金亨宇* · 徐吉洙* · 房煜* · 金起鉉* · 金南均*

(Hyoung-Woo Kim · Kil-Soo Seo · Wook Bahng · Ki-Hyun Kim · Nam-Kyun Kim)

Abstract - In high-voltage devices such as thyristor, beveling is mostly used junction termination method to reduce the surface electric field far below the bulk electric field and to expand the depletion region thus that breakdown occurs in the bulk of the device rather than at the surface. However, coating material used to protect the surface of the device contain so many charges which affect the electrical characteristics of the device. And device reliability is also affected by this charge. Therefore, it is needed to analyze the effect of surface charge on electrical characteristics of the device. In this paper, we analyzed the breakdown voltage and leakage current characteristics of the thyristor as a function of the amount of surface charge density. Two dimensional process simulator ATHENA and two-dimensional device simulator ATLAS is used to analyze the surface charge effects.

Key Words : Thyristor, Blocking Voltage, Leakage Current, Passivation Material

1. 서 론

사이리스터와 같은 대용량 전력용 반도체 소자들은 주로 수명의 저하가 예측될만한 온도 범위보다 낮게 조절된 온도 조건하에서 사용되어지며, 소자가 물리적으로 이동하는 경우도 없기 때문에 특성의 저하가 쉽게 일어나지 않는 것으로 인식되어져 왔다[1]. 또한 고전압 밸브내에 장착되어져 사용되는 사이리스터에서 때때로 일어나는 고장들은 사실상 우발적(임의로 일어나는 고장)이며, 밸브 설계시 소자들의 safety factor를 고려하여 설계하기 때문에 밸브가 장착되어진 시스템에는 큰 영향을 미치지 않는(주지 않는) 것으로 인식되고 있다. 또한 이렇게 고장이 난 소자들을 교체할 경우 밸브는 본래의 절연성을 회복하는 것으로 알려져 있었다. 그러나, 실제로 밸브내의 사이리스터들 중 하나에서 차단전압 저하가 일어날 경우 밸브내의 다른 모든 사이리스터들에 과전압을 인가하게 되며, 결과적으로 밸브가 본래 가지고 있던 차단전압이 저하하게 된다. 이로 인하여 전력변환 시스템은 신뢰성 또는 안정성의 저하가 발생하고 종국에는 사고로 이어지게 된다. 따라서 시스템의 안정성 및 안정적인 운용을 위해서는 시스템을 구성하고 있는 밸브내의 사이리스터 소자의 특성에 영향을 주는 요인들과 그에 따른 소자의 특성 저하에 대한 분석이 필요하다[2-4].

전력용 반도체 소자의 제조에 있어서 passivation 공정

은 소자가 지탱할 수 있는 최대 전계의 크기를 결정하게 되므로 필수적인 공정이라 할 수 있으며, 이때 표면 보호를 위해 사용되는 물질들로 인해 유발되는 표면 전계들은 소자 벌크(bulk) 영역에서의 전계에 많은 영향을 주게 된다[5]. 사이리스터와 같은 대용량 전력용 반도체 소자에서 가장 많이 쓰이는 passivation 기법은 웨이퍼의 가장자리를 특정한 각을 주어 갈아내는 bevel 처리를 한 후 표면에 실리콘 고무나 polymer 계열의 물질로 코팅하는 기법을 많이 사용하고 있다.[6]

일반적으로 passivation에 사용되는 물질들은 다량의 표면 전하를 유발하게 되는데 이러한 표면 전하의 양은 단기적으로는 소자 벌크 영역내의 전계 분포에 영향을 주게 되며, 장기적으로는 소자 표면의 각종 결함(defect)들과 결합하여 소자의 신뢰성에 영향을 주게 된다. 따라서 사이리스터 소자의 표면 전하에 따른 소자 특성의 변화에 대한 분석이 필요하다.

본 논문에서는 사이리스터 소자 junction termination 영역 표면 전하량이 소자의 차단 전압과 누설 전류 특성에 미치는 영향에 대해 분석하였다. 또한 분석 결과를 바탕으로 표면 전하와 사이리스터 소자의 신뢰성간의 상관 관계에 대해서도 분석하였다. 소자의 특성 분석에는 이차원 공정 시뮬레이터인 ATHENA와 소자 시뮬레이터인 ATLAS[7]를 사용하였다.

2. 본 론

그림 1은 분석을 위해 시뮬레이션에 사용된 소자의 구조도를 나타낸 것이다. 소자의 n-base 농도 및 두께는 각각 $6 \times 10^{13}/cm^3$, $300\mu m$ 이고 p-base의 접합 깊이는 $60\mu m$ 를

* 교신저자, 正會員 : 한국전기연구원 전력반도체연구그룹

E-mail : hwkim@keri.re.kr

* 正會員 : 한국전기연구원 전력반도체연구그룹

接受日字 : 2005年 10月 19日

最終完了 : 2005年 11月 14日

사용하였다. Bevel termination을 위해 사용된 길이는 $2920\mu\text{m}$ 로 bevel 각은 약 1.2° 가 되도록 하였다. 코팅 물질로는 polyimide를 사용하였다. 이렇게 하였을 때 얻어지는 최대 항복전압은 1600V 정도로 $6 \times 10^{13}/\text{cm}^3$ 농도에서 얻어지는 parallel-plane 항복전압인 2500V 의 65%정도이다. 보다 높은 항복전압을 얻기 위해서는 bevel 각을 1° 이내가 되도록 하여야 하나 이렇게 할 경우 junction termination 면적이 지나치게 넓어지게 되는 문제점이 있고, 본 논문에서 분석하고자 하는 것이 표면 전하량에 따른 특성의 변화이기 때문에 1600V 이내의 항복전압을 얻을 수 있도록 1.2° 정도의 bevel 각을 사용하여 설계하였다. 그림에서 a 선은 bevel된 면과 코팅막간의 경계면을 나타내며, b는 벌크내에서의 수직방향을, c는 pn 접합면을 나타낸다.

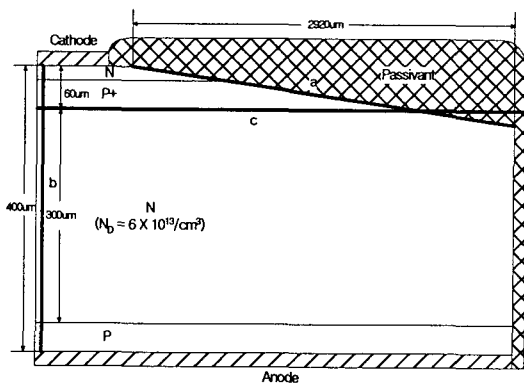
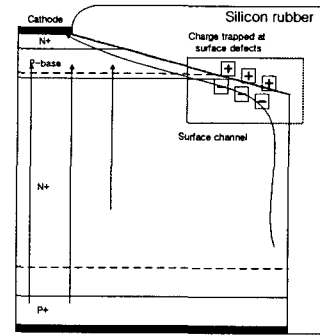


그림 1. 시뮬레이션에 사용된 소자 구조도
Fig 1. Cross-sectional view of the device structure

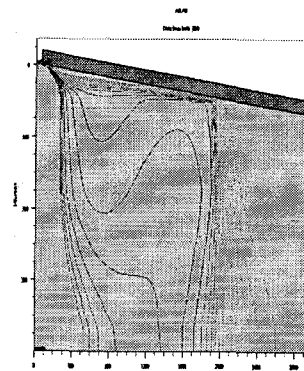
2.1 표면 전하와 누설 전류 흐름간의 상관관계

사이리스터와 같은 대용량 전력용 반도체 소자들에서는 표면을 물리적으로 각을 주어 갈아내는 beveling 처리를 한 이후에 표면에 실리콘 고무나 polymer 계열의 물질을 코팅하는 passivation 기법을 사용한다. 3000V 이하의 차단전압을 가지는 소자에서는 주로 SiO_2 나 Si_3N_4 등을 사용하며 그 이상의 차단전압을 필요로 하는 소자에서는 polymer 계열의 물질이나 SIPOS(Semi-Insulating Polycrystalline Silicon)등을 사용한다[8]. 표면 코팅에 사용된 물질들은 내부에 미소량의 불순물들이 존재하게 되며 이로 인해 코팅된 웨이퍼의 표면에는 다량의 전하가 유발되게 된다. 특히 소자에 전기적인 스트레스가 인가될 경우 이 불순물들에는 전하가 포획되는 현상이 일어나게 되며 소자 벌크 영역에서의 전계뿐만 아니라 표면에서의 전계 분포에도 많은 영향을 주게 된다. 특히 높은 차단전압을 얻기 위해 표면을 bevel 처리하는 사이리스터 소자에서 bevel된 표면 중에서 n-base 영역의 표면은 차단전압을 결정하는데 있어 중요한 부분으로 역방향 전압이 인가될 경우 n-base 영역의 표면에는 bevel에 의한 표면 결함 등에 의해 다량의 전하들이 모이게 된다. 일반적으로 표면 코팅을 위해 사용되는 물질 내부의 전하들은 \oplus 전하를 가지게 되므로, 이 \oplus 전하들에 의해 n-base 영역의 표면에는 다량의 \ominus 전하들이 모이게 되고, 이 \ominus 전하들에 의해 코팅 물질의

n-base 영역 표면 부근은 전자가 배척되어 channel 층이 형성되며, 공핍층이 표면에 연장된 것과 같은 상태가 된다[9]. 이로 인해 사이리스터 소자가 차단상태인 경우 누설 전류의 일부는 표면에 형성된 전도층을 통해 흘러가게 된다. 그림 2는 bevel된 표면에 전하에 의한 전도 영역이 형성되었을 경우에 차단 상태에서 사이리스터 소자 내에서의 전류의 경로 (a)와 그림 1의 선 a를 따른 전류밀도 흐름(b)을 나타낸 것이다.



(a) Bevel된 면에서의 전류 흐름



(b) a선면에서의 전류 밀도 분포도

그림 2. Bevel된 소자 표면에서의 (a) 전류 흐름 및 (b) 전류 밀도 분포도

Fig 2. (a) Current flowline, (b) current density distribution of the beveled surface

그림에서 볼 수 있듯이 차단 상태에서 흐르는 누설 전류의 일부는 표면에 형성된 전도 영역에 의해 소자의 벌크 영역이 아닌 표면으로 흐르고 있다. 사이리스터 내에서 흐르는 누설전류는 표면 전하의 양과도 밀접한 관계가 있다. 그림 3에 사이리스터가 차단 상태이고 anode에 600V 의 전압이 인가된 경우 표면 전하량(N_{ss})이 $5 \times 10^{10}/\text{cm}^3 \sim 1 \times 10^{12}/\text{cm}^3$ 까지 변화할 때의 누설 전류의 양을 나타내었다. 그림에서 N_{ss} 가 증가할수록 누설 전류의 양이 감소하고 있음을 알 수 있는데 이것은 누설 전류 성분 중에서 표면으로 흐르는 누설 전류 성분의 일부가 표면 전하에 포획됨으로 인해 표면 누설 전류 성분이 감소하기 때문으로 보여진다. 그림 4에 사이리스터 소자가 차단 상태에서 항복이 일어난 경우 N_{ss} 에 따른 벌크 영역에서의 전류 분포와 표면영역에서의 전류 분

포를 나타내었다. 그림에서 볼 수 있듯이 N_{SS} 가 증가할수록 벌크 영역에서의 전류 성분은 증가하는 반면 표면으로 흐르는 전류 성분은 감소하고 있다. 이것은 N_{SS} 가 증가할 경우 junction termination된 영역의 n-base의 표면에서 \oplus 전하에 의한 n-base 영역 표면에서의 전자량의 증가에 의한 것으로, 전자의 양이 증가할 경우 전하의 균형을 맞추기 위한 공핍층 내에서의 전자-정공 쌍의 생성이 일어남으로 인해 벌크 영역에서의 누설 전류 성분이 증가한 것으로 보인다. 일반적으로 순방향 차단 상태에서의 사이리스터 소자의 누설 전류는 아래와 같은 식으로 나타낼 수 있는데

$$J_L = J_{DP} + J_{SC} + J_{DN}$$

J_{DP} , J_{DN} : N, P 영역에서의 diffusion 전류,

J_{SC} : 공핍층 영역에서의 전류

N_{SS} 의 증가로 인해 공핍층 영역 내에서의 전자-전하 쌍의 생성이 증가하기 때문에 공핍층에서의 전류 성분 J_{SC} 가 증가하여 벌크 영역에서의 누설 전류 성분이 증가하게 된 것이다.

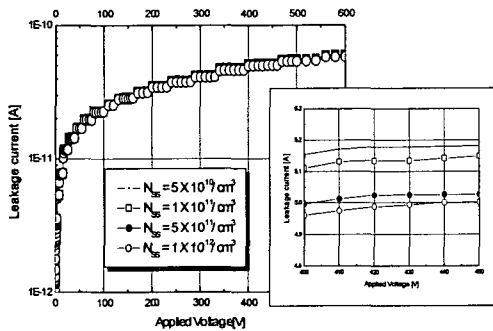


그림 3. 표면 전하량에 따른 누설 전류량의 변화

Fig 3. Leakage current variation as a function of surface charge amount

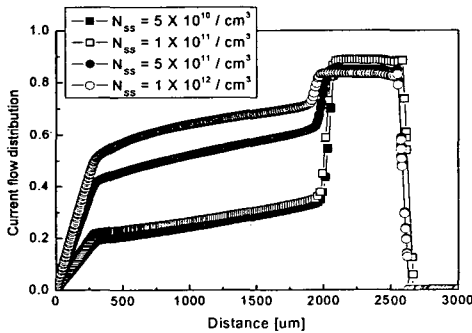
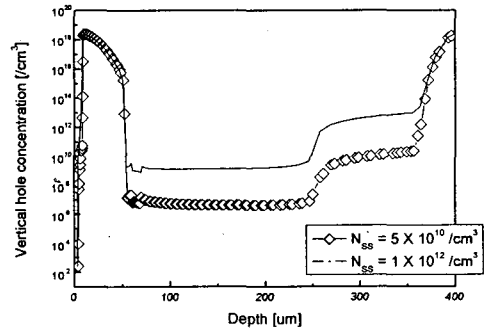


그림 4. 표면 전하량에 따른 전류 흐름 분포도

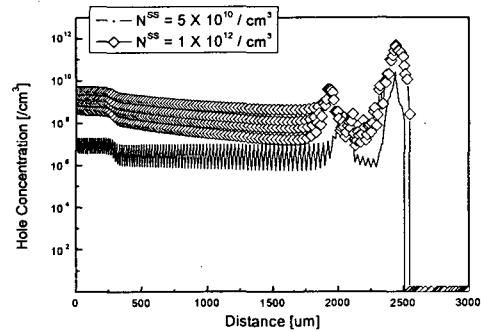
Fig 4. Current flow distribution as a function of surface charge

그림 5에 소자의 그림 1의 선 b에서의 전자 및 정공 분

포도를 $N_{SS}=5 \times 10^{10}/cm^3$, $1 \times 10^{12}/cm^3$ 인 경우에 대해 나타내었다. N_{SS} 값이 증가할수록 전자 및 정공 모두 증가하는 경향을 보임을 알 수 있고, 따라서 N_{SS} 가 증가할수록 공핍층 영역 내에서의 전자-정공 쌍이 증가하게 되어 공핍층 영역 내에서의 전류 성분의 증가에 따른 벌크 영역 누설 전류 성분도 증가함을 알 수 있다.



(a) 전자 분포도



(b) 정공 분포도

그림 5. 표면 전하량에 따른 (a) 전자 및 (b) 정공 분포도

Fig 5. (a) Electron and (b) Hole carrier distribution as a function of surface charge amount

2.2 표면 전하량에 따른 사이리스터 소자의 항복전압 변화

그림 6에 N_{SS} 의 변화에 따른 사이리스터의 항복전압 특성을 나타내었다. 그림에서 볼 수 있듯이 N_{SS} 가 증가할수록 항복전압은 감소하는 경향을 나타낸다. 이것은 표면 전하량이 증가함에 따라 표면에서의 전계 성분이 커지기 때문으로 passivation을 위해 사용된 코팅막내의 전하들은 \oplus 성분을 띄고 있어 n-base 영역의 표면에서는 공핍층이 안쪽으로 휘어지는 경향을 나타내게 되어 전계 집중 현상에 의해 항복전압이 감소하게 되는 것이다. \oplus 전하 성분은 p-type 영역에서는 공핍층을 더 확장시켜 주는 역할을 하게 되어 항복전압을 증가시킬 수 있으나 n-type 영역에서는 공핍층을 축소시키게 되어 항복전압을 감소시키는 역할을 하게 된다.

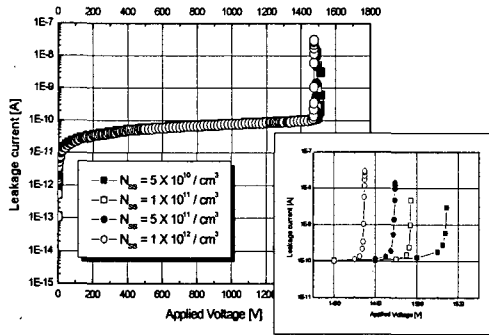
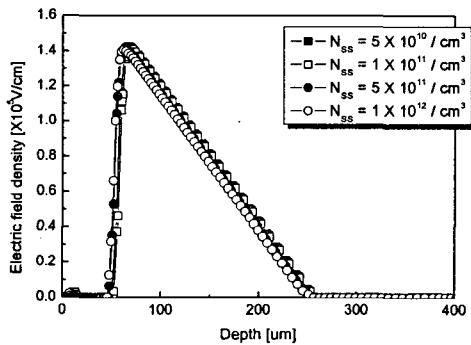
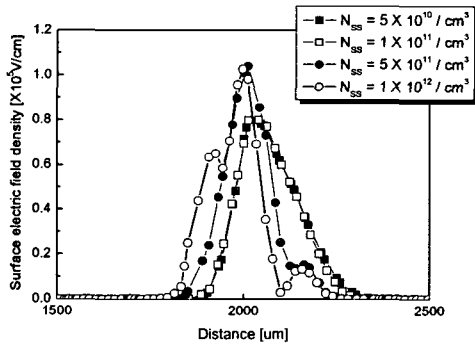


그림 6. 표면 전하량에 따른 항복전압 특성
 Fig 6. Breakdown voltage variation as a function of surface charge amount



(a) 벌크영역내의 전계



(b) bevel된 면과 코팅막간의 전계

그림 7. 표면 전하량에 따른 (a) 벌크 영역 및 (b) bevel된 면과 코팅막 사이에서의 전계 분포도

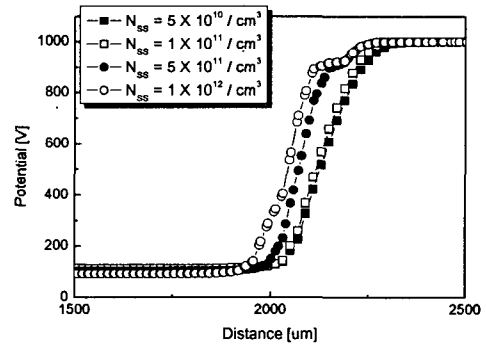
Fig 7. Electric field distribution of (a) bulk region and (b) interface between beveled surface and coating material as a function of surface charge amount

그림 7은 표면 전하의 증가에 따른 선 b에서의 전계 분포와 선 a에서의 전계 분포를 나타낸 것이다. 표면 전하의 양이 증가함에 따라 a 면을 따른 전계는 증가하는 반면에 선 b에서의 전계는 거의 변화를 보이지 않음을 알 수 있다. 벌크 영역 내에서의 전계는 n-base 영역의 농도에 주로 영향을 받지만 bevel된 면과 코팅막 사이에서의 전계는 pn 접합에서의

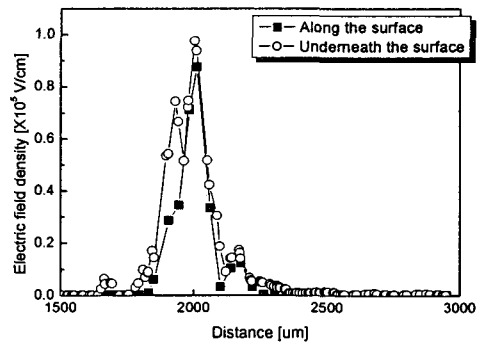
농도 구배에 따른 영향 이외에 표면 전계에 의한 공핍층 폭의 감소에 의한 영향도 받기 때문에 표면 전하의 양이 증가할수록 함께 증가하는 경향을 보이며 이로 인해 항복전압을 감소시키게 된다. 다만, 표면 전하에 의한 공핍층 폭의 감소나 표면에서의 전계값의 증가 경향은 그리 크지 않기 때문에 항복전압에 미치는 영향은 그다지 크지 않으며, 이로 인한 항복전압의 감소폭도 50V내외로 작게 나타난다.

2.3 표면 전하량이 bevel면-코팅막간 전위에 미치는 영향

그림 8-(a)에 표면 전하량의 변동에 따른 선 b에서의 전위 분포도를 나타내었다. 그림에서 보면 p-영역 내에서 bevel된 면과 코팅막으로 가깝게 갈수록 등전위선이 수직으로 휘어지고 있음을 알 수 있는데, 이것은 이 부분에서 강한 전계가 형성되고 있음을 뜻한다.



(a) 전위 분포도



(b) 전계분포도

그림 8. 표면 전하량에 따른 (a) 전위 (b) 전계분포도
 Fig 8. (a) Potential and (b) electrical field distribution as a function of surface charge amount

이것은 일종의 전하 보상 효과에 의한 것으로 공핍층 영역 내의 양전하(donor)와 공핍층 경계면에서의 표면 양전하를 보상하기 위해 p-영역 내에서의 공핍층 경계면이 p-영역 안쪽으로 휘어지기 때문으로 bevel termination에 의해 다수의 acceptor들이 제거되었기 때문이다. 다시 말해, p-영역내의 bevel된 면과 코팅막 경계면에 가까운 공핍층이 bevel에 의

해 제거되어진 양전하를 보상하기 위해 더 높게 도핑된 영역 쪽으로 이동하였기 때문으로 이로 인해 경계면 아래에 큰 전계가 형성되게 되어 전위 분포 구배가 커지게 된다.

그림 8-(b)에 표면 전하량이 $N_{ss}=1 \times 10^{12}/cm^3$ 이고 anode에 인가된 전압이 1000V인 경우에 그림 1의 선 a를 따라 표면 위와 아래에서의 전계 분포를 나타내었다. 그림에서 보면 표면 아래에서의 전계의 크기가 위에서의 전계의 크기에 약 0.2MV/cm 정도 크게 나타남을 알 수 있다. 이것은 코팅막의 전하에 의한 것으로 전하에 의해 n-base영역 표면에서의 공핍층이 안쪽으로 휘어짐으로 인해 발생한 전계 집중현상 때문이며, 전하량이 증가할수록 공핍층이 휘어지는 정도가 커지게 되어 더 높은 전계가 나타나게 된다.

2.4 표면 전하와 사이리스터 소자의 신뢰성간의 상관관계

사이리스터와 같은 소자들은 높은 항복전압을 얻기 위해 beveling과 같은 junction termination 기법을 주로 사용하여 표면의 보호를 위해 실리콘 고무나 polyimide와 같은 코팅 물질을 사용한다. Beveling의 경우 물리적으로 일정한 각을 주어 표면을 갈아내는 기법이기 때문에 반도체 웨이퍼의 표면에 많은 결함을 유발하게 되고 이러한 결함들은 단기적으로 누설 전류량을 증가시키고 장기적으로는 표면의 전하들과 결합하여 소자의 특성을 저하시키는 주원인이 된다. 또한 실리콘 고무와 같은 단면 코팅 물질들은 내부에 미량의 양의 전하를 가진 불순물을 내포하고 있어 소자에 지속적으로 직류전압을 가할 경우 단면 코팅 물질과 웨이퍼 표면간의 전계로 인해 코팅 물질 내부에 다량의 전하가 천천히 구축되게 된다. 특히 단면 코팅 물질의 내부 전하들은 양전하이기 때문에 n-base 영역의 표면 근방에는 음의 전하들이 다량 포획되게 되고, 포획된 음의 전하들로 인해 단면 코팅 물질면의 n-base 층 표면 부근에서는 전자가 배척되어 일종의 전도 영역이 형성되는 현상이 일어난다.

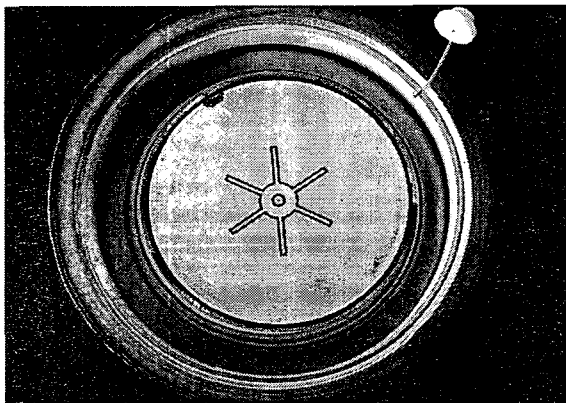


그림 9. Junction termination 영역에 형성된 전도 영역에서의 과도한 전류 집중에 따른 녹음(melting) 현상에 의해 파괴된 사이리스터 소자 sample

Fig 9. Sample of the destructed thyristor device due to the melting effects induced by current crowding at the conduction channel at junction termination area
이러한 전도 영역은 초기에는 공핍층이 단면 코팅 물질의

내부까지 확산되는 것과 같은 영향을 주게 되지만, 실제로는 사이리스터 소자의 pnp 트랜지스터 영역의 n-base 층을 얇게 만드는 효과를 주게 되어 높은 전류 증폭을 유발하므로 장기적으로 반도체 웨이퍼 표면의 누설전류가 시간이 갈수록 증가하게 되며, 이로 인해 사이리스터 전체의 누설 전류가 시간이 경과함에 따라 증가하게 된다. 이렇게 누설 전류의 증가가 큰 것은 단면 코팅 물질로 사용되는 물질 내부의 양전하를 띤 불순물이 많기 때문으로 보여 진다. 또한 이러한 누설 전류의 증가는 junction termination 면에서의 전계 집중현상과 결합하여 표면 전도층을 통한 항복이 일어나게 만들며, 시간이 흐름에 따라 전도 영역이 확산되어 그림 9와 같이 표면 전도 영역에서의 전류 폭주 현상에 의한 junction termination 영역의 부분적인 녹음(melting)으로 인해 소자의 파괴가 일어나게 할 수 있다.

3. 결 론

사이리스터 소자의 beveling termination된 면에서의 표면 전하에 따른 차단전압 및 누설 전류 특성에 대해 분석하였다. 소자의 passivation을 위해 사용된 실리콘 고무와 같은 단면 코팅 물질들은 내부에 다량의 (+) 전하를 내포하고 있다. 이러한 (+) 전하들로 인해 bevel termination된 영역의 n-base 영역 표면에서는 공핍층이 감소되어 표면 전계를 증가하게 만드는 요인이 된다. (+) 전하에 의해 포획된 전하에 의해 발생한 전하 불균형을 맞추기 위해 공핍층 내부에서의 전자-정공 쌍의 생성을 100배 정도 증가시킴으로써 벌크 영역으로 흘러가는 누설 전류 성분을 3배가량 커지게 하며, 전체적인 누설전류량을 약 4.4% 이상 증가시킴으로써 사이리스터 소자의 차단전압을 감소시킨다. 또한 장기적으로는 bevel termination에 의해 표면에 발생한 결함들과 결합하여 시간에 따른 사이리스터 소자 전체의 누설 전류 성분을 증가시키고 소자의 파괴를 유발함으로써 신뢰성을 감소시키는 결과를 가져오게 된다. 따라서 표면 전하량을 줄일 수 있도록 하는 것이 좋다. 또한 표면 전하량과 소자 특성간의 상관관계에 대한 연구는 단기적으로는 사이리스터 소자의 설계에 활용될 수 있으며, 장기적으로는 사이리스터 소자의 신뢰성 확보에 도움이 될 수 있을 것으로 보여 진다.

감사의 글

본 연구는 전력기반연구사업 연구비로 지원된 “전력계통용 전력반도체 신뢰성평가 및 수명예측기술”과제에 의한 것입니다.

참 고 문 헌

[1] Milan Cepek and Chandra P. Krishnayya, "Thyristor Aging", Power System Technology, pp. 18-21, Aug. 1998.
[2] 서길수외, “대용량 사이리스터의 전압/열에 의한 가속열화 시스템”, 대한전기학회 하계학술대회 논문집, 2004.

- [3] 김형우, 서길수 외, “대용량 사이리스터의 열화메카니즘”, 대한전기학회 합동추계학술대회 논문집, pp. 82 - 85, 2003.
- [4] 김상철, 서길수 외, “HVDC용 사이리스터 소자의 전기적 특성 simulation 연구”, 대한전기학회 하계학술대회 논문집, pp. 1559-1561, 2003.
- [5] M. Bakowski and K, Ingemar lundstrom, “Depletion layer characteristics at the surface of beveled high-voltage P-N junctions”, IEEE Trans. ED. Vol. 20, No. 6, 1973.
- [6] B. Jayant baliga, “Power Semiconductor Devices”, PWS Publishing Company, 1996.
- [7] Silvaco TCAD Manuals, ATLAS & ATHENA, Silvaco International Co. USA.
- [8] R. R. Verderber, et al., “SiO₂/Si₃N₄ passivation of high power rectifiers,” IEEE Trans. Electron Devices, Vol. ED-17, pp. 797-799, 1970.
- [9] 社団法人 電氣協同研究會 “電力系統用 power electronics 設備の現場と設計・保守基準” 電氣協同研究 第 57卷, 第 2號, 平成 13년 10월

지 자 소 개



김형우(金亨宇)

1975년 1월 31일생, 1998년 아주대학교 전자공학과 졸업. 2002년 동 대학원 전자공학과 졸업(박사수료). 2002년~현재 한국전기연구원 전력반도체연구그룹 연구원
 Tel : 055-280-1624, Fax : 055-280-1590
 E-mail : hwkim@keri.re.kr



서길수(徐吉洙)

1966년 8월 25일생. 1989년 영남대학교 전기공학과 졸업(학사). 1994년 동 대학원 전기공학과 졸업(석사). 1995년~2002년 전력기기연구부. 2002년~현재 한국전기연구원 전력반도체연구그룹 선임연구원
 Tel : 055-280-1532, Fax : 055-280-1590
 E-mail : ksseo@keri.re.kr



방욱(房煜)

1967년 5월 3일생. 1990년 서울대학교 무기재료공학과 졸업. 1997년 동 대학원 무기재료공학과 졸업(박사). 1997년~2000년 일본 전자기술총합연구소(ETL) 연구원. 2000년~현재 한국전기연구원 선임연구원
 Tel : 055-280-1621, Fax : 055-280-1590
 E-mail : bahng@keri.re.kr



김기현(金起鉉)

1975년 9월 14일생. 2002년 경상대학교 전자공학과 졸업(학사). 2004년 부산대학교 대학원 전자공학과 졸업(석사). 2004년~현재 한국전기연구원 전력반도체연구그룹 연구원
 Tel : 055-280-1622, Fax : 055-280-1590
 E-mail : kihyun@keri.re.kr



김남균(金南均)

1962년 1월 15일생. 1984년 서울대학교 무기재료공학과 졸업. 1990년 동 대학원 무기재료공학과 졸업(박사). 1990년 한국전기연구원 입사. 1987년~1988년 독일 막스 플랑크 재료금속연구소 연구원. 1995년~1996년 일본 과학기술청 무기재료연구소 연구원. 현재 한국전기연구원 책임연구원/ 전력반도체연구그룹장
 Tel : 055-280-1506, Fax : 055-280-1590
 E-mail : nkkim@keri.re.kr