

(Ba,Ca)(TiZr)O₃ 세라믹을 적용한 적층 칩 커패시터의 전기적 특성

論 文
55C-1-1

The Electric Properties of Multilayer Ceramic Capacitors with (Ba,Ca)(TiZr)O₃ Ceramics

尹重洛[†] · 余東勳^{*} · 李憲用^{**} · 李錫原^{***}

(Jung-Rag Yoon · Dong-Hun Yeo · Heun-Young Lee · Suk Won Lee)

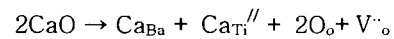
Abstract - The effect of A/B mol ratios and sintering temperatures on dielectric properties and microstructure of (Ba_{0.93}Ca_{0.07})_m(Ti_{0.82}Zr_{0.18})O₃ ceramics were investigated. The dielectric constant decreased with increasing the A/B mol ratio. However, the dielectric loss is improved. As the dielectric properties of A/B mol ratio with m = 1.009 at sintered temperature 1260°C, we obtained dielectric constant 12,800, dielectric loss 3.5% and Y5V temperature characteristics. Highly reliable Ni-MLCCs, 1.6mm (length) X 0.8mm (width) X 0.8mm (height) with capacitance of 1.23 μF and dissipation loss of 5.2% were obtained employing dielectric material composed of (Ba_{0.93}Ca_{0.07})_{1.009}(Ti_{0.82}Zr_{0.18})O₃ - MnO₂ 0.2wt% - Y₂O₃ 0.18wt%, - SiO₂ 0.15wt% - (Ba_{0.4}Ca_{0.6})SiO₃ 1 wt%.

Key Words : 적층세라믹 커패시터, 유전율, Y5V 특성, 고 신뢰성

1. 서 론

최근 휴대용 멀티미디어 제품의 수요 증가와 전자기기의 경박단소화 추세로 인하여 제품의 생산성과 경제성을 고려하여 표면 실장이 증가하면서 적층 세라믹 커패시터(multi-layer ceramic capacitor)의 수요가 증가하고 있다. 적층 세라믹 커패시터의 고용량화를 위해서는 전극간 유전체 두께를 얇게 하면서 내부 전극 층수를 늘여야 한다. 적층 세라믹 커패시터의 구성 요소로서는 유전체 세라믹, 내부 전극, 외부전극으로 구성되며 일반적으로 유전체 세라믹은 고유전율을 얻기 위하여 BaTiO₃계를 사용한다. 내부 전극의 경우, Pd와 Ag 같은 귀금속 대신 최근에는 경제성을 고려하여 비금속인 Ni를 적용하는 경우가 증가하고 있다.[1] Ni를 내부전극으로 적용시, 소결 중 Ni 내부전극의 산화를 방지하기 위하여 환원 분위기 소결이 필요하다. BaTiO₃를 환원 분위기에서 소결시, 고온에서 낮은 산소분압을 유지시키면 BaTiO₃는 외부산소 분압과 평형을 유지하기 위하여 환원된다. 이때, 격자 내의 산소 이온이 산소 공공을 형성함으로써, TiO₂가 Ti₂O₃로 환원되어 호핑 전도가 일어나 반도체화 됨에 따라 절연저항이 낮아진다. 따라서 Ni를 내부전극으로 사용하는 적층 세라믹 커패시터는 내환원성 조성의 개발이 중요하다.[2,3] 본 논문에서는 BaTiO₃계를 주성분으로 하면서 EIA 규격으로 Y5V 특성을 만족하는 내환원성 조성을 얻기 위하여 (Ba,Ca)_m(Ti,Zr)O₃을 기본 조성으로 택하였다. 이와 같은 이유는 천이 금속 산화물이 Ti 이온 자리를 치환하

여도 절연저항을 증가시키지만 천이금속 산화물의 첨가량, 소결온도 및 소결 분위기에 따라 Curie 점과 절연저항의 경시변화가 큰 단점이 있다.[2] Ca 이온은 A 위치와 B 위치를 동시에 치환할 수 있는 특징이 있으며, Ca 이온이 B 위치를 치환할 때는 다음과 같은 반응식에 의해 산소공공이 동반되어 환원 억제 역할을 하는 것으로 알려져 있다. [4]



(Ba,Ca)_m(Ti,Zr)O₃을 기본조성으로 하고 전기적 특성 및 신뢰성 개선을 위하여 MnO₂, Y₂O₃를 첨가하였고 저온 소결 및 박막 유전체에서도 고신뢰성을 얻기 위하여 유리프릿을 첨가하였으며, A/B mol비 m에 따른 유전 특성을 조사하였다. 또한, 상기조성을 적용하여 적층 세라믹 커패시터를 제작하여 특성을 고찰하였으며, 특히 소성온도에 따른 절연저항 특성을 검토하여 고신뢰성 및 양산시 소성온도에 따른 특성을 고찰하였다.

2. 실 험

본 논문에서는 (Ba_{0.93}Ca_{0.07})_m(Ti_{0.82}Zr_{0.18})O₃를 기본조성으로 하고 A/B mol 비는 m = 1.006, 1.009, 1.012로 하였다. 주원료는 BaCO₃ (SAKAI, 일본), CaCO₃ (SEALME TECH, 한국), TiO₂ (TOHO, 일본), ZrO₂ (고순도화학, 일본)를 사용하여 조성에 맞게 칭량하였다. 칭량한 분말에 지르코니아 불과 순수물을 넣은 후, 24 시간 동안 불밀로 혼합, 분쇄하였으며 건조한 분말을 1080°C에서 2시간 동안 하소하였다. 유리프릿은 (Ba_{0.4}Ca_{0.6})SiO₃ 조성을 6시간 건조 혼합한 후, 1500°C에서 2시간 동안 용융하여 급속 냉각하였으며 불밀로 60시간 분쇄하여 입자크기(D₅₀)를 0.8 ~ 1.2 μm로 조절하였다. 하소한 분말에 MnO₂ 0.2wt%, Y₂O₃ 0.18wt%, SiO₂ 0.15wt%. 유리프

[†] 교신저자, 正 會 員 : 삼화콘덴서공업(주) 연구팀장 · 공박

E-mail : yoonjunrag@yahoo.co.kr

^{*} 正 會 員 : 요업(세라믹) 기술원 선임연구원 · 공박

^{**} 正 會 員 : 명지대학교 전기공학과 교수 · 공박

^{***} 正 會 員 : 호서대학교 정보 제어공학과 교수 · 공박

接受日字 : 2005年 6月 22日

最終完了 : 2005年 11月 2日

릿 1wt%를 첨가한 후, 하소 전과 동일하게 불밀, 건조한 후 분급하였다. 최종 분말의 입자크기(D₅₀)은 0.7 ~ 0.8 μm, 비표면적 4.1 [m²/g]으로 조절하였다. 유전체 원료, PVB계 결합제, 톨루엔/에탄올, 분산제를 이용하여 16시간 혼합하여 슬러리(slurry)을 만든 후, 닥터블레이드(doctor blade)를 이용하여 그린시트(green sheet)을 성형하였다. 그린시트를 1.2 mm 두께로 적층, 압착한 후 직경 10mm의 금형을 이용하여 절단하여 유전 특성을 측정하기 위한 시편을 제작하였다. Ni 전극을 도포한 후 적층 칩 세라믹 커패시터와 동일한 소성조건으로 하였다. 적층 세라믹 커패시터 제작은 크기 1.6(길이) × 0.8(폭) × 0.8(높이)mm, 용량 1[μF]를 기준으로 하여 그린시트를 제작하였으며 그린시트의 두께는 8μm로 하였다. 그린시트 위에 Ni 전극을 프린팅 한 후 적층, 압착, 절단하여 그린 칩(green chip)을 제작하였다. 이때, 그린 칩의 층수는 내부 85층 외부 상/하부 8/9층으로 설계하였다. 그린 칩을 260℃에서 28시간 바인더 탈지 후 그림 1의 소결 조건으로 소결하였다. 소성중 산소분압은 N₂-H₂-H₂O를 이용하여 10⁻¹¹ MPa로 하고 소결온도는 1245 ~ 1290℃범위에서 행하였으며 재산화는 1000℃에서 10⁷ MPa로 하였다. 소성 칩(sintered chip)을 얻 마한 후, Cu 전극을 이용하여 외부전극을 형성하였으며 800℃에서 외부전극을 소결하였다. 외부전극을 형성 한 후, 제품의 납땜성 향상을 위하여 바렐을 이용한 전기도금으로 Ni 2~5 μm, Sn 3~5 μm 두께로 도금하였다. 유전율, 유전 손실, 온도 특성은 1 KHz, 1 V_{rms}를 인가한 후, HP4192A로 측정하였으며 시편의 절연저항은 High Resistance Meter (HP 4339B, Hewlett-Packard, USA)를 사용하여 100[V]의 전압을 인가하여 측정하였다.

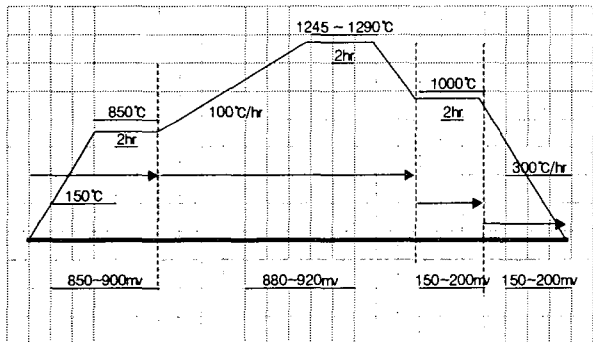


그림 1. 소성 조건.
Fig. 1. The pattern of sintering .

3. 결과 및 고찰

그림 2는 A/B mol비 m = 1,006, 1,009, 1,012에 따른 XRD 결과로 소성온도는 1260℃이다. 그림에서 보듯이 shift로 첨가한 Zr가 Ti 격자로 완전히 치환되지 못해 일부가 이차상으로 존재함을 볼 수 있다. 이와같은 결과는 A/B mol비가 1보다 클 때, barium orthotitanate가 2차상으로 존재한다는 결과와 유사하다.[3] mol 비 m의 증가에 따라 결정 피크가 왼쪽 방향으로 변화됨을 볼 수 있으며, 이와같은 결과는 mol비에 의해 결정격자가 변화됨을 보여주고 있다.

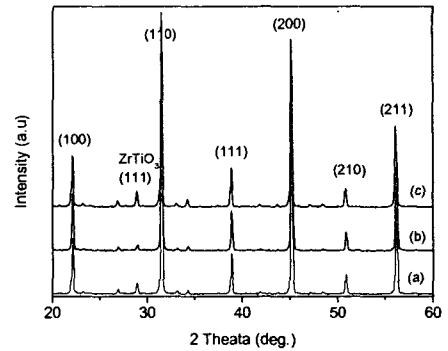


그림 2. A/B mol 비에 따른 XRD
(a) m=1.006 (b) m=1.009 (c) m=1.012
Fig. 2. XRD as a function of m ratio of A/B.
(a) m=1.006 (b) m=1.009 (c) m=1.012

그림 3은 A/B mol비 m = 1,008, 1,009, 1,012 및 소결 온도에 따른 25℃에서의 유전율 변화로서 m이 증가할수록 유전율이 13,500에서 11,800으로 감소하고 소결온도가 증가함에 따라 유전율이 증가함을 볼 수 있다. m변화에 따른 유전율 변화는 A/B비에 따라 격자 뒤틀림에 발생하여 큐리 온도가 감소하여 나타나는 결과로 예상된다. 소결온도에 의한 영향은 일반적으로 강유전체의 경우, 결정립의 크기가 증가하면 유전율이 증가하는 결과와 유사한 특성을 보이고 있으며 그림 3의 소결 온도에 따른 미세 구조에서도 확인 할 수 있다.

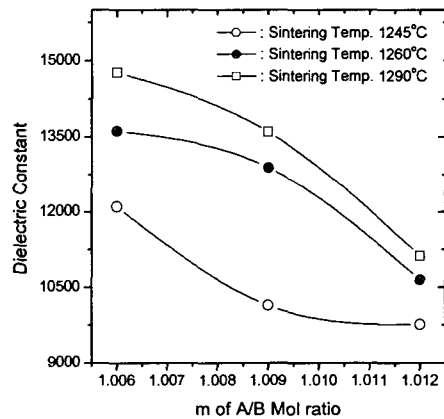
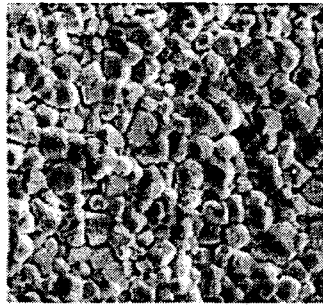
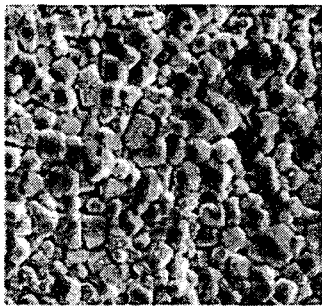


그림 3. A/B mol 비 및 소결 온도에 따른 유전율
Fig. 3. Dielectric constant as a function of sintering temperature and m ratio of A/B.

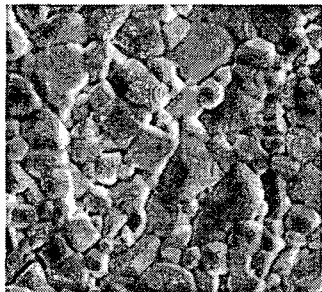
그림 4는 m=1.009 조성의 소결온도에 따른 미세 구조로서 1245℃에서는 1μm 크기의 결정립이 대부분을 차지하며 1260℃에서 결정립의 크기가 2~3μm를 나타낸다. 특히, 1290℃의 경우에는 과소결에 의한 비정상입자 성장이 나타남을 볼 수 있으며 대부분의 결정립의 크기가 3~6μm로 성장함을 볼 수 있다. 일반적으로 BaTiO₃계 세라믹을 액상형성 온도이상에서 소결하는 경우, 모상 결정립에서는 입성장이 억제되나 그 이상의 영역에서는 모상의 입계이동이 선택적으로 증가하여 비정상입자 성장이 일어난다는 보고와 유사함을 볼 수 있다. [5]



(a)



(b)



(c)

그림 4. 소결 온도에 따른 미세구조
 (a) 1245°C (b) 1260°C (c) 1290°C
 Fig. 4. Microstructure as a function of sintering temperature.
 (a) 1245°C (b) 1260°C (c) 1290°C

그림 5는 1260°C에서 소결한 시편의 측정온도 및 m 변화에 따른 유전손실로서 측정온도 및 m이 증가함에 따라 감소하였다. 특히, m=1.009이상 부터는 25°C에서 2.5% 이하의 값을 가지는 것을 볼 수 있다. 이와 같은 결과는 고용량 적층 칩 커패시터 제작시, m 변화에 따른 유전율과 유전손실을 고려하여 조성을 선택하면 고유전율이면서 유전손실 특성을 만족하는 조성을 얻을 수 있음을 보여주고 있으며 측정온도에 따른 손실의 변화율은 기존의 연구 결과와 유사함을 볼 수 있다. [6]

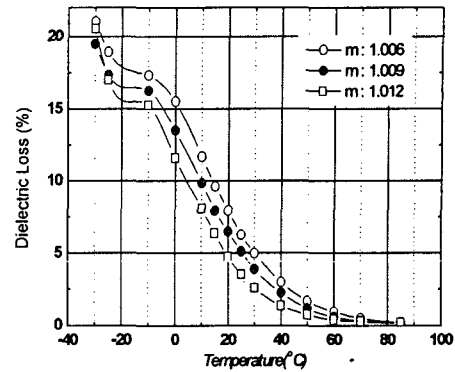


그림 5. m 및 측정온도에 따른 유전손실
 Fig. 5. Dielectric loss as a function of m ratio and measured temperature.

그림 6은 1260°C에서 소결한 시편의 m 변화에 따른 용량의 변화율로서 -30°C ~ 85°C에서 용량 변화율이 +22 ~ -82%이내의 Y5V 특성(EIA 규격)을 만족시킴을 볼 수 있으며 m의 증가에 따라 큐리점이 (-)방향으로 이동하였다. m 증가에 따른 큐리점의 변화는 Ca 이온의 일부가 B-site 치환함에 따라 나타나는 영향으로 $(Ba_{0.93}Ca_{0.07})_m(Ti_{0.82}Zr_{0.18})O_3$ 조성과 유사한 $Ba_{0.9}Sr_{0.08}Ti_{1-y}Ca_yO_{3-y}$ 조성에서 B-site Ca 첨가량에 따라 Ca mol%당 20°C의 큐리점이 감소하였다는 결과와 유사함을 볼 수 있다. [4] 이와같은 결과는 큐리점의 감소가 Ca의 B-site 치환에 따른 현상으로 2가 이온이 Ti^{4+} 이온을 치환하는 경우 전하 보상을 위한 산소공공의 생성과 강유전체 도메인벽에 의한 격자 수축이 일어나 큐리점이 감소한다는 보고와 유사한 결과를 얻었다. [7]

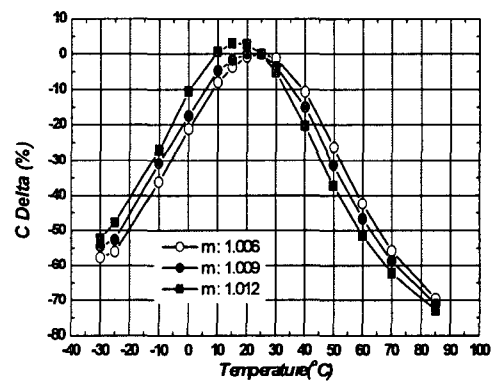


그림 6. m 및 측정온도에 따른 용량 변화율
 Fig. 6 Capacitance change ratio as a function of m ratio and measured temperature.

이상의 결과로부터 유전율 및 유전손실을 고려하여 m = 1.009 조성을 선정 한 후 1.6(길이) × 0.8 (폭) × 0.8 (높이)mm, 용량 1[μF]의 적층 칩 커패시터를 제작하였다. 적층

칩 커패시터 제작 결과 용량 1.13 [μF], 손실 5.2%로 MLCC 규격에 만족하는 결과를 얻었다. 그림 7은 1255 $^{\circ}\text{C}$ 에서 소결한 제품의 내부 전극간에 미세구조로서 내부전극간 두께는 6 μm 이고 결정립의 크기는 2~3 μm 로 균일한 분포를 보이고 있음을 볼 수 있다. 고신뢰성 MLCC를 제작하기 위해서는 일반적으로 단위 두께당 결정립이 많으면서 균일한 입성장을 나타내어야 하며, 그림 7의 미세 구조 결과 양호한 결과를 보여주고 있다

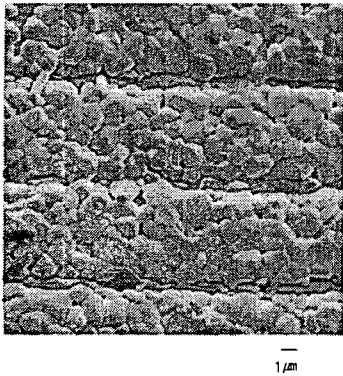


그림 7. 적층 칩 커패시터의 내부 미세구조
Fig. 7 Internal microstructure of multilayer chip capacitor.

그림 8은 소성온도에 따른 절연저항특성을 와이블 곡선으로 표현한 것이고, 소성온도에 따라 절연저항 수준이 다르게 나타나고 있다. 소성온도가 1255 ~ 1265 $^{\circ}\text{C}$ 에서는 절연저항의 절대값은 차이를 나타내지만, 균일성을 보이는 반면 1275 $^{\circ}\text{C}$ 인 경우, 절연저항의 절대값이 100 [$\text{G}\Omega$]이하인 값이 있을 뿐만 아니라 산포도 증가하여 적층 칩 커패시터를 생산시, 불량율 및 신뢰성을 저하시킬 수 있다. 일반적으로 절연저항이 낮거나 산포가 큰 경우, 절연 열화에 의한 제품의 수명시간이 단축되며, 이에 따른 신뢰성이 저하된다는 연구 결과가 있다. [7] 따라서 본 논문의 연구 결과 최적화된 소성온도를 선정하는 것이 고신뢰성 적층 칩 커패시터 제작에서 중요한 인자임을 확인 할 수 있었다.

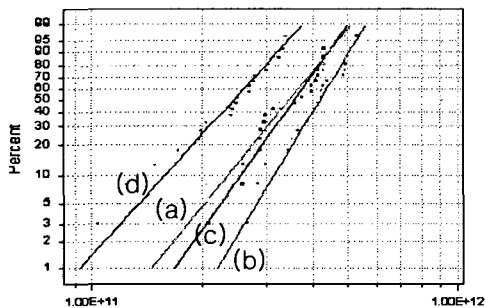


그림 8. 적층 칩 커패시터의 소성온도에 따른 절연저항 곡선
1245 $^{\circ}\text{C}$ (b) 1255 $^{\circ}\text{C}$ (c) 1265 $^{\circ}\text{C}$ (d) 1275 $^{\circ}\text{C}$

Fig. 8. Insulation resistance as a function of sintering temperature
1245 $^{\circ}\text{C}$ (b) 1255 $^{\circ}\text{C}$ (c) 1265 $^{\circ}\text{C}$

4. 결 론

고 신뢰성 특성을 가지는 Y5V용 내환원성 원료를 얻기 위하여 $(\text{Ba}_{0.93}\text{Ca}_{0.07})_m(\text{Ti}_{0.82}\text{Zr}_{0.18})_3$ 조성식에서 $m = 1.006, 1.009, 1.012$ 를 기본 조성으로 하여 실험한 결과, 다음과 같은 결론을 얻었다.

- 1) m에 따라 유전율은 9,500 ~ 14,500을 얻을 수 있었으며 온도특성의 경우 Y5V 규격을 만족하였다.
- 2) m의 증가에 따라 유전율은 감소하는 경향을 보이거나 유전손실은 감소하는 특성을 보인다.
- 3) $m = 1.009$ 조성을 적용하여 적층 칩 커패시터를 제작한 결과, 소성온도 1255 $^{\circ}\text{C}$ 에서 용량 1.18 [μF], 손실 5.5%로서 규격에 만족하는 특성을 얻을 수 있었다.
- 4) 적층 칩 커패시터 제작시, 소성온도에 따라 절연저항 값의 절대치가 변화하며, 특히 소성온도가 높은 경우, 절연저항 및 신뢰성 저하가 예상된다.

참 고 문 헌

- [1] Hiroshi Kishi, Youichi Mizuno and Hirokazu Chazono, "Base-Metal Electrode-Multilayer Ceramic Capacitor: Past, Present and Future Perspectives," Jpn.J.Appl.Pys.Vol.42, pp. 1-15, 2003.
- [2] I. Burn and G.H.Maher, "High Resistivity BaTiO₃ Ceramics Sintered in CO-CO₂ Atmospheres," J. Mater. Sci., 10, pp. 633-640, 1975.
- [3] Y.H. Hu, M.P. Harmer and D.M. Smyth, "Solubility of BaO in BaTiO₃," J. Am. Ceram. Soc., 68[7], pp. 372-376, 1985.
- [4] Tsai-Fa Lin, Chen-Ti, and I-Nan "Influence of CaO addition on the electrical properties of BaTiO₃ ceramics," J. Appl. Phys., 67[2], pp. 1042-1047, 1990.
- [5] H.Y.Lee, J.S Kim, N.M.Hwang, and D.Y.Kim, "Effect of Sintering Temperature on the Secondary Abnormal Grain Growth of BaTiO₃," J.Eur.Ceram.Soc.,17, pp. 731-137, 2000.
- [6] P.Hansen, D.Hennings, and H. Schreine-macher, "Dielectric Properties of Acceptor Doped (Ba,Ca)(Ti,Zr)O₃ Ceramics," J. Electro-ceramic, 2, pp. 85-94, 1998.
- [7] Hirokazu Chazono and Hiroshi Kishi, "dc-Electrical Degradation of the BT-Based Materials for Multilayer Ceramic Capacitor with Ni internal Electrode: Impedance Analysis and Microstructure," Jpn. J. Appl. Phys. Vol.40, pp. 5624-5629, 2001.

저 자 소 개



윤 중 락 (尹 重 洛)

1992년 명지대학교 전기공학과(공학사).
1999년 명지대학교 전기공학과(공학박사).
1996년~현재 삼화콘텐서공업(주) 연구소
팀장

Tel : 031-330-5765
Fax : 031-330-6441
E-mail : yoonjungrag@yahoo.co.kr



이 헌 용 (李 憲 用)

1975년 고려대학교 전기공학과(공학사).
1977년 고려대학교 전기공학과(공학석사).
1983년 고려대학교 전기공학과(공학박사).
1992년 9월~1994년 2월 영국 sheffield 대
학교, 연구교수 .

1979년~현재 명지대학교 전기공학과 교수
Tel : 031-330-6360
E-mail : hylee@mju.ac.kr



여 동 훈 (余 東 勳)

1992년 성균관대학교 전기공학과(공학사).
1996년 성균관대학교 전기공학과(공학박사).
1998년 3월~2000년 2월 펜실베니아주립대
학교 post-doc.

2002년 3월 ~ 2004년 1월 (주)한원마이크
로웨이브 연구소장
20004년 1월 ~ 현재 요업(세라믹)기술원
선임연구원
Tel : 02-3282-2433
Fax : 02-3282-2410
E-mail : ydh7@kicet.re.kr



이 석 원 (李 錫 原)

1979년 서울대학교 전기공학과(공학사).
1981년 서울대학교 전기공학과(공학석사).
1988년 서울대학교 전기공학과(공학박사).
1990년 8월~현재 호서대학교 정보제어공
학과 교수

Tel : 041-540-5672
Fax : 041-563-0135
E-mail : swlee@office.hoseo.ac.kr