

# 클락 유지 기능을 가지는 위상 고정 루프를 사용한 40 Gb/s 클락 복원 모듈 설계 및 구현

## Design and Implementation of a 40 Gb/s Clock Recovery Module Using a Phase-Locked Loop with the Clock-Hold Function

박 현 · 우동식 · 김진중\* · 임상규\*\* · 김강욱

Hyun Park · Dong-Sik Woo · Jin-Jung Kim\* · Sang-Kyu Lim\*\* · Kang-Wook Kim

### 요 약

클락 유지 기능을 가지는 저가의 고성능 40 Gb/s 클락 복원기를 위상 고정 루프를 적용하여 설계 및 제작하였다. 클락 복원기는 클락 추출기, RF 믹서, 주파수 판별기, 위상 변환기, 클락 유지 회로로 구성되어 있다. 추출된 40 GHz 클락은 10 GHz 유전체 공진 발진기와 위상이 동기된다. 위상 고정 루프를 사용한 클락 복원기는 기존의 유전체 공진 필터를 사용한 개방형 클락 복원기에 비해 클락의 안정성과 지터 특성이 크게 향상되었다. 측정된 지터의 실효치는 230 fs였다. 또한 입력 신호가 끊어질 경우, 유지 회로에 의해 연속적인 클락 유지가 가능하였다.

### Abstract

A low-cost, high-performance 40 Gb/s clock recovery module using a phase-locked loop(PLL) for a 40 Gb/s optical receiver with the clock-hold function has been designed and implemented. It consists of a clock extractor circuit, an RF mixer and a frequency discriminator for phase/frequency detection, a VC-DRO, a phase shifter, and a clock-hold circuit. The extracted 40 GHz clock is synchronized with a stable 10 GHz VC-DRO. The clock stability and jitter characteristics of the implemented PLL-based clock recovery module are significantly improved as compared with those of the conventional open-loop type clock recovery module with a DR filter. The measured peak-to-peak RMS jitter is about 230 fs. When an input signal is dropped, the 40 GHz clock is maintained continuously by the hold circuit.

Key words : Clock and Data Recovery(CDR), 40 Gb/s, Phase-Locked Loop(PLL), Acquisition, Hold Circuit

### I. 서 론

최근 파장 분할 다중화(WDM: Wavelength Division Multiplex) 기술의 성장으로 광 전송망의 고속화, 광역화가 활발하게 이루어지고 있다. 이에 따라 광 시스템에는 이러한 많은 양의 데이터를 송수신할 수 있는 고속, 광대역 특성이 요구된다. 2.5 Gb/s와 10 Gb/s 신호를 사용하는 시스템은 현재 광 전송망에

광범위하게 사용되고 있고, 최근 광대역 데이터 전송의 필요가 증가함에 따라 40 Gb/s 광전송 시스템의 수요가 증가하고 있다.

클락 데이터 복원기(CDR: Clock and Data Recovery)는 광수신 시스템의 클락과 데이터를 복원하는 핵심 소자이다. 클락 복원기(CRC: Clock Recovery Circuit)는 수신된 신호로부터 클락을 복원해 내는 기능을 가지며, 주로 고속 디지털 회로(EX-OR 혹은

「이 연구는 MIC 선도기반기술개발사업 중 “40 Gb/s 시분할 다중 광 전송 기술 개발” 과제의 일환으로 수행되었습니다.」

경북대학교 전자공학과(School of Electrical Engineering and Computer Science, Kyungpook National University)

\*(주)세트랙아이(Satrec Initiative)

\*\*한국전자통신연구원 광대역통합망연구단(Broadband Convergence Network Research Division, ETRI)

· 논문 번호 : 20051105-14S

· 수정완료일자 : 2006년 1월 9일

F/F)로 구현된다. CRC를 거쳐 복원된 클락은 높은 안정성(stability)과 낮은 지터(jitter) 특성을 가져야 한다<sup>[1]</sup>.

본 논문에서는 상용 MMIC와 패키지된 소자들을 사용하여 위상 고정 루프를 이용한 40 Gb/s 클락 복원 모듈을 설계·제작하는 과정을 보여주고 있다. 제작된 클락 복원 모듈은 고가의 고속 디지털 블록들을 대체하였고, 추출된 40 GHz 클락을 체배된(x4) 10 GHz 전압 제어 유전체 공진 발진기(VC-DRO)에 위상이 동기되도록 하였다. 위상 동기 루프(PLL: Phase Locked Loop)를 이용함으로써 기존의 협대역 유전체 공진 필터를 사용한 개방형 시스템에 비해 클락이 안정적이고 낮은 지터 특성을 갖게 하는 클락 복원 모듈을 구성하였다<sup>[2]~[4]</sup>. 또한 입력 신호가 끊어질 경우, 클락을 연속적으로 유지하기 위해 클락 유지 회로를 추가하여 성능을 향상시켰다.

## II. 40 Gb/s 클락-데이터 복원 모듈 설계 및 제작

클락-데이터 복원기(CDR: Clock and Data Recovery)는 광 검출기로 수신된 전기적 신호로부터 클락을 추출하고 추출된 클락으로부터 데이터를 재생하는 회로이다. 그림 1은 일반적으로 광수신 모듈에 사용되는 개방형 구조의 클락-데이터 복원기의 블록도이다. 40 Gb/s NRZ(Non Return to Zero) 입력 신호는 EX-OR을 통해 클락이 추출되고, 증폭기와 DR(Dielectric Resonator) 필터를 통하여 원치 않는 주파수의 신호를 제거하고, 증폭한 후 위상을 변환하여 클락으로 사용한다. 복원된 클락은 결정 회로의 클락으로 사용되어 데이터를 재생하게 된다. 일반적으로 클락과 데이터 추출부에는 고가의 고속 디지털 모듈

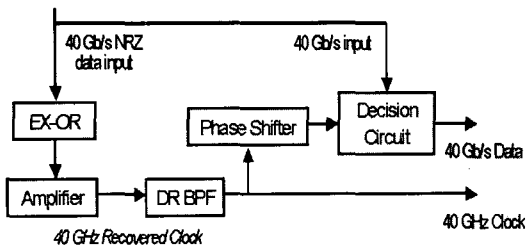


그림 1. 일반적인 개방형 CDR의 블록도  
Fig. 1. Block diagram of typical CDR.

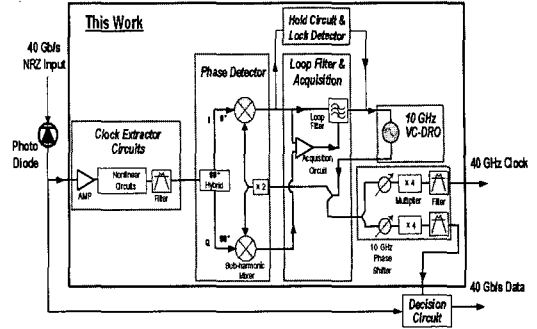


그림 2. 제안된 위상 고정 루프형 CDR의 블록도  
Fig. 2. Block diagram of the phase-locked loop CDR.

이 사용되어 비싸고, 개별적인 모듈들의 결합으로 이루어져 크기가 큰 단점이 있다. 반면 그림 2는 위상 고정 루프를 이용한 클락-데이터 복원기의 블록도이다.

본 논문에서 제안한 이 구조는 클락 추출기와 위상 고정 루프, 위상 변환기, 클락 유지 회로 등을 단일 모듈에 집적화 하여 크기를 줄였고, 상용 패키지 칩으로 설계하여 가격도 저렴하게 하였다. 또한 10 GHz VC-DRO를 추출된 40 GHz 클락의 위상과 동기화 시켜 클락을 복원함으로써 안정성을 높이고, 지터 특성을 크게 개선한 구조이다<sup>[2]~[4]</sup>.

### 2-1 클락 추출기(Clock Extractor)

클락 추출기는 전치 증폭기, 비선형 회로(non-linear circuit), 대역 통과 필터 및 클락 증폭기로 구성된다<sup>[3]~[5]</sup>. 포토 다이오드(photo-diode)를 통해 변환된 전기 신호는 비선형 회로를 구동시키기엔 전력이 너무 작으므로 전치 증폭기를 사용하여 신호를 증폭시킨다. 전치 증폭기는 20 GHz의 성분을 주로 가진 40 Gb/s의 신호를 증폭시켜서 비선형 회로에 공급하는 기능을 한다. 비선형 회로는 두 개의 쇼트키 다이오드와 90° 하이브리드 결합기로 구성되며, 전파 정류기(full-wave rectifier)의 역할로서 40 Gb/s NRZ 신호로부터 40 GHz의 클락 성분을 추출한다. 불요 주파수를 제거하기 위하여 사용된 40 GHz 대역 통과 필터는 탭 선로 여파기(tapped-line filter)<sup>[6]</sup> 형태로 설계하여 필터의 첫째 단과 마지막단의 결합 선로의 간격을 넓혀 제작하기에 용이하게 하였다. 제작된 필터는 중심 주파수가 40 GHz이고 대역폭이 약 3

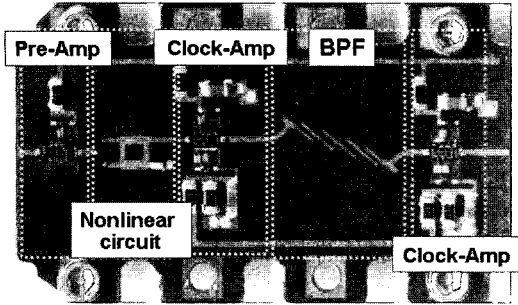


그림 3. 제작된 40 GHz 클락 복원기  
Fig. 3. Implemented 40 GHz clock recovery.

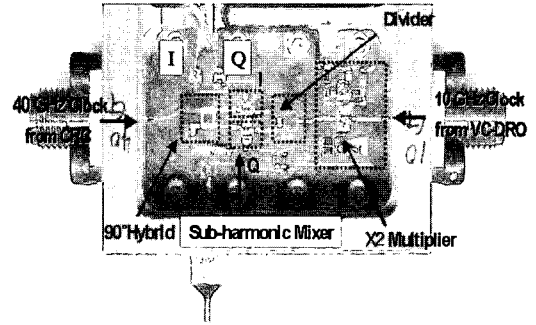
GHz이며, 3.7 dB의 삽입 손실과 10 dB 이하의 반사 손실을 가졌다. 입력 신호의 전력 변화에도 항상 충분한 전력을 위상 고정 루프와 결정 회로에 공급하기 위하여 40 GHz에서 19 dB의 이득을 갖는 MMIC 증폭기 두 개를 클락 증폭기로 사용하였다.

그림 3은 제작된 40 GHz 클락 추출기이다. 사용한 기판은 유전율이 2.2이고 두께가 5 mil인 Rogers 사의 RT/Duroid<sup>®</sup> 5880이며, 회로는 LPKF C-60 밀링 머신으로 직접 제작을 하였다. 제작된 크기는 1.2×0.7 inch이며, -16 dBm부터 0 dBm의 20 GHz 신호의 입력에 대해 8 dBm의 일정한 40 GHz 신호를 얻었다.

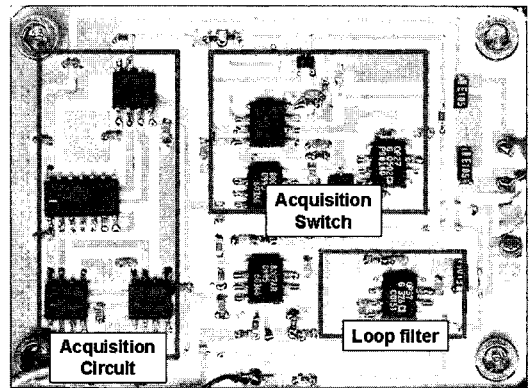
### 2-2 위상 고정 루프(Phase-Locked Loop)

복원된 클락을 안정화 시키고, 지터 특성을 개선하기 위하여 위상 고정 루프를 사용하였다. 그림 4(a)는 위상 비교기(phase detector) 역할을 하는 RF 믹서 회로이다. 추출된 40 GHz 클락은 90° 하이브리드를 통해 90° 위상차를 가지는 신호로 나누어져 두 개의 서브 하모닉 믹서(Sub-harmonic mixer)로 각각 입력된다. 입력된 신호는 체배된(×2) VC-DRO 신호인 20 GHz 신호와 혼합되어 I와 Q의 두 채널로 나누어진 IF 신호를 각각 출력하게 된다<sup>[4]</sup>. 그림 4(b)는 제작된 주파수 판별기이며 입력되는 40 GHz 클락과 20 GHz 신호를 동기시키는 주파수 비교기(frequency detector)의 기능을 가진다.

일반적으로 VCO의 주파수 가변 범위는 위상 비교기의 동기 범위보다 넓어서, VCO가 위상 비교기의 동기 범위를 벗어난 곳에서 발진하게 되는 경우



(a) RF 믹서(위상비교기)  
(a) RF mixer(phase detector)



(b) 주파수 판별기  
(b) Frequency discriminator

그림 4. RF 믹서 및 주파수 판별기  
Fig. 4. RF mixer and frequency discriminator.

가 많다. 이 경우 VCO의 출력 주파수를 위상 비교기의 동기 범위까지 이끌어 주는 주파수 획득 회로가 필요하다. 주파수 획득 회로는 I/Q 신호간의 위상차를 D-F/F으로 구분되게 함으로써 제작하였다. 한편 위상 및 주파수 판별기 출력은 완전한 DC가 아닌 고주파 리플 성분을 포함하고 있다. 이 전압을 그대로 발진기 제어 전압으로 사용할 경우 잡음 변조에 의하여 위상 잡음이 저하된다. 루프 필터는 이러한 고주파 성분을 제거하고 동기 유지 범위 및 과도 응답 특성을 결정하게 된다.

설계한 루프 필터는 그림 4(b)의 주파수 판별기에 포함되어 있다. 위상비교기 이득은 9.4 mV이고, 발진기의 이득은 약 0.7 MHz/V이며, ζ(damping ratio)가 0.7인 능동형 2차 루프 필터를 설계하여 R과 C값을 얻어 루프 필터를 구현하였다.

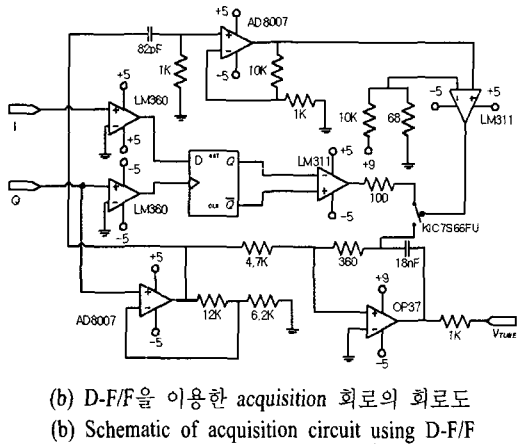
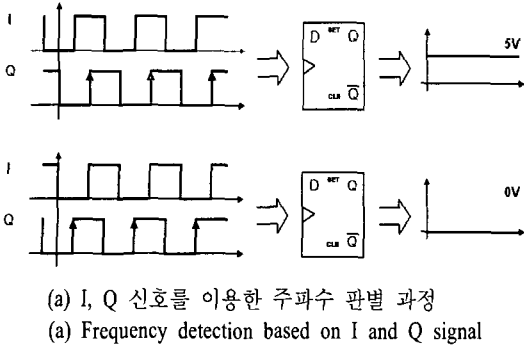


그림 5. D-F/F을 이용한 acquisition 회로  
Fig. 5. Acquisition circuit using D-F/F.

### 2-3 D-F/F을 이용한 주파수 획득 회로

추출된 클락 신호에 위상을 동기하기 위하여 전압 제어 발진기의 주파수가 높아져야 할 경우와 낮아져야 할 경우, I와 Q 신호간의 90도 위상차는 극성이 서로 달라지게 된다. D-F/F을 이용하면 이 두 경우를 구분할 수 있는데, 이를 그림 5(a)에서 보여주고 있다. 주파수 획득회로는 루프 필터의 커패시터를 충전/방전시키면서 주파수 획득 과정을 수행한다. 그림 5(b)는 제작된 주파수 획득 회로의 회로도이다.

### 2-4 10 GHz VC-DRO 및 위상 변환기

추출된 클락을 동기화 하는데 필요한 안정한 클락은 10 GHz VC-DRO와 체배기를 통해 얻었다. 제작된 발진기는 발진 주파수 9.953 GHz에서 +11 dBm의 출력 전력을 가지고, 제어 전압을 0~9 V로 변화시킬 때 약 6.7 MHz 정도 주파수의 가변 범위를 가

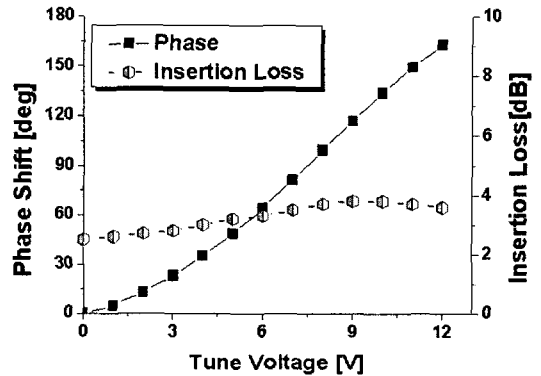
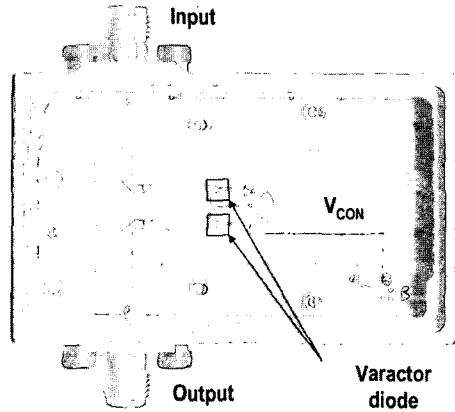


그림 6. 제작된 10 GHz 위상 변환기  
Fig. 6. Implemented 10 GHz phase shifter.

졌다. 위상 잡음 특성은 10 kHz 옥셋에서 -92 dBc/Hz이고 100 kHz 옥셋 주파수에서 -117 dBc/Hz이었다.

위상 변환기(phase shifter)는 정확한 데이터의 복원을 위해서 클락의 위상을 변화시키는 회로이다. 40 GHz에서 아날로그 형태로 360°가 변화하는 위상 변환기가 필요하므로, 10 GHz에서 90° 이상 변화하는 위상 변환기를 설계한 다음 주파수 체배기(x4)를 이용하여 구현하였다. 구현된 위상변환기는 제어 전압을 0에서 12 V까지 변화시킬 때 4 dB 이하의 삽입 손실을 가지며, 위상 변화량은 10 GHz에서 13°/V를 얻었다. 따라서 이를 x4 체배한 40 GHz에서는 52°/V의 위상 변화값을 얻었다. 그림 6은 제작된 10 GHz 위상 변환기와 위상 변화 그래프를 나타내었다.

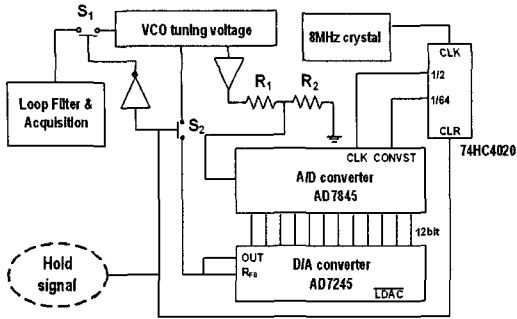


그림 7. 유지 회로의 회로도  
Fig. 7. Schematic of hold circuit.

### 2-5 클락 유지 회로(Clock-Hold Circuit)

디지털 신호의 입력이 순간적으로 1이나 0으로 유지되는 경우, 클락 추출기는 클락 신호를 얻지 못하게 된다. 혹은 순간적으로 입력 신호가 부재하게 되는 경우에도 CDR에서 연속적인 클락을 유지하기 위하여 클락 유지 회로를 설계·제작하였다. 유지 회로는 VC-DRO의 제어 전압을 항상 모니터링 하여 기억하고 있다가 신호의 입력이 끊어질 경우 모니터링 하던 전압을 VCO에 인가하여 연속적인 클락을 재생하도록 하였다. VC-DRO의 제어 전압은 12 bit A/D 컨버터에 의해 디지털 데이터로 변화되고 D/A 컨버터에 의해 복원된다. 즉, 입력 신호의 부재 시 D/A 컨버터의 LATCH 단자에 신호를 인가하여 클락을 유지하게 된다. 추출되는 클락의 유무를 판별하는 신호는 위상 비교기의 출력 IF 신호를 전파 정류하여 얻는다.

### III. 40 Gb/s 클락 복원 모듈 제작

제작한 클락 추출기와 RF 믹서, 주파수 판별기, 유지 회로, VC-DRO, 위상 변환기와 주파수 체배기, 증폭기 및 전원부를 각각 제작하여 하나의 모듈로서 집적하였다. 전체 모듈의 크기는 10×10 cm 정도로 소형이다. 그림 8은 위상 고정 루프를 이용하여 구현한 40 Gb/s 클락 복원 회로의 모듈의 실물 사진이다. 추출된 클락 신호는 체배된 10 GHz VC-DRO 신호와 동기되었다. 루프 대역폭 내에서 위상 동기 회로는 개방형 클락 복원 회로에서의 DR 필터보다 훨씬 좁은 협대역 필터의 기능을 하게 된다. 클락 복원의

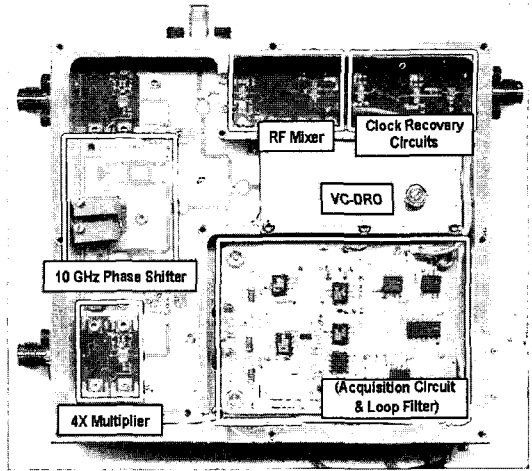


그림 8. 제작된 40 Gb/s PLL 클락 복원 모듈  
Fig. 8. Implemented 40 Gb/s PLL clock recovery module.

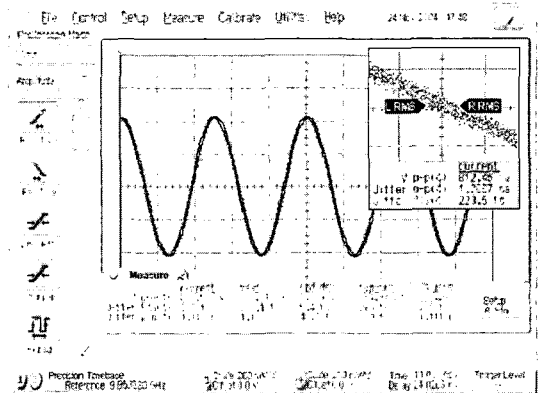


그림 9. 제작된 40 Gb/s 클락 복원 모듈의 출력 파형  
Fig. 9. Recovered 40 Gb/s clock-signal using the PLL CR module.

범위는 38.813 GHz를 중심으로 10 GHz VC-DRO의 가변 주파수의 4배에 해당하는 30 MHz 정도이다. 그림 9는 복원된 클락의 시간축 파형이다. 클락 추출기만의 출력 신호나 DR 필터를 추가한 개방형의 경우에 비해서 위상 고정 루프를 이용할 경우 현격한 지터 특성의 향상을 확인할 수 있었다. 즉, 측정된 지터 값의 실효치는 DR 필터를 이용하였을 경우 약 640 fs이었는데 반해, 위상 고정 루프를 이용할 경우는 약 230 fs로서 크게 개선되었다. 또한 약 30분간의 BER 테스트 결과 전송의 에러가 없음을 확인하였다.

### IV. 결 론

본 논문에서는 저가이면서 고성능이고, 클락 유지 기능을 가지는 새로운 형태의 클락 복원 회로를 구현하였다. 기존의 개방형 구조를 개선하여 위상 고정 루프를 이용하였고, 상용 MMIC와 패키징된 소자를 이용하여 고가의 고속 디지털 플립-플롭의 기능을 대신하는 클락 복원기를 제작하여 가격과 크기를 줄였다. 40 Gb/s 신호로부터 추출된 클락 신호는 체배된 10 GHz VC-DRO 신호와 동기되어 안정적인 40 GHz 클락 신호를 얻을 수 있었으며, 측정 결과 기존의 DR 필터를 이용한 개방형 구조에 비해 지터의 특성이 두드러지게 개선됨을 확인하였다. 또한 클락 유지회로를 이용하여 입력 신호의 유무를 판별하여, 신호의 부재 시에도 클락이 유지되도록 하였다. 제작된 클락 복원기는 40 Gb/s의 저가의 상용 광전송망 구성에 사용될 수 있을 것이다.

### 참 고 문 헌

[1] Jae Ho Song, Tea Whan Yoo, Jeong Hoon Ko, Ch-

ang Soo Park, and Jae Keun Kim, "Design and characterization of a 10 Gb/s clock and data recovery circuit implemented with phase-locked loop", *ETRI Journal*, vol. 21, no. 3, Sep. 1999.

[2] Samo Vehovc, "Clock recovery at gigabit-per-second data rates", *Microwave Journal*, Jul. 2000.

[3] Matjaz Vidmar, "K-band quadrature mixer with plastic-packaged diodes", *Microwave Journal*, Jan. 2000.

[4] 박찬호, 우동식, 김강욱, "40 Gb/s 광통신 수신기용 클락 복원 회로 설계", *한국전자과학회논문지*, 15(2), pp. 134-139, 2004년 2월.

[5] Robert R. Cordell, B. Forney, Charles N. Dunn, and William G. Garrentt, "A 50 MHz phase-and frequency-locked loop", *IEEE Journal of Solid-State Circuits*, vol. SC-14, no. 6, Dec. 1979.

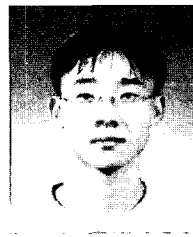
[6] Kang Wook Kim et al., "A new design procedure tapped coupled-line filter", *IEEE AP-s*, vol. 3, Jun. 2004.

### 박 현



2005년 2월: 경북대학교 전자전기 컴퓨터학과 (공학사)  
2005년 3월~현재: 경북대학교 전자공학과 석사과정  
[주 관심분야] 초고주파 회로 설계 및 시스템 설계

### 우 동 식



2002년 2월: 경북대학교 전자전기 컴퓨터학과 (공학사)  
2004년 2월: 경북대학교 전자공학과 (공학석사)  
2004년 3월~현재: 경북대학교 전자공학과 박사과정  
[주 관심분야] 마이크로파 및 밀리미터파 회로 설계 및 패키징, 밀리미터파 이미징 시스템

김진중



1996년 2월: 한밭대학교 전자공학과 (공학사)  
 1987년~1991년: 정진전자  
 1991년~1994년: (주)오트론  
 1995년~2000년: 한국과학기술원 인공위성연구센터 연구원(우리별 3호, 과학위성 1호)

2000년~현재: (주)셋트레이 통신시스템 팀장, 경북대학교 전자전기컴퓨터학부 겸임부교수  
 [주 관심분야] 계측기, 고성능 주파수합성기

김강욱

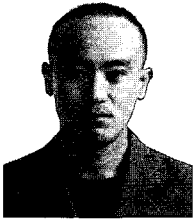


1985년 2월: 서울대학교 전기공학과 (공학사)  
 1987년 2월: 서울대학교 전기공학과 (공학석사)  
 1996년 7월: University of California, Los Angeles. 전자공학과 (공학박사)

1987년~1990년: 한국전기연구소 연구원  
 1996년~1998년: University of California Los Angeles. post-doctor 연구원  
 1998년~1999년: P-Com, Inc. 마이크로파 설계 연구원  
 1999년~2001년: Narda DBS Microwave, RF 설계 연구원  
 2001년 9월~현재: 경북대학교 전자전기컴퓨터학부 조교수

[주 관심분야] 마이크로파 통신시스템 및 서브시스템, 마이크로파 및 밀리미터파 부품 및 패키징, 무선통신용 안테나, 전자기 상호작용 및 전자기 수치해석

임상규



1995년 2월: 서강대학교 물리학과 (이학사)  
 1997년 2월: 서강대학교 전자공학과 (공학석사)  
 2001년 8월: 서강대학교 전자공학과 (공학박사)  
 2001년 7월~현재: 한국전자통신연구원 선임연구원

[주 관심분야] 마이크로파 및 밀리미터파 회로 설계 및 패키징, 초고속 광통신 송수신 시스템