

고조파 제거 특성을 갖는 DGS 형태의 CPW 저역 통과 여파기의 설계

A Design of Spurious-Reduced CPW Low-Pass Filter Based on Defected Ground Structure

노진원 · 최경 · 황희용

Jin-Won No · Kyoung Choi · Hee-Yong Hwang

요약

본 논문에서는 고조파 제거 특성을 갖는 DGS 형태의 CPW 저역 통과 여파기를 설계하였다. 서로 다른 불요 응답 특성을 갖는 2개의 저역 통과 여파기를 설계하고 결합하여 불요 응답을 -15 dB 이하로 줄일 수 있었다. 추가적으로 아령 모양의 DGS를 설계하여 여파기와 결합함으로써 -25 dB 이하의 우수한 불요 응답 제거 특성을 얻을 수 있었다. 제작된 여파기는 17.2 mm×6.8 mm의 작은 크기로, 6 GHz의 차단 주파수를 가지며, 2개의 감쇄 극을 갖는 7차의 급격한 감쇄 특성을 나타내었다. 측정된 주파수 특성 결과는 시뮬레이션 결과와 잘 일치하였다.

Abstract

In this paper, a CPW lowpass filter with the spurious-reduced characteristic is designed by using DGS(Defected Ground Structures). By cascading two lowpass filters with different harmonic characteristics the spurious is reduced below -15 dB. Additionally by combining a dumbbell shaped DGS to the filter we achieved a satisfactory spurious level of less than -25 dB to above three times cutoff frequency without any repeated passband. The fabricated LPF shows a compact size of 17.2 mm×6.8 mm, a cutoff frequency of 6 GHz, and a sharp skirt response of 7-order with two notch frequencies. The measured frequency responses agree well with simulated ones.

Key words : Spurious, Coplanar Waveguide, Defected Ground Structure, Low-Pass Filter

I. 서론

CPW(Coplanar Waveguide) 구조는 평면형 필터를 설계하는데 있어 기판의 한쪽 면에만 도체를 사용함으로써 회로를 간단히 할 수 있을 뿐 아니라, via-hole을 제거할 수 있고 능동 소자와의 연결성이 우수한 장점들을 가지고 있다. 특히 최근에 MMIC와 flip-chip과 같은 회로 제작 기술이 발달함에 따라, 실제 회로의 설계 및 구현에 전송 선로로서 CPW 구조의 응용이 증가하고 있는 추세이다. 또한 이와 더불어

어 전송 선로의 접지 면에 식각된 패턴을 갖는 DGS(Defected Ground Structure)가 제시되어 마이크로파 대역에서의 응용에 대한 연구가 활발히 진행되고 있다. DGS는 접지 면에 식각된 디펙트를 주기적으로 배열한 구조를 갖는 PBG(Photonic Band-Gap)구조와 유사하다. 주기적인 PBG 구조는 전파 지연 특성과 특정 주파수 대역에서 저지대역을 형성하는 특성을 나타낸다^{[1],[2]}. 지금까지 이러한 DGS 구조는 대부분 마이크로스트립 구조에서 응용되어 왔다. 하지만 CPW 구조는 마이크로스트립 구조에 비하여 via 없

「본 연구는 산업자원부의 지원에 의하여 기초전력연구원(R-2003-B-291) 주관으로 수행된 과제임.」
 강원대학교 전기전자공학과(Department of Electronical & Electronics Engineering, Kangwon University)
 · 논문 번호 : 20051105-05S
 · 수정완료일자 : 2006년 2월 3일

이 접지면을 사용하는 장점과 신호선과 접지면 사이의 용량성 결합을 보다 쉽게 얻을 수 있는 장점을 갖고 있기 때문에 CPW 구조에서 보다 간단하고 작은 크기의 여파기를 설계할 수 있으며, 이러한 관점에서 CPW 구조에서 여파기의 연구가 진행되고 있다^[3]. 또한 여파기를 설계함에 있어 통신 시스템에서 목적으로 하는 주파수 이외의 주파수 성분 즉, 불요 응답을 일정 수준 이하로 억압시켜야 할 필요가 있다. 대부분의 여파기는 분포정수 소자에 의하여 불요 응답이 발생하기 때문에 여파기를 설계하는데 있어 이는 주된 고려사항이다. 이를 개선하기 위하여 5개 이상의 단위 구조를 주기적으로 배열하는 연구가 있었다. 단순히 단위 구조의 배열 주기수를 늘림으로써 감쇄(skirt) 특성과 불요 응답 특성을 개선할 수 있다^[4]. 그러나 단순히 특정 간격으로 연결할 경우 통과 대역에서 반사 손실이 증가하여 특성이 악화되는 문제가 있다. 또한 결합 시 단위 구조간의 상호작용으로 기생 성분이 발생할 수 있으며, 이를 줄이기 위해 저지대역 중심 주파수의 $\lambda/4$ 길이로 결합 간격을 설정할 경우 전체적인 여파기의 크기가 커지는 단점이 있다. 또한 마이크로스트립 구조에서 급전면과 접지면에 각각 여파기와 저지대역을 갖는 구조를 설계하여 서로의 통과 대역을 차단함으로써, 광대역의 저지대역을 갖는 여파기에 대한 연구가 진행되었다^[5]. 하지만, 이러한 구조는 CPW 구조에 적용하기 힘든 단점이 있다. 따라서 본 논문에서는 불요 응답을 억제하기 위하여 참고문헌 [6]과 비슷한 개념으로, 불요 응답 특성이 서로 다른 2개의 CPW 저역 통과 단위 구조를 설계하여 결합함으로써 1차적으로 고조파 성분을 억제하였다. 일반적으로 불요 응답은 여파기의 구조에 따라 위치와 크기가 조금씩 다르게 형성되므로 결합 시 상쇄 효과를 얻을 수 있다. 이는 동일한 단위구조의 배열에 의한 감쇄보다 더욱 효과적이다. 하지만 두 여파기의 불요 응답은 위치와 크기가 서로 크게 다르지 않으므로 완벽한 제거는 쉽지 않다. 따라서 아령모양의 DGS를 설계하여 추가적으로 결합함으로써 불요 응답을 일정 수준 이하로 억제하였다.

II. CPW 저역 통과 여파기(I, II)의 설계

그림 1은 참고문헌 [7]에서 제안한 저역 통과 여파

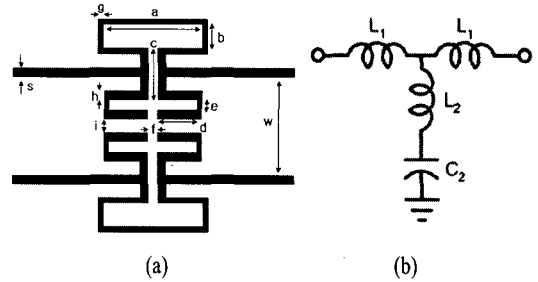


그림 1. (a) CPW 저역 통과 여파기 I, (b) 등가 회로
Fig. 1. (a) A CPW LPF I, (b) Equivalent circuit.

기 I의 구조와 등가 회로를 나타낸다. CPW 구조의 접지면과 신호 선에 슬롯을 형성함으로써 직렬 L_1 과 병렬 C_2 를 구현할 수 있다. 자세히 살펴보면 신호선의 슬롯 크기는 등가 회로의 L_1 값을 형성하며, 접지면의 슬롯의 크기는 병렬 L_2 값과 C_2 값을 형성한다^[7].

등가 회로 추출 과정은 EM 시뮬레이션 결과의 반사 손실, 차단 주파수 및 감쇄극과 일치하도록 그에 해당하는 각각의 L, C 값을 등가화하고 저역 통과 여파기 prototype의 소자 값에 근접하도록 L, C 값을 최적화하여 그 결과를 다시 CPW 구조에 반영함으로써 등가 회로 파라미터의 추출 및 여파기를 구현할 수 있다. EM 시뮬레이션 결과에 대응하는 등가 회로 L, C 파라미터는 다음의 식을 이용하여 구할 수 있다. 감쇄극과 관련된 병렬 L_2 값과 C_2 값은 식 (1)을 이용하여 구할 수 있다.

$$L_2 = \frac{1}{C_2 w_n^2}, \quad C_2 = \frac{1}{L_2 w_n^2} \quad (1)$$

여기서 w_n 은 저지대역 중심 각주파수이며, 구해진 L_2 값과 C_2 값은 임피던스 변환하여 합성함으로써 그림 2와 같은 커패시턴스 값으로 나타낼 수 있다.

따라서 직렬 L_1 값은 3-dB 차단 주파수를 이용하여 식 (2)로부터 구할 수 있다.

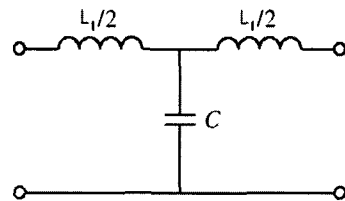


그림 2. T자형 3단 저역 통과 회로
Fig. 2. 3-order lowpass circuit of T-shaped.

$$w_c = \frac{2}{\sqrt{L_1 C}}, L_1 = \frac{4}{C w_c^2} \quad (2)$$

여기서 w_c 는 3-dB 차단 각주파수이다. 따라서 식 (1)과 식 (2)를 이용하여 EM 시뮬레이션 결과의 차단 주파수 및 감쇄극과 일치하는 파라미터를 구할 수 있으며, 반사 손실 특성은 병렬 L_2 값과 C_2 값의 비율에 따라 조절 가능하므로 EM 시뮬레이션 결과와 일치하는 소자 값을 추출함으로써 등가 회로를 구현할 수 있다. 저역 통과 여파기는 유전율($\epsilon_r=4.4$) FR-4 에폭시 기판을 사용하였으며, 차단 주파수 f_c 는 6 GHz로 설정하였다. 이에 해당하는 CPW 저역 통과 여파기 I의 파라미터는 표 1에 나타내었으며, LC 등가 회로의 파라미터는 표 2에 나타내었다. 그림 3은 CPW 단위 구조의 EM 시뮬레이션(HFSS) 결과와 LC 등가 회로의 시뮬레이션(ADS) 결과로서 서로 잘 일치한다.

시뮬레이션 결과 LC 등가 회로는 집중소자에 의하여 $3f_c$ (18 GHz)에서 불요 응답 현상이 나타나지 않지만, CPW 구조의 EM 시뮬레이션 결과는 분포 정수 소자에 의해 $3f_c$ 에서 불요 응답 현상이 일어난다.

표 1. CPW 저역 통과 여파기 I의 파라미터
Table 1. The parameter of CPW LPF I.

<i>a</i>	3.4 mm	<i>b</i>	0.7 mm	<i>c</i>	1.6 mm
<i>d</i>	1.35 mm	<i>e</i>	0.3 mm	<i>f</i>	0.3 mm
<i>g</i>	0.2 mm	<i>h</i>	0.3 mm	<i>i</i>	0.4 mm
<i>s</i>	0.3 mm	<i>w</i>	3 mm		-

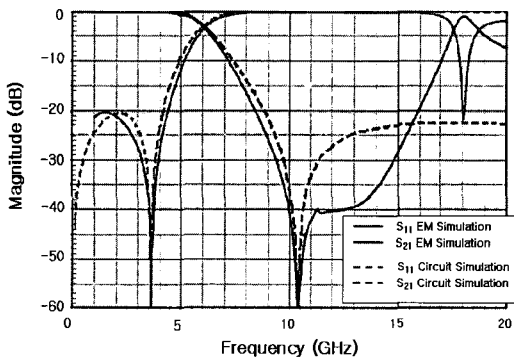


그림 3. CPW 저역 통과 여파기 I과 등가 회로의 시뮬레이션 결과

Fig. 3. Simulation result of CPW LPF I and equivalent circuit.

표 2. LC 등가 회로의 파라미터
Table 2. The parameter of LC equivalent circuit.

	L_1	L_2	C_2
nH	1.37	0.34	-
pF	-	-	0.69

이러한 불요 응답은 또 다른 불요 응답 특성을 갖는 여파기를 설계하여 결합함으로써 1차적으로 억제할 수 있다. 일반적으로 불요 응답은 여파기의 구조와 감쇄 특성에 따라 조금씩 차이가 나기 때문에 동일한 불요 응답 특성을 갖는 단위 구조의 배열을 통한 결합보다 다른 구조의 여파기와 결합함으로써 얻는 억제효과가 더욱 효율적이다. 즉 서로 다른 위치와 크기를 갖는 불요 응답은 서로 상쇄되어 전체적으로 불요 응답의 억제 효과를 기대할 수 있다. 따라서 앞서 설계한 여파기와 결합하기 위하여 그림 4의 다른 슬롯 형태를 갖는 CPW 저역 통과 여파기 II를 설계하였다. 위의 여파기와 마찬가지로 접지 면과 신호선에 각각의 슬롯을 생성하여 직렬 L 과 병렬 C 를 구현함으로써 여파기를 구현하였다. 여파기 II는 감쇄 특성 및 불요 응답 특성을 개선하기 위하여 기본 단위 구조 2개를 결합한 구조로 설계하였다. 앞서 설계한 여파기와 결합하기 위하여 같은 유전율($\epsilon_r=4.4$)을 갖는 기판을 사용하였으며, 같은 차단 주파수($f_c=6$ GHz)를 갖도록 설계하였다. CPW 저역 통과 여파기 II의 파라미터는 표 3에 나타내었으며, LC 등가 회로는 앞서 설계한 여파기 I과 마찬가지로 기본 단위구조로부터 각각의 L, C 값들을 추출할 수 있고, 2개의 단위 구조의 결합 시 발생하는 공진기 사이의 커플링 값과 추가적인 인덕턴스의 값을 고려하여 그림 4(b)와 같이 등가화가 가능하며, 추출한 등가 회로의 파라미터는 표 4와 같다. 그림 5는 CPW

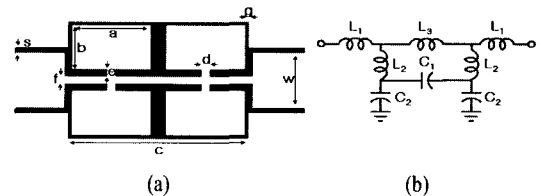


그림 4. (a) CPW 저역 통과 여파기 II, (b) 등가 회로
Fig. 4. (a) A CPW LPF II, (b) Equivalent circuit.

표 3. CPW 저역 통과 여파기 II의 파라미터

Table 3. The parameter of CPW LPF II.

<i>a</i>	4 mm	<i>b</i>	2.4 mm	<i>c</i>	8.8 mm
<i>d</i>	0.4 mm	<i>e</i>	0.4 mm	<i>f</i>	0.4 mm
<i>g</i>	0.2 mm	<i>s</i>	0.3 mm	<i>w</i>	3 mm

표 4. LC 등가 회로의 파라미터

Table 4. The parameter of LC equivalent circuit.

	<i>L</i> ₁	<i>L</i> ₂	<i>L</i> ₃	<i>C</i> ₁	<i>C</i> ₂
nH	1.25	0.52	3.02	-	
pF	-			0.008	0.52

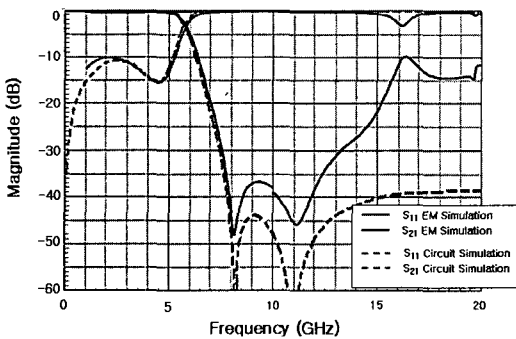


그림 5. CPW 저역 통과 여파기 II와 등가 회로의 시뮬레이션 결과

Fig. 5. Simulation result of CPW LPF II and equivalent circuit.

저역 통과 여파기 II의 EM 시뮬레이션(HFSS) 결과와 LC 등가 회로의 시뮬레이션(ADS) 결과를 나타낸다.

시뮬레이션 결과, 앞서 제시한 결과와 마찬가지로 LC 등가 회로는 3f_c에서 불요 응답 현상이 나타나지 않지만, CPW 저역 통과 여파기 II의 EM 시뮬레이션 결과는 3f_c에서 불요 응답 현상이 일어난다. 하지만 공진기 사이의 커플링에 의하여 2개의 감쇄극을 형성함으로써 앞서 제시한 여파기 I에 비하여 급격한 감쇄 특성을 보이며, 불요 응답 특성 또한 다르게 나타난다. 따라서 이 2개의 여파기 I, II를 결합시킴으로써 보다 나은 감쇄 특성과 불요 응답 특성을 얻을 것으로 기대할 수 있다.

III. CPW 저역 통과 여파기 I, II의 결합

저역 통과 여파기의 불요 응답을 억제하기 위하

여 앞서 설계한 2개의 서로 다른 저역 통과 여파기를 결합할 수 있다. 그림 6은 2개의 서로 다른 여파기 I, II를 결합한 저역 통과 여파기를 나타낸다. 각각 여파기의 파라미터는 앞서 제시한 파라미터와 동일하다. 그러나 결합 사이의 간격 *g*에 따라 추가적인 공진이 발생하여 또 다른 불요 응답이 생성되므로 적절한 간격 *g*가 필요하다. 그림 7은 저역 통과 여파기 I, II가 결합된 구조의 등가 회로로서 50 Ω의 특성 임피던스를 갖는 전송 선로를 앞서 추출한 2개의 등가 회로와 결합하여 나타내었다. 이때 전송 선로의 길이는 저지대역 중심 주파수(10.8 GHz)의 λ/4로 설정하여 전송 선로에 따른 기생 불요 응답을 최소화하고자 하였다. 따라서 등가 회로의 시뮬레이션 결과와 일치하도록 결합 간격 *g*를 1.8 mm로 설정하였으며, 그 결과 그림 8에서와 같이 기생 불요 응답을 최소화 하는 동시에 3f_c에서의 불요 응답을 -15 dB 이하로 억제하였다. 또한 결합된 여파기는 전체적으로 7차의 급격한 감쇄 특성을 나타낸다.

IV. DGS의 등가 회로와 특성

설계한 저역 통과 여파기의 결합으로 불요 응답이 줄어들었으나, 추가적인 보안을 통하여 3f_c의 불요 응답을 일정 수준 이하로 억제하여야 한다. 특정 주

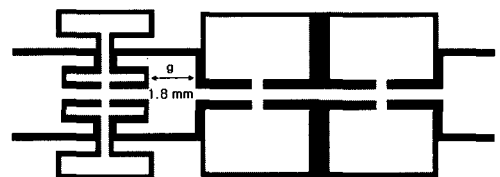


그림 6. CPW 저역 통과 여파기 I, II가 결합된 구조
Fig. 6. The layout of cascaded CPW LPF I, II.

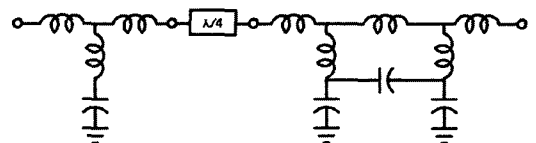


그림 7. CPW 저역 통과 여파기 I, II가 결합된 구조의 등가 회로
Fig. 7. Equivalent circuit of cascaded CPW LPF I, II.

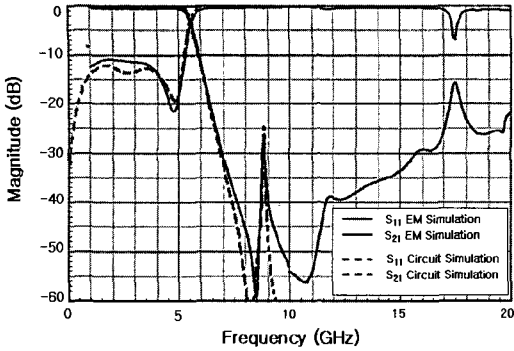


그림 8. CPW 저역 통과 여파기 I, II가 결합된 구조와 등가 회로의 시뮬레이션 결과
Fig. 8. Simulation result of cascaded CPW LPF I, II and equivalent circuit.

파수 대역의 전파를 저지하기 위하여 본 논문에서는 DGS를 추가하여 2차적으로 불요 응답을 억제하고자 하였다. 불요 응답이 발생하는 18 GHz 대역의 전파 저지를 위하여 CPW 구조의 단일 DGS를 설계하였다. 그림 9는 CPW 구조의 접지 면에 식각된 패턴을 갖는 DGS의 모양과 등가 회로를 나타낸다. 제시된 DGS 단위 구조의 등가 회로와 시뮬레이션 결과를 그림 10에 나타내었다. 시뮬레이션은 유전율 4.4 에폭시 기판을 사용하였으며, DGS 단위구조의 각 파라미터는 $a=2\text{ mm}$, $b=1.3\text{ mm}$, $c=d=0.4\text{ mm}$ 이다. 전송 선로의 폭과 접지면 사이의 거리는 특성 임피던스 50 Ω 을 갖도록 $w=3\text{ mm}$, $s=0.3\text{ mm}$ 으로 설정하였다.

이 구조는 식각된 사각 면을 지나는 추가적인 자속으로 인한 인덕턴스 증가와 그림에서와 같은 gap 커패시턴스(d) 증가로 전송 선로의 임피던스를 변화시켜 특정 주파수 대역의 전파를 저지시키는 역할을 한다. 이러한 구조는 병렬 LC 등가 회로로서 그림 9

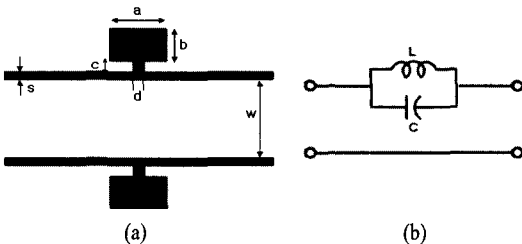


그림 9. (a) DGS 단위 구조, (b) 등가 회로
Fig. 9. (a) A DGS unit cell, (b) Equivalent circuit.

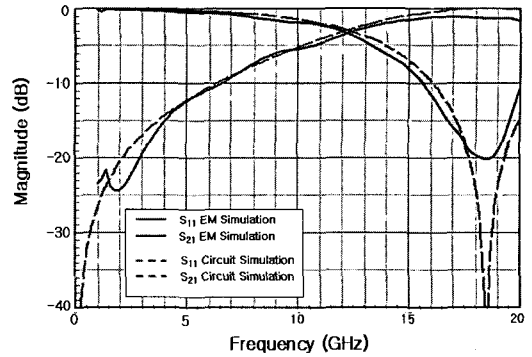


그림 10. 제시된 DGS 단위 구조의 시뮬레이션 결과
Fig. 10. Simulation result of proposed DGS unit cell.

(b)와 같이 분석될 수 있다. DGS 등가 회로의 L , C 파라미터는 DGS 구조에 대한 EM 시뮬레이션 결과를 이용하여 식 (3)으로부터 구할 수 있다^{[8],[9]}.

$$C = \frac{w_c}{Z_0 g_1} \frac{1}{w_0^2 - w_c^2}, \quad L = \frac{1}{w_0^2 C} \quad (3)$$

여기서, w_0 는 LC 공진 각주파수, w_c 는 3-dB 차단 각주파수이며, g_1 는 1단 Butterworth 저역 통과 여파기의 소자 값이다. 그림 8에서처럼 w_0 는 18.4 GHz, w_c 는 12.2 GHz이며, g_1 는 2.0으로서 병렬 LC 등가 회로의 파라미터는 $C=0.100\text{ pF}$, $L=0.737\text{ nH}$ 을 얻을 수 있고 그 결과 또한 EM 시뮬레이션 결과와 일치한다. 따라서 앞서 제시한 저역 통과 여파기와 결합함으로써 불요 응답을 추가적으로 억제할 수 있다.

V. 저역 통과 여파기 I, II와 DGS의 결합

그림 11은 CPW 저역 통과 여파기 I, II와 불요 응답 억제를 위한 DGS 단위 구조가 결합된 전체 여파기의 구조이다. 여파기의 크기를 고려하여 단일 구조의 DGS를 결합하였으며, 여파기와 DGS의 결합 간격은 0.4 mm로 설정하였다. 그림 12는 EM 시뮬레이션의 결과로서, DGS를 추가하기 전 발생하던 3 f_c 의 불요 응답이 -25 dB 이하로 억제되었다. 시뮬레이션 결과를 바탕으로 제작한 실제 여파기는 그림 13과 같으며, 측정 결과는 그림 14에서 보듯이 통과 대역내의 반사 손실은 10 dB 이하, 삽입 손실은 0.5 dB 이하의 특성을 나타내고, 저지 대역은 20 GHz까지 -25 dB 이하를 유지하며, 시뮬레이션 결과와 잘 일치한다.

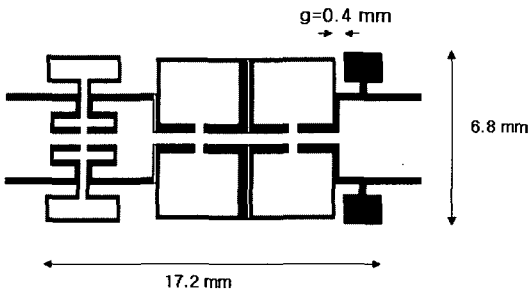


그림 11. CPW 저역 통과 여파기 I, II와 DGS 단위 구조가 결합된 전체 여파기 구조
 Fig. 11. The entire layout of cascaded CPW LPF I, II and DGS unit cell.

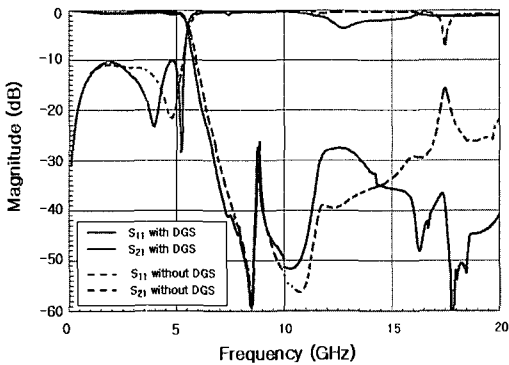


그림 12. 제안한 전체 여파기의 시뮬레이션 결과
 Fig. 12. Simulation result of proposed entire LPF.

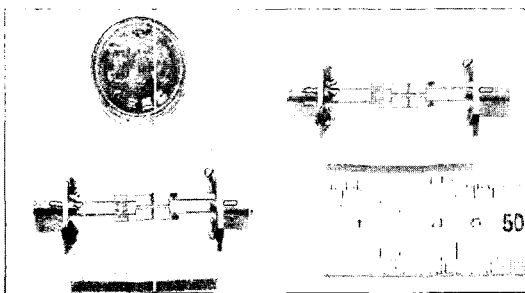


그림 13. 제안한 전체 여파기의 실제 제작
 Fig. 13. Fabrication of proposed entire LPF.

VI. 결 론

본 논문에서는 6 GHz의 동일한 차단 주파수를 갖고 있으며, 불요 응답 특성은 서로 다른 2개의 저역 통과 여파기를 설계하여 결합시킴으로써 발생하는

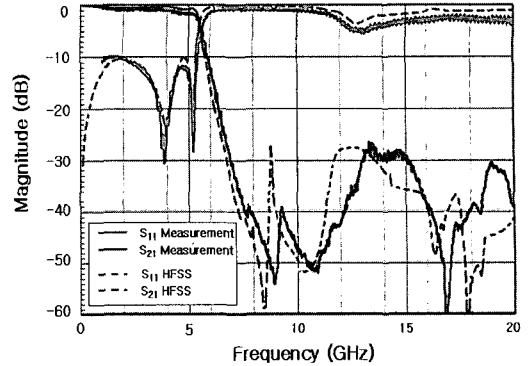


그림 14. 제안한 전체 여파기의 측정 결과
 Fig. 14. Measurement result of proposed entire LPF.

불요 응답을 1차적으로 억제(-15 dB)하는 동시에 향상된 감쇄 특성을 얻을 수 있었다. 또한 더 낮은 수준(-25 dB)의 불요 응답 특성을 얻기 위하여 특정 주파수 대역(여파기의 $3f_c$)을 저지하는 단일 DGS 구조를 설계하여, 여파기와 결합함으로써 2차적으로 불요 응답 억제 효과를 얻을 수 있었다. 시뮬레이션과 측정 결과를 통하여 불요 응답은 $3f_c$ 까지 -25 dB 이하를 유지함을 확인할 수 있었고, 7차의 급격한 감쇄 특성을 확인하였으며, 반사 손실은 10 dB 이하, 삽입 손실은 0.5 dB 이하로 측정되었다. 또한 여파기 전체 크기는 17.2 mm×6.8 mm로서 작은 크기를 갖는 장점을 갖고 있다. 따라서 제안한 저역 통과 여파기는 넓은 저지대역을 요구하는 MIC/MMIC 분야에 응용될 수 있을 것으로 기대한다.

감사의 글

저자들은 연구관련 장비를 지원해주신 강원대학교 정보통신연구소에 감사드립니다.

참 고 문 헌

- [1] C. S. Kim, J. S. Park, D. Ahn, and J. B. Lim, "A novel 1-D periodic defected ground structure for planar circuits", *IEEE Microwave and Guided Wave Letters*, vol. 10, no. 4, Apr. 2000.
- [2] J. S. Lim, C. S. Kim, D. Ahn, Y. C. and S. N. Jeong, "Design of low-pass filters using defected ground structure", *IEEE Trans. on Microwave The-*

- ory and Techniques, vol. 53, no. 8, Aug. 2005.
- [3] F. Martin, J. Bonache, I. Gill, F. Falcone, and T. Lopetegui, "Compact spurious free CPW bandpass filters based on electromagnetic bandgap structures", *Microwave and Optical Technology Letters*, vol. 40, no. 2, Jan. 2004.
- [4] J. Sor, Y. Qian, and T. Itoh, "Miniature low-loss CPW periodic structures for filter applications", *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 12, Dec. 2001.
- [5] 김경훈, 김상인, 박익모, 임한조, "슬롯과 개방 스티브의 특성을 결합한 소형 저역통과 여파기", *한국전자과학회논문지*, 15(1), 2004년 1월.
- [6] H. Y. Hwang, N. S. Park, Y. H. Cho, S. W. Yun, and I. S. Chang, "The design of band-pass filters-
- made of both dielectric and coaxial resonators", *Microwave Symposium Digest, IEEE MTT-S International*, vol. 2, Jun. 1997.
- [7] Y. S. Lin, W. C. Ku, C. H. Wang, and C. H. Chen, "Wideband coplanar-waveguide bandpass filters with good stopband rejection", *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 9, Sep. 2004.
- [8] D. Ahn, J. S. Park, C. S. Kim, and J. Kim, "A design of the low-pass filter using the novel microstrip defected ground structure", *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 1, Jan. 2001.
- [9] 김형미, 이법선, "CPW에 삽입된 T자형 DGS", *한국전자과학회논문지*, 15(10), 2004년 10월.

노진원



2005년 2월: 강원대학교 전기전자 정보통신공학부 (공학사)
 2005년 3월~현재: 강원대학교 전기전자공학과 석사과정
 [주 관심분야] 초고주파 수동 소자 및 시스템 설계

황희용*



1992년 2월: 서울대학교 전자공학과 (공학사)
 1995년 2월: 서강대학교 전자공학과 (공학석사)
 2000년 2월: 서강대학교 전자공학과 (공학박사)
 2001년 3월~2002년 4월: University of Maryland Research Scholar
 2002년 5월~2003년 4월: (주)아모텍 연구소장
 2003년 2월~현재: 강원대학교 전기전자정보통신공학부 조교수
 [주 관심분야] RF, Microwave, Millimeter wave 분야의 부품 및 시스템
 *책임저자

최경



1981년 2월: 서울대학교 전기공학과 (공학사)
 1983년 2월: 서울대학교 전기공학과 (공학석사)
 1988년 2월: 서울대학교 전기공학과 (공학박사)
 1993년 7월~1994년 7월: Rensselaer Polytechnic Institute 교환교수
 1994년 7월~현재: 강원대학교 전기전자정보통신공학부 교수
 [주 관심분야] 전자기기 수치해석, Microwave