

# 높은 감쇠 정확도를 가지는 초광대역 MMIC 디지털 감쇠기 설계

## Design of Ultra Wide Band MMIC Digital Attenuator with High Attenuation Accuracy

주 인 권 · 염 인 복

Inkwon Ju · In-Bok Yom

### 요 약

본 논문은 광대역, DC to 40 GHz 5-bit MMIC 디지털 감쇠기의 설계 및 측정 결과를 나타내었다. 초광대역 감쇠기는 종래의 Switched-T 감쇠기에 전송 선로를 추가하고 전송 선로의 파라미터를 최적화하여 구현되었다. 고주파에서의 정확한 성능 예측을 위해 Momentum 시뮬레이션을 설계에서 수행하였고, 몬테 카를로 해석법을 적용하여 MMIC 공정 변동에 대한 성능의 안정성을 검증하였다. 감쇠기는 0.15  $\mu\text{m}$  GaAs pHEMT 공정을 이용하여 제작하였다. 이 감쇠기는 1 dB의 해상도와 총 23 dB의 감쇠 동작 범위를 가진다. 전체 감쇠 범위와 40 GHz의 대역폭에서 높은 감쇠 정확도를 얻었으며, 20 GHz에서 6 dB 이하의 참조 상태 삽입 손실을 가진다. 전체 감쇠 상태와 주파수 범위에서 감쇠기의 입력단과 출력단 반사 손실은 14 dB 이상이다. 감쇠기의 IIP3는 33 dBm으로 측정되었다.

### Abstract

A broadband, DC to 40 GHz 5-bit MMIC digital attenuator has been developed. The ultra broadband attenuator has been achieved by adding transmission lines in the conventional Switched-T attenuator and optimizing the transmission line parameters. Momentum simulation was performed in design for accurate performance prediction at high frequencies and Monte Carlo analysis was applied to verify the performance stability against the MMIC process variation. The attenuator has been fabricated with 0.15  $\mu\text{m}$  GaAs pHEMT process. This attenuator has 1 dB resolution and 23 dB dynamic ranges. High attenuation accuracy has been achieved over all attenuation ranges and 40 GHz bandwidth with the reference state insertion loss of less than 6 dB at 20 GHz. The input and output return losses of the attenuator are better than 14 dB over all attenuation states and frequencies. The measured IIP3 of the attenuator is 33 dBm.

Key words : HEMT, Microwave Attenuators, MMICs, Digital Attenuators, UWB

### I. 서 론

최근, 위성 DMB 등의 발달과 더불어 Ku 대역(12~18 GHz), K 대역(18~26 GHz) 및 Ka 대역(26~40 GHz)의 무선 시스템의 개발이 활발히 이루어지고 있다. 다양한 마이크로파 및 밀리미터파 시스템에

서, 트랜시버의 이득 조절과 증폭기의 온도 보상을 위해 가변 감쇠기가 폭넓게 사용되고 있다.

가변 감쇠기는 아날로그 감쇠기와 디지털 감쇠기 형태로 구현될 수 있다. 디지털 감쇠기는 아날로그 감쇠기에 비해 선형적이고, 높은 전력을 취급할 수 있다. 또한 디지털 감쇠기는 온도 변화와 MMIC 공

한국전자통신연구원 위성통신 RF 기술연구팀(Satellite Communication RF Technology Team, ETRI)

· 논문 번호 : 20051105-03S

· 수정완료일자 : 2006년 1월 23일

정 변동에 대해 특성 변화가 작으므로 상대적으로 감쇠 제어에 용이하고, 감쇠량의 정확도가 높으므로 선호되고 있다.

반면에, 아날로그 감쇠기는 제어 전압 혹은 제어 전류의 증감에 대한 감쇠량 증감이 비선형적인 특성을 가지고 있으므로 제어가 쉽지 않고, 이러한 비선형적 특성을 보상하기 위해 복잡한 제어 회로를 요구한다. 또한 온도 변화와 MMIC 공정 변동에 민감하여 감쇠량의 변동이 매우 크므로, 역시 이를 보상하기 위해 복잡한 제어 회로가 필요하다.

그럼에도 불구하고, Ku 대역 이상에서 주로 사용되고 있는 감쇠기는 하이브리드 혹은 MMIC 형태의 아날로그 감쇠기이다. 그 이유는 시장에 나와 있는 모든 디지털 감쇠기의 동작 주파수가 20 GHz 이내이기 때문이다.

Distributed switchable 감쇠기<sup>[1],[2]</sup>, Switched-T 감쇠기<sup>[3],[4]</sup>, Switched-Pi 감쇠기<sup>[5]~[7]</sup>, Switched-path 감쇠기<sup>[8]</sup> 등과 같은 많은 형태의 디지털 감쇠기가 문헌에 보고되어 있다. 조사된 문헌의 모든 디지털 감쇠기의 동작 주파수는 20 GHz 이내일 뿐만 아니라, 감쇠량의 정확도도 떨어지는 문제점이 있다. 다만, 참고문헌 [8]의 Switched-path 감쇠기만이 40~50 GHz의 동작 주파수를 가지고 있다. 따라서, 동작 주파수가 20 GHz 이상이며, 감쇠량의 정확도 또한 우수한 새로운 디지털 감쇠기가 요구되고 있다.

위에서 언급한 다양한 구조의 감쇠기 중에서 Switched-T 감쇠기 구조는 제일 작은 수의 소자로 구성되어 있다. 이런 간단한 구조는 기생 성분이 적으므로 고주파에서 원하지 않는 공진과 결합이 작을 이점을 가지고 있다. 본 연구에서는 저손실과 광대역 특성을 얻기 위해, Switched-T 감쇠기 구조를 기본 구조로 사용하였다.

고주파에서의 정확한 성능 예측을 위해서 Momentum 시뮬레이션을 설계에 사용하였으며, 몬테 카를로 해석법을 이용하여 MMIC 공정 변동에 대한 설계된 디지털 감쇠기의 특성 안정성을 검증하였다.

종래의 Switched-T 감쇠기 구조의 저항값들을 최적화하였을 뿐만 아니라, 새롭게 전송 선로들을 삽입하고, 그 회로 파라미터를 최적화하여 초광대역의 동작 주파수 대역을 가지고, 감쇠량에 관계 없이 항상 입출력 정합을 유지하며, 우수한 감쇠 정확도를

가진 디지털 감쇠기를 설계, 구현하였다.

본 논문에서는 0.15  $\mu\text{m}$  GaAs pHEMT 공정을 이용하여 제작된 초광대역 DC~40 GHz 5-bit pHEMT MMIC 디지털 감쇠기에 대해 논하고자 한다.

## II. 설 계

디지털 감쇠기의 중요 성능 항목에는 감쇠량의 정확도, 삽입 손실, 입출력단의 임피던스 정합, 전력 취급 특성(power handling), 위상 변화, 감쇠기의 크기 및 제어 회로의 구현 용이성 등이 있다. 디지털 감쇠기의 감쇠량의 정확도는 사용 주파수 범위에서 각 개별 비트가 정해진 감쇠량에서 어느 정도의 오차를 가지는지를 나타낸다. 보통 감쇠량의 정확도는 LSB(Least Significant Bit)의 1/2 이내일 때, 우수한 것으로 간주한다. 디지털 감쇠기의 참조 상태 삽입 손실은 가능한 작아야 한다. 이는 저손실 디지털 감쇠기가 전력 소비, 회로 크기 및 비용 등 여러 가지 면에서 장점을 가지기 때문이다.

디지털 감쇠기의 입력 및 출력 임피던스 정합은 매우 좋아야 하며, 위상 변위거나 증폭기 등과 직렬로 이어졌을 때, 사용 주파수 내에서 삽입 손실과 삽입 위상의 리플을 발생시키지 않아야 한다. 개별 감쇠 비트의 입출력 정합은 감쇠기 전체 성능에 영향을 미치며, 부정합이 있을 때에는 MMIC 칩 내부에서 상호작용을 일으켜 칩 전체의 진폭과 위상 성능을 저하시킨다.

또한, 감쇠기에서 IIP3(Input 3rd order Intercept Point)로 정의되는 전력 취급 특성은 감쇠기의 선형성을 나타내며 높은 전력에서도 감쇠기를 사용하기 위해서는 IIP3가 높아야 한다.

위상 배열 안테나와 같은 일부의 시스템에서는 가능한 모든 감쇠 상태에 대하여 이상적으로 감쇠기의 삽입 위상이 변하지 않는 것이 요구된다. 그리고, 감쇠기의 크기는 작을수록 무게 및 비용을 줄일 수 있어 유리하다. 감쇠기 제어 회로의 구현 용이성 또한 중요 항목으로 간단히 구현되는 제어 회로가 선호된다.

전술한 바와 같은 디지털 감쇠기의 모든 중요 성능 항목은 동시에 만족될 수 없으며, 성능 항목 간에 상당한 양보가 필요하다.

본 연구에서는 DC에서 40 GHz의 동작 범위를 갖

는 광대역성, 감쇠량의 높은 정확도, 작은 삽입 손실, 입력력단의 임피던스 정합, 작은 칩 크기 등을 성능 목표로 하여 1 dB의 감쇠 해상도와 23 dB의 감쇠 동작 범위를 가진 새로운 디지털 감쇠기를 제안하고자 한다. 성능 목표에 대한 검토 결과, 다양한 감쇠기 구조 중에서 Switched-T 감쇠기 구조를 새로운 디지털 감쇠기의 기본 구조로 사용하였다.

그림 1에 종래의 Switched-T 감쇠기 구조를 나타내었다. Switched-T 감쇠기는 다른 감쇠기에 비해 삽입 손실이 적고, 작은 수의 소자로 구성되어 있어 기생 커패시턴스 성분이 작으므로 고주파 특성이 우수하다. 또한 Switched-T 감쇠기는 입력력 단자의 정합도 우수하다. 그림 1의 직렬 스위치 Q1이 “on” 되고 단락 스위치 Q2가 “off” 되면, 감쇠기는 참조 상태 삽입 손실을 가진다. 반대로, 직렬 스위치가 “off” 되고 단락 스위치가 “on” 되면, 감쇠기는 감쇠 상태 삽입 손실을 가진다. 감쇠 상태와 참조 상태의 삽입 손실의 차이가 제어할 수 있는 감쇠량이 된다.

그림 1의 종래의 Switched-T 감쇠기 구조에서 스위칭 소자인 Q1과 Q2가 이상적인 스위칭 소자로서 일체의 기생 성분이 없다고 가정할 때, 직렬 스위치 Q1이 “off” 되고 단락 스위치 Q2가 “on” 되는 감쇠 상태의 구조는 단순한 T-형 감쇠기 구조와 같다. 식 (1)은 이와 같이 저항성 소자 R1, R2, R3로 형성된 T-형 감쇠기 구조에서 감쇠량에 따른 저항성 소자의 저항값을 나타낸다. 여기서, A는 감쇠량(dB), Z0는 감쇠기 입력력단의 특성 임피던스를 나타낸다.

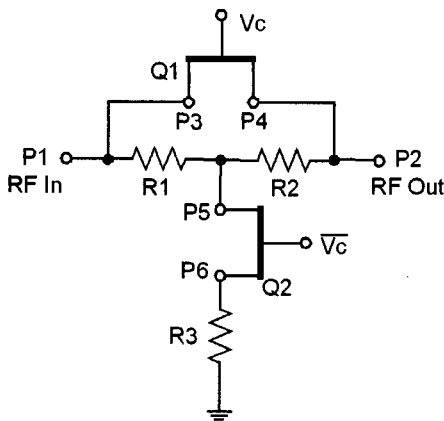


그림 1. 종래의 Switched-T 감쇠기  
Fig. 1. Conventional Switched-T attenuator.

$$R1 = \frac{10^{A/10} + 1}{10^{A/10} - 1} Z_0 - R3, R2 = R1, R3 = \frac{2\sqrt{Z_0^2 10^{A/10}}}{10^{A/10} - 1} \quad (1)$$

실제의 스위칭 소자인 pHEMT 등은 게이트-소스 커패시턴스, 드레인-게이트 커패시턴스 등의 기생 성분을 가지고 있어 고주파 성능이 제약을 받는다. 높은 선형성과 저손실을 얻기 위해서는 게이트 폭이 큰 소자를 사용해야 하고, 광대역 고주파 특성을 얻기 위해서는 게이트 폭이 작은 소자를 사용하여 기생 성분을 줄여야 한다.

그림 2는 본 디지털 감쇠기 제작에 사용된 NGST (Northrop Grumman Space Technology)사의 0.15 μm GaAs pHEMT 선형 모델을 나타낸다.

본 디지털 감쇠기 설계에서는 200 μm 게이트 폭의 pHEMT를 직렬 스위치 Q1에 사용하여 삽입 손실이 크지 않도록 하였고, 50 μm 게이트 폭의 pHEMT를 단락 스위치 Q2에 사용하여 광대역 고주파 특성을 얻을 수 있도록 하였다.

그림 3은 직렬 스위치 Q1에 사용된 200 μm 게이트 폭의 pHEMT의 on, off 상태 삽입 손실과 단락 스위치 Q2에 사용된 50 μm 게이트 폭의 pHEMT의 on, off 상태 삽입 손실을 나타낸다. pHEMT의 off 상태 삽입 손실이 고주파로 갈수록 열화되는 것은 용량성 기생 성분 때문이며 소자가 클수록 그 기생 성분도 크다는 것을 알 수 있다.

종래의 Switched-T 감쇠기를 구성하는 소자와 이들 소자를 연결하는 전송 선로를 포함하여 그림 4와 같은 새로운 감쇠기 구조를 제안한다. 새로운 디지털 감쇠기의 배치는 다음과 같은 사항을 고려하여 이루어졌다. 첫째, 스위칭 소자인 pHEMT의 형태와

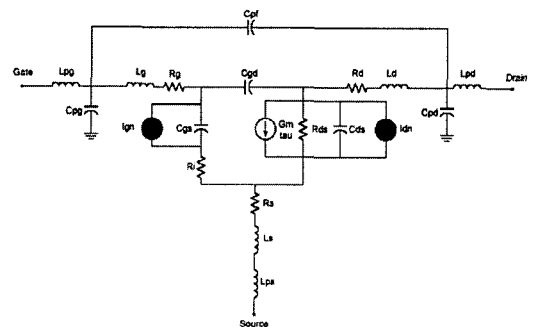


그림 2. NGST사의 0.15 μm GaAs pHEMT 선형 모델  
Fig. 2. NGST 0.15 μm GaAs pHEMT linear model.

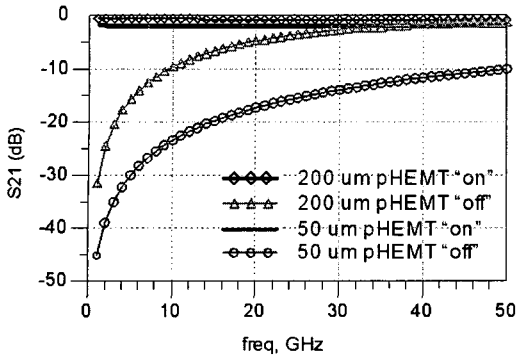


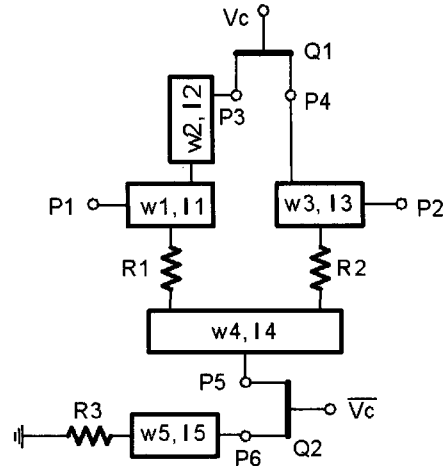
그림 3. 200 μm 게이트 폭 및 50 μm 게이트 폭의 pHEMT의 on, off 상태 삽입 손실  
 Fig. 3. On, off state insertion losses of the 200 μm gate width and the 50 μm gate width pHEMTs.

크기 및 드레인, 소스, 게이트 단자의 위치 등을 고려하였다. 둘째, 100 ohms/square의 표면 저항만을 제공하는 NGST의 0.15 μm GaAs pHEMT 공정에서 수 ohm 정도의 저항은 그림 4에서 보는 바와 같이 길이에 비해 매우 넓은 폭을 가진 형태로 구현된다. 셋째, 고주파에서는 원래의 회로 소자 이외의 기생 성분들에 의해 예측하기 어려운 공진이나 결합이 발생하여 회로의 성능이 변하게 된다. 따라서, 이러한 점들을 고려하고 단순한 구조의 감쇠기를 지향하여 그림 4와 같은 새로운 디지털 감쇠기 배치를 제안하였다.

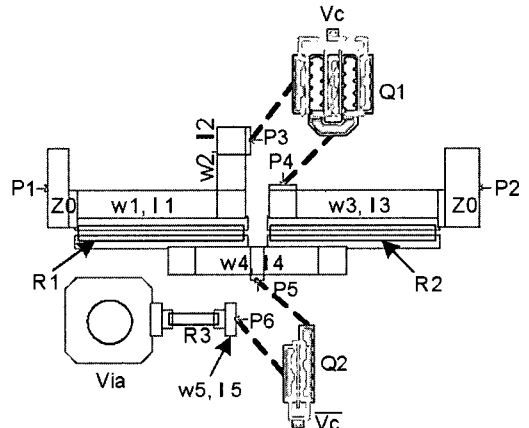
회로 시뮬레이터를 이용한 그림 4의 새로운 디지털 감쇠기의 설계에서, 저항 R1, R2, R3의 초기값은 식 (1)로부터 구하고, 전송 선로들의 선폴은 특성 임피던스가 약 50 ohm이 되도록 70 μm로 하였고 길이는 감쇠기 소자를 연결할 수 있는 최소 길이를 초기값으로 하였다.

그림 2에서 보는 바와 같이 스위칭 소자인 pHEMT가 가지고 있는 게이트-소스 커패시턴스, 드레인-게이트 커패시턴스 등의 기생 성분을 공진시켜 제거할 수 있도록 인덕턴스 성분이 새로운 디지털 감쇠기에 추가되어야 광대역 특성을 얻을 수 있다. 이러한 공진용 인덕턴스 성분은 별도의 인덕터를 회로에 추가하지 않고 전송 선로를 높은 임피던스의 선로로 하여 얻을 수 있다.

그림 4에서 보는 바와 같이 감쇠기를 구성하는 소자들과 전송 선로들은 다중적인 접점을 가지고 서로 연결되어 있으므로 기존의 회로 시뮬레이터로는 그



(a) 새로운 디지털 감쇠기 회로  
 (a) New digital attenuator circuit



(b) 새로운 디지털 감쇠기의 배치도  
 (b) New digital attenuator layout

그림 4. 새로운 디지털 감쇠기 회로와 배치도  
 Fig. 4. New digital attenuator circuit and layout.

특성을 정확히 예측할 수 없다. 또한 그림 4의 감쇠기 배치에서 회로 시뮬레이션은 소자 및 전송 선로 간의 근접 배치에 의한 결합과 공진 등을 고려할 수 없다. 그러므로, 회로 시뮬레이터를 통해 회로 변수의 초기값을 구한 다음, Momentum 법을 이용해서 회로 시뮬레이터로는 정확히 예측이 어려운 다중 접합 및 고주파에서 발생하는 기생 성분들에 의한 성능 변화를 고려하여 정확한 고주파 성능 예측을 추구하였다.

Momentum 시뮬레이션에서는 스위칭 소자인 pHEMT는 시뮬레이션이 되지 않으므로 제거하고, 그림

4에서 보는 바와 같이 6 단자 회로를 해석하였다. 이렇게 얻어진 6 단자 회로망 파라미터에 스위칭 소자인 pHEMT의 2 단자 회로망 파라미터를 삽입하면, 하나의 감쇠기의 특성을 구할 수 있다. Momentum 시뮬레이션에서도 전송 선로 파라미터와 저항값이 최적화의 변수로 사용되었으며, 이들의 초기값은 회로 시뮬레이터로부터 구하였다. 최적화에서 감쇠량의 광대역화뿐만 아니라, 정합과 저삽입 손실도 함께 고려되어야 한다.

설계 목표인 1 dB의 감쇠 해상도와 23 dB의 감쇠 동작 범위를 제공하기 위해 필요한 감쇠 비트는 1 dB, 2 dB, 4 dB 및 8 dB 두 개이다. 8 dB 비트는 광대역 특성을 얻기 위해서 4 dB 비트 두 개를 직렬 연결하여 구현하였다. 그림 4와 같은 감쇠기 구조 하나가 8 dB의 감쇠량을 갖도록 할 경우, 설정 감쇠량은 큰데 반하여 직렬 스위칭 소자인 Q1의 기생 용량 성분에 의한 결합이 많아 원하는 감쇠량을 얻기 어렵고 감쇠 정확도가 떨어지며 주파수 대역폭이 좁아지는 단점이 있다.

그림 5는 그림 1의 종래의 Switched-T 감쇠기와 그림 4의 새로운 디지털 감쇠기의 설계 결과이다. 시뮬레이션에서 스위칭 소자 Q1과 Q2는 앞서 언급한 바와 같이 각각 200  $\mu\text{m}$  게이트 폭과 50  $\mu\text{m}$  게이트 폭의 pHEMT를 사용하였다.

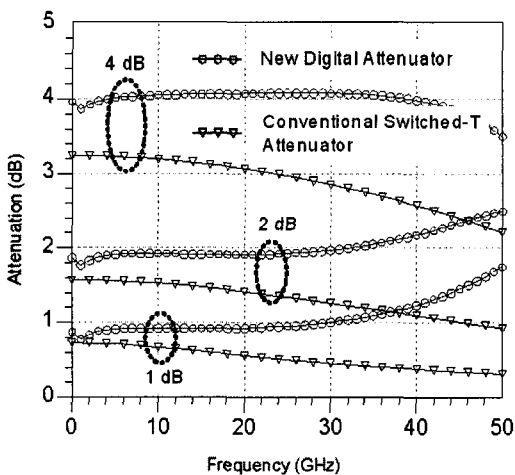


그림 5. 종래의 Switched-T 감쇠기와 새로운 디지털 감쇠기의 시뮬레이션 결과  
Fig. 5. Simulation results of the conventional Switched-T attenuator and new digital attenuator.

종래의 Switched-T 감쇠기의 저항 R1, R2, R3는 식 (1)로부터 구하였다. 그림 5에서 보는 바와 같이 종래의 Switched-T 감쇠기의 4 dB 비트 설계 결과는 약 3 dB의 감쇠량을 나타내고 있으므로 오차가 크고, 2 dB와 1 dB 비트 설계의 감쇠량도 오차가 크다. 이는 직렬 스위칭 소자인 Q1의 용량성 기생 성분에 주로 기인한다. 또한 이러한 용량성 기생 성분에 의해 고주파로 갈수록 감쇠 특성이 나빠지고 있다. 종래의 Switched-T 감쇠기의 시뮬레이션에서는 스위칭 소자 및 저항들을 연결하는 전송 선로는 고려하지 않았으며, 저항도 집중 소자 모델을 사용하였다. 각 소자를 연결하는 전송 선로를 고려하면 이들 전송 선로간의 결합에 의한 기생 성분이 발생할 것이며, 저항들도 기생 성분을 가지므로 실제의 결과는 그림 5의 시뮬레이션 결과보다 고주파 특성이 더욱 나쁠 것으로 예상된다.

그럼에도 불구하고, 그림 5의 종래의 Switched-T 감쇠기의 시뮬레이션 결과는 약 20 GHz까지는 만족할 만한 감쇠의 평탄도를 보이므로, 본 디지털 감쇠기의 기본 구조로 Switched-T 감쇠기를 선택한 점과 스위칭 소자들의 크기 선택이 적절했음을 보여준다.

그림 5의 새로운 디지털 감쇠기의 시뮬레이션 결과는 Momentum 시뮬레이션 결과로부터 최적화된 결과이다. 1, 2, 4 dB 비트 설계 결과는 약  $\pm 0.3$  dB의 우수한 감쇠 정확도를 DC부터 40 GHz의 광대역의 주파수 범위에서 나타낸다. 이는 새로운 디지털 감쇠기 구조가 종래의 Switched-T 감쇠기에 비해 20 GHz 이상 광대역화 되었음을 보여주는 것이다.

표 1에 5-비트 디지털 감쇠기를 구성하는 1 dB, 2 dB, 4 dB 비트에 대한 저항값과 전송 선로의 선폭과 길이의 최적화된 결과를 정리하여 나타내었다.

그림 6은 1 dB, 2 dB, 4 dB 각각의 개별 비트에 대한 몬테 카를로 해석 결과를 보여 준다. 몬테 카를로 해석은 설계된 디지털 감쇠기의 특성이 GaAs pHEMT MMIC 공정의 변동에 대한 민감도를 고려하기 위해 수행하였다. 즉 스위칭 소자인 pHEMT의 드레인-소스 커패시턴스와 드레인-소스 레지스턴스는  $\pm 5\%$  이내에서 변동시켜 회로의 특성의 변동 폭을 살폈다. 또한, 게이트-소스 커패시턴스와 게이트-드레인 커패시턴스, 트랜스컨덕션은  $\pm 10\%$  이내에서 변동시켰다.

표 1. 최적화된 저항값 및 전송 선로의 폭과 길이  
Table 1. The optimization results of the resistor values and the transmission line parameters.

Parameters \ Bit size	1 dB	2 dB	4 dB
R1 = R2 (ohm)	3.3557	6.7265	13.7124
R3 (ohm)	370	182.5	84.1667
w1 ( $\mu\text{m}$ )	33	23	40
w2 ( $\mu\text{m}$ )	25	25	40
w3 ( $\mu\text{m}$ )	33	23	40
w4 ( $\mu\text{m}$ )	25	20	20
w5 ( $\mu\text{m}$ )	30	30	30
l1 ( $\mu\text{m}$ )	159	121.5	84.75
l2 ( $\mu\text{m}$ )	56.5	56.5	64
l3 ( $\mu\text{m}$ )	159	121.5	84.75
l4 ( $\mu\text{m}$ )	161.5	153	52
l5 ( $\mu\text{m}$ )	10	65	65

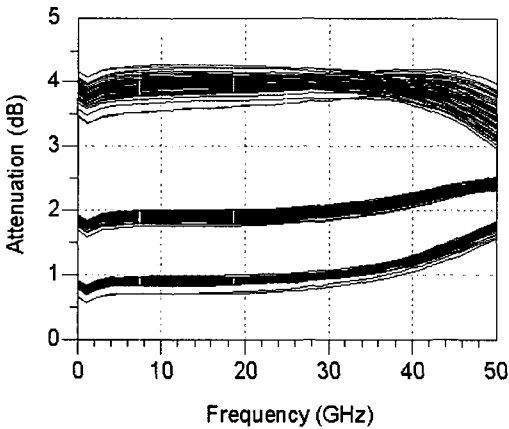


그림 6. 1 dB, 2 dB, 4 dB 비트에 대한 몬테 카를로 해석 결과

Fig. 6. Monte Carlo analysis results of the 1 dB, 2 dB and 4 dB bit.

또한, 6 단자 Momentum 해석에서  $0.15 \mu\text{m}$  GaAs pHEMT 공정의 편차를 고려하여 표면 저항도  $\pm 15\%$  변동시켰다. 즉, 표면 저항을 각각 85 ohms/square, 100 ohms/square, 115 ohms/square로 변동시키면서 Momentum 시뮬레이션을 수행하여 각각의 표면 저

항의 조건에서 6 단자 회로망의 특성을 얻었다. 박막 저항의 표면 저항을  $\pm 15\%$  변동시킨 결과와 스위칭 소자의 내부 파라미터를 변동시킨 몬테 카를로 해석 결과를 결합시킨 것이 그림 6의 결과이다. 그림 6의 몬테 카를로 해석 결과에서 보는 바와 같이 감쇠 특성의 변화는 그리 크지 않으므로 본 디지털 감쇠기의 설계는 공정 편차에 대해 안정적이며, 일정한 성능을 가짐을 검증하였다.

5-비트 pHEMT 디지털 감쇠기의 모든 감쇠 비트는 그림 4의 새로운 초광대역 감쇠기 구조를 이용하여 구현되었다. 5-비트 pHEMT 디지털 감쇠기 전체 회로는 그림 7에 나타내었다. 2 dB 비트를 초단에 배치하였고 4 dB, 1 dB, 8 dB, 8 dB 비트를 차례로 배치하였다.

### III. 제작 및 측정 결과

그림 8은 제작된 5-비트 pHEMT MMIC 디지털 감쇠기 칩을 보여준다. RF 입력 단자와 출력 단자는 각각 칩의 양 끝단에 배치되어 있으며, 상보적인 제어 신호선의 다섯 쌍들을 칩의 한쪽 측면에 배치하여 외부 제어 신호선들의 배치가 용이하도록 하였다. MMIC 칩의 크기는  $1.6 \text{ mm} \times 2.8 \text{ mm}$ 이며, MMIC Ga-As 기판의 두께는  $100 \mu\text{m}$ 이다.

5-비트 디지털 감쇠기에 대해 참조 상태를 포함하여 전체 24가지 감쇠 상태에 대해서 온 웨이퍼 산란 행렬 파라미터를 측정하였다. 스위칭 소자의 on/off 제어 전압은 각각 0/-2 V이다.

그림 9는 참조 상태에서의 삽입 손실 및 1 dB, 2 dB, 4 dB, 8 dB 설정시의 삽입 손실의 측정값을 나타내고 있다. 함께 나타낸 시뮬레이션 결과는 측정값과 매우 잘 일치하며, Momentum과 몬테 카를로 해석

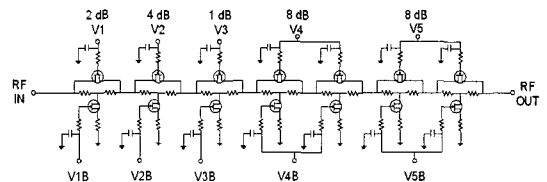


그림 7. 초광대역 5-bit pHEMT MMIC 디지털 감쇠기 회로

Fig. 7. 5-bit pHEMT MMIC digital attenuator circuit.

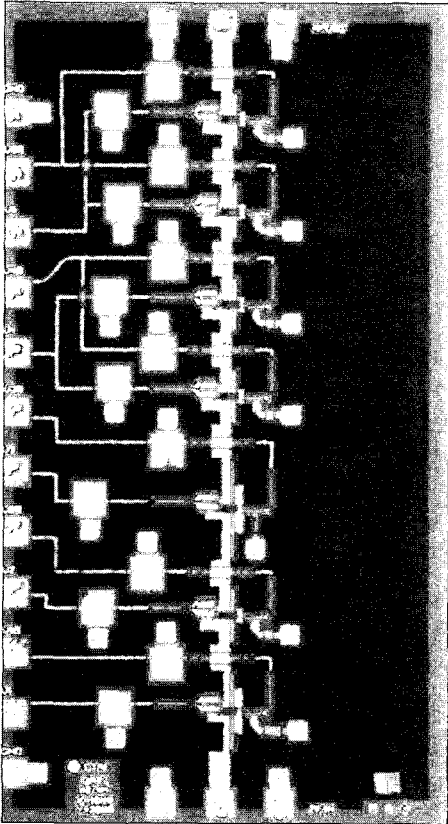


그림 8. 초광대역 DC to 40 GHz 5-비트 pHEMT MMIC 디지털 감쇠기 사진

Fig. 8. Photograph of the ultra broadband DC to 40 GHz 5-bit pHEMT MMIC digital attenuator.

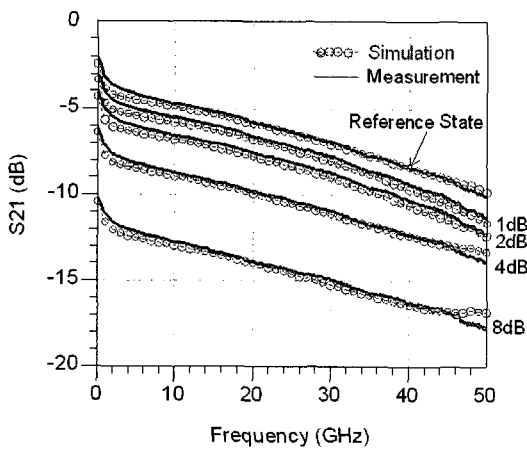


그림 9. 5-bit pHEMT MMIC 디지털 감쇠기의 삽입 손실에 대한 시뮬레이션 및 측정 결과

Fig. 9. Simulated and measured insertion losses of 5-bit pHEMT MMIC digital attenuation.

법을 이용한 설계 방법의 타당성을 증명한다. 그림 9에서 보는 바와 같이, 참조 상태의 삽입 손실은 20 GHz에서 6 dB이고 40 GHz에서는 8 dB이다. 따라서, 본 5-비트 pHEMT MMIC 디지털 감쇠기는 고주파에서도 삽입 손실이 작으므로, 본 디지털 감쇠기를 적용한 무선 시스템의 전력 소비를 줄일 수 있는 장점이 있다.

그림 9에서 참조 상태의 삽입 손실과 1 dB 설정시의 삽입 손실의 차이가 1 dB 감쇠 특성이 되며, 2 dB 과 4 dB 및 8 dB도 같은 방법으로 감쇠 특성을 얻을 수 있다. 이렇게 얻어진 감쇠 특성이 그림 10의 감쇠 특성으로 나타나 있다.

그림 10에 나타난 바와 같이, 본 5-비트 pHEMT MMIC 디지털 감쇠기는 전체 40 GHz 주파수 대역 및 전체 23 dB 감쇠 범위에서 감쇠 정확도가  $\pm 0.3$  dB 이다. 감쇠 해상도는 1 dB이고, 전체 감쇠량은 DC 부터 20 GHz의 범위에서 23 dB이며, 40 GHz까지의 범위에서는 22 dB이다. 따라서 본 디지털 감쇠기는 DC 부터 40 GHz라는 초광대역의 주파수 대역폭과 23 dB의 넓은 감쇠 범위에서 매우 정확한 감쇠 정확도를 나타내고 있으므로 본 디지털 감쇠기의 동작

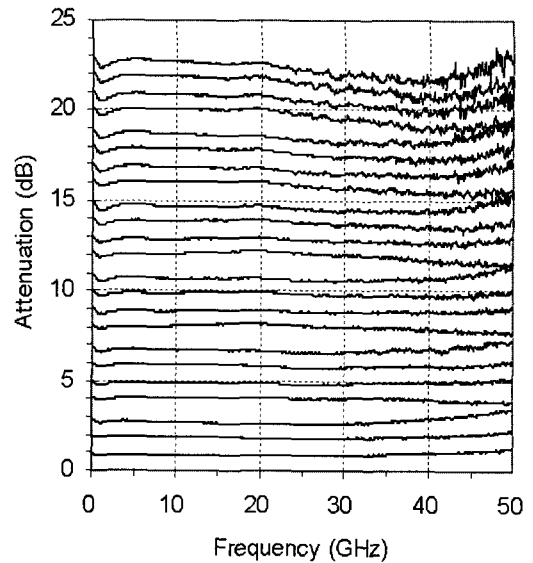


그림 10. 참조 상태 삽입 손실에 대해 정규화된 감쇠 특성의 측정 결과

Fig. 10. On-wafer measured attenuation of the 5-bit pHEMT MMIC digital attenuator normalized to the reference state insertion loss.

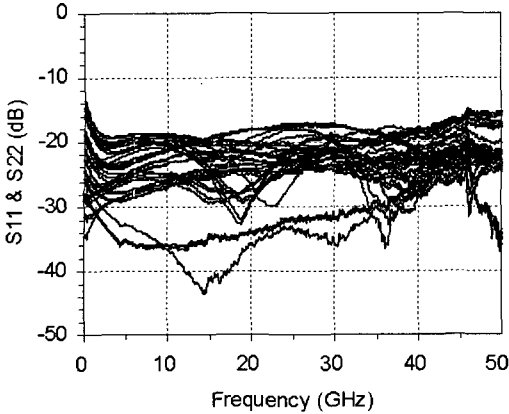


그림 11. 전체 24가지 감쇠 상태에 대한 입력단 및 출력단의 반사 손실 특성 측정 결과

Fig. 11. On-wafer measured the input and output return losses for all 24 attenuation states.

주파수 대역폭이 매우 광대역임을 알 수 있다.

그림 11은 5-비트 pHEMT MMIC 디지털 감쇠기의 반사 특성을 나타낸 것이다. 즉, 디지털 감쇠기의 전체 스물네 가지 감쇠 상태에서의 입력단과 출력단의 반사 계수를 그림 11에 나타내었다. 입력단과 출력단의 반사 손실은 DC부터 2 GHz의 범위에서는 14 dB 이상이며, 2 GHz에서 40 GHz의 범위에서는 17 dB 이상이다. 본 디지털 감쇠기는 입출력 정합이 매우 잘 이루어져 있으므로, 이 디지털 감쇠기를 적용한 무선 시스템에서 부가적인 정합 회로가 필요치 않고, 다른 회로의 특성 변화를 유발하지 않으며, 크기와 무게를 줄일 수 있는 장점이 있다.

그림 12는 5-비트 pHEMT MMIC 디지털 감쇠기를 test fixture에 조립하여 선형성을 측정된 결과이다. 20 GHz 신호원 두 대로 각각 +5 dBm의 2-톤 입력 신호를 발생시켰으며, 이 신호원 자체에서 발생된 IMD는 60 dBc였다. 이 입력 신호를 감쇠기에 입력하고 감쇠량을 최소 및 최대로 설정하였을 때 IMD는 각각 56 dBc 및 58 dBc로 측정되었다. 그러므로 5-비트 pHEMT MMIC 디지털 감쇠기의 IIP3는 33 dBm으로 선형적인 특성을 가짐을 알 수 있다.

#### IV. 결 론

초광대역 DC~40 GHz 5-비트 pHEMT MMIC 디지털 감쇠기를 설계, 구현하였다. 종래의 Switched-T

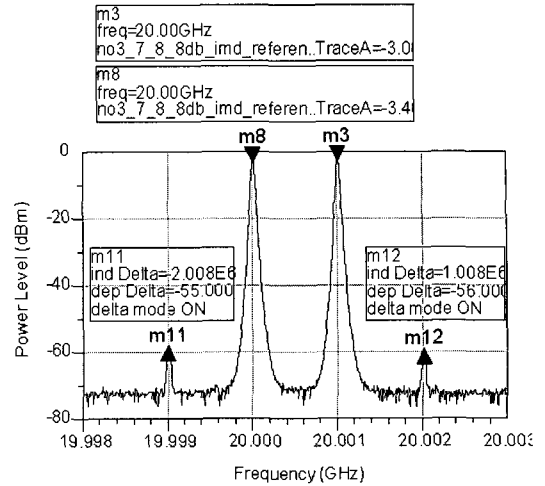


그림 12. 최소 감쇠 설정시의 IMD 성능( $P_{in}=+5$  dBm/ tone,  $\Delta f=1$  MHz)

Fig. 12. IMD performance in case of reference state setting( $P_{in}=+5$  dBm/tone,  $\Delta f=1$  MHz).

감쇠기 구조의 저항값들을 최적화하였을 뿐만 아니라, 새롭게 전송 선로들을 삽입하고, 그 회로 파라미터를 최적화하여 초광대역의 특성을 가진 디지털 감쇠기를 설계, 구현하였다.

고주파에서의 정확한 성능 예측을 위해서 Momentum을 설계에 사용하였으며, 몬테 카를로 해석법을 이용하여 MMIC 공정 변동에 대한 설계된 디지털 감쇠기의 특성 안정성을 검증하였다.

본 디지털 감쇠기는 DC부터 40 GHz의 초광대역의 동작 주파수 대역을 가지고, 감쇠량에 관계없이 항상 입출력 정합을 유지하며,  $\pm 0.3$  dB의 우수한 감쇠 정확도 및 1 dB의 감쇠 해상도와 23 dB의 감쇠 동작 범위를 가지고 있다. 또한, 입력단과 출력단 반사 손실은 전체 24가지 감쇠 상태와 40 GHz 주파수 범위 전체에서 14 dB 이상이며, IIP3는 33 dBm이다.

본 초광대역 DC~40 GHz 5-비트 pHEMT MMIC 디지털 감쇠기는 초광대역 특성, 우수한 감쇠 정확도, 우수한 입출력 정합 특성 및 높은 선형성을 가지고 있으므로, 다양한 상용용, 군사용, 위성용 무선 시스템에 적용이 가능할 것이다.

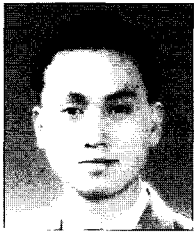
#### 참 고 문 헌

[1] B. khabbaz, A. Pospishil, and H. P. Singh, "DC-



- to-20-GHz MMIC multibit digital attenuators with on-chip TTL control", *IEEE Journal of Solid-State Circuits*, vol. 27, no. 10, pp. 1457-1462, Oct. 1992.
- [2] Triquint Semiconductor, "0.5-18 GHz 5-bit digital attenuator TGL6425-SCC", Datasheet, 1998.
- [3] F. McGrath, R. Pratt, "An ultra broadband DC-12 GHz 4-bit GaAs monolithic digital attenuator", *IEEE GaAs IC Symposium*, pp. 247-250, Oct. 1991.
- [4] M/A-COM, "2-20 GHz 5-bit digital attenuator MA-ATGM0004-DIE", Datasheet, 2003.
- [5] D. Krafcsik, A. Fazal, and S. Bishop, "Broadband, low-loss 5-bit and 6-bit digital attenuators", *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 3, pp. 1627-1630, May 1995.
- [6] J. C. Sarkissian, M. Delmond, E. Laporte, E. Rogeaux, and M. Soulard, "A Ku-band 6-bit digital attenuator with integrated serial to parallel converter", *IEEE MTT-S Int. Microwave Symp. Dig.*, vol. 4, pp. 1915-1918, Jun. 1999.
- [7] Bookham Technology, "0.5-16 GHz 6-bit digital attenuator P35-4304-000-200", Datasheet, 2003.
- [8] L. Sjogren, D. Ingram, M. Biedenbender, R. Lai, B. Allen, and K. Hubbard, "A low phase-error 44-GHz HEMT attenuator", *IEEE Microwave and Guided Wave Letters*, vol. 8, no. 5, May 1998.

### 주 인 권



1994년 2월: 한국해양대학교 해사 수송과학과 (공학사)  
 1998년 2월: 한국해양대학교 전자통신공학과 (공학석사)  
 2000년 8월: 삼지전자(주) 통신연구소 주임연구원  
 2000년 9월~현재: 한국전자통신연구원 위성통신 RF 기술연구팀 선임연구원

[주 관심분야] 위성 중계기, 위성 안테나, 위성 중계기 부품

### 염 인 복



1990년 2월: 한양대학교 전자공학과 (공학사)  
 2004년 2월: 충남대학교 전자공학과 (공학석사)  
 1990년 2월~현재: 한국전자통신연구원 위성통신 RF 기술연구팀 책임연구원

1992년 9월~1995년 5월: 무궁화위성 현장교육 참여 (영국 Matra Marconi 사 등)

[주 관심분야] 위성 중계기, 위성 안테나, 위성 중계기 부품