

# 다중모드 SDR 단말구현을 위한 광대역 RF 및 고속 고해상도 ADC 기술

김상덕, 최병건, 박성수(한국전자통신연구원)

## I. 서론

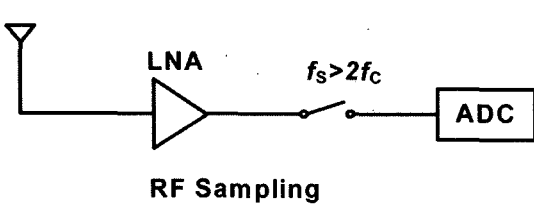
2010년 서비스가 예상되는 4세대 이동통신을 포함한 다중모드 SDR 단말기는 AM, FM, DMB, GSM, GPRS, CDMA2000, WCDMA, HSDPA, Wibro, WLAN 등의 다양한 통신규격을 융합할 수 있어야 하며, 이를 위해 다중모드 SDR 단말기 기술개발에 대한 연구가 진행되고 있다. 다중모드 SDR 통신방식을 이용한 단말기 기술은 선행 연구되어야 할 여러 가지 요소기술을 필요로 한다. 다양한 주파수 대역을 가지는 각종 규격을 통합 처리해야 할 광대역 RF 기술과 배터리에 의해 동작되는 단말기의 기능상 저전력 고해상도의 고속 ADC 기술 개발은 반드시 선행되어야 할 요소기술들이다. 다중모드 SDR 단말기에 채용되는 ADC가 가져야 할 필요조건으로 14bit, 수 GSPS의 고해상도 및 고속의 성능은 물론 수백 mW 이하의 낮은 소비전력 특성을 만족하여야 하며, 5GHz 이상의 광대역 및 다중대역의 RF 신호를 처리할 수 있는 광대역 RF 회로기술 및 규격별 다양한 주파수 대역을 선별할 수 있는 높은 선택도의 다중대역필터 기술개발이 이루어져야 한다. 따라서, II장에서는 다중모드

SDR용 ADC 기술에 대한 설명과 기술현황 및 전망에 대해 살펴보고, III장에서는 향후 SDR용 단말기 구현에 필요한 각 요소기술의 개발 방향을, IV장에서는 본 연구그룹에서 제안하는 각 요소 기술별 연구수행 목표와 개발 전략에 대해 서술하였다.

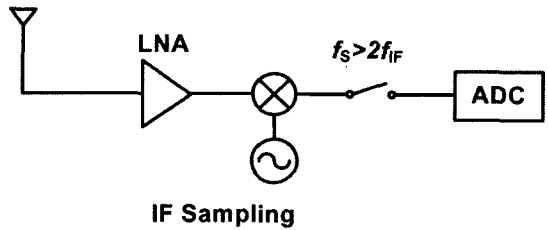
## II. 다중모드 SDR 단말용 ADC 기술개요

### 1. 다중대역 SDR 요소기술

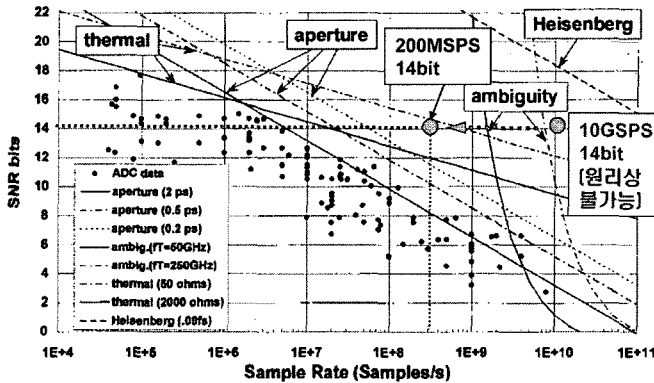
다중모드 SDR 단말기에 관한 연구는 AM, FM, DMB, GSM, GPRS, CDMA2000, WCDMA, HSDPA, Wibro, WLAN 등의 다양한 통신방식을 하나의 단말기를 이용하여 서비스하기 위한 연구이다. 위에 언급한 각각의 통신방식을 하나의 단말기를 통해 서비스하기 위한 한 가지 방법으로서 재구성방식(reconfigurable) RF 또는 광대역 RF 기술에 관한 연구가 진행되고 있으며, 이들은 RF 영역에서의 다양한 주파수와 대역폭을 가지는 신호를 처리하기 위한 다중모드 구현 방법으로서, 향후 다중모드 SDR 단말기 기술의 핵심 요소 기술의 하나로 볼 수



〈그림 1〉 SDR용 직접 RF-디지털 변환구조



〈그림 2〉 SDR용 간접 RF-디지털 변환구조



〈그림 3〉 ADC의 샘플링율과 SNR 비트<sup>[1]</sup>

있다. 즉, RF와 디지털 기술이 융합된 SDR 기술을 이용함으로써, 다중모드 다중대역 통신시스템을 구현할 수 있다. 이와 같은 다중모드 SDR 시스템 구현에서 선행되어야 할 가장 핵심적인 요소기술은 안테나를 통해 들어오는 다양한 주파수 대역과 넓은 주파수대역 신호들을 디지털 신호로 변환시켜주는 고속 및 광대역 ADC 기술, 다중대역 및 광대역 RF회로 기술이다.

## 2. SDR용 ADC 기술개요

다중대역 다중모드 SDR 단말구현에 있어서 고속, 광대역 ADC 기술은 필수 요소기술이며 이를 위한 다중대역 SDR 용 단말기의 기본적인 개념을 그림 1에 나타내었다. 이와 같이 다양한 규격에 따라 수백 MHz에서 수 GHz 대역의 고

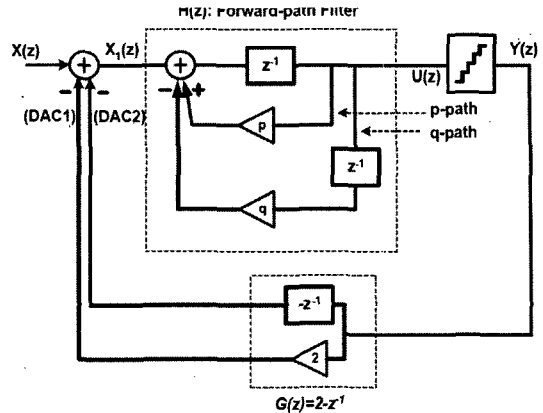
주파 신호를 신호의 왜곡 없이 직접 디지털신호로 바꾸기 위해서는 RF 반송파보다 적어도 두배 이상 큰 샘플링 주파수를 사용하여 변환하여야 하며, 이를 위해 필요한 ADC의 규격은 최소 14bits, 10GSPS 이상의 높은 성능을 충족시켜야 하지만, 그림 3의 ADC의 샘플링율과 SNR 비트와의 관계 그래프에 의하면, 이와 같이 까다로운 ADC 규격은 클럭 성능 및 열잡음 등에 의해 제한받는다. 이러한 ADC 성능의 한계를 극복하기 위한 방법으로서 높은 주파수의 RF 신호를 1차 하향 변환을 가하여 ADC에 요구되는 성능을 완화한 간접 RF-디지털 변환구조를 그림 2에 나타내었다. 간접 RF-디지털 변환구조의 RF 블록에서는 다중대역용 저잡음증폭기(LNA)를 통해 잡음을 최소화하며 신호를 증폭시킨 후 프로그램이 가능한 PLL을 이용하여 높은 주파수의 RF

신호를 1차 중간주파수(IF)로 하향변환을 수행한 후 보다 낮은 샘플링 주파수를 사용하여 아날로그 신호를 디지털 신호로 변환한다. 이러한 간접 RF-디지털 변환구조는 직접 RF-디지털 변환구조에 비해 보다 여유로운 ADC 규격을 요구하기 때문에, 광대역의 다중대역 SDR 구현기술로 보다 적합하다.

### 3. 다중모드 SDR 단말용 ADC 기술현황

국내에서는 기지국에 사용될 SDR 용 ADC에 대한 연구 및 상용화가 주를 이루었으며, 단말기에 사용될 ADC의 경우 사용전력의 제약 등으로 인해, 기지국용 ADC와는 다른 기술이 요구되며, SDR 단말기용 ADC 기술은 아직 초기 개발 단계에 머물러 있다. 유럽의 경우 IST 프로젝트 중 TRUST 연구에서는 2008 년경에 SDR 단말기의 상용제품이 출시될 것으로 예측하고 있으며, 향후 2010 년경에는 다중대역 RF 기술 및 저전력 SoC 기술개발과 더불어 경쟁력을 갖춘 SDR 기반의 단말기도 출시될 것으로 예측하고 있다. Pioneer Consulting Group에 따르면 2002년부터 2008년 사이 SDR 기지국시장은 연평균 79%, SDR 단말기시장은 145%의 성장을 나타내 시장 전체적으로 연평균 88.8%의 초고속 성장이 예측되고 있다.

다중모드, 다중규격의 SDR 기술개발 및 표준화를 위해 1백89개국 회원으로 가입한 '세계 SDR 포럼'을 중심으로 협의가 진행중이며, 3G 통신의 업그레이드 및 4G 통신시스템으로서 SDR 단말기가 사용될 것으로 전망한다. SDR 관련 국내특허는 software-download, DSP 관련 분야가 주종을 이루고 있으나, SDR용 RF 회로 분야는 거의 없는 실정이며, 특히 단말용 SDR



(그림 4) 1.2mW, 66dB DR, 2nd-order  $\Sigma\Delta$  ADC(TI, 2005<sup>[2]</sup>)

관련 특허는 거의 전무한 상태이다. 해외특허의 경우에도 Software-download, DSP 관련 분야가 주종을 이루고 있으며, 광대역 RF 회로 연구 및 Multi-carrier 전력증폭기에 관한 연구결과는 다수 나와 있으나, SDR용 RF 회로 분야는 없는 것으로 판단된다.

국내에서는 ETRI에서 SDR 기지국이 개발되고 있어서 SDR 운영기술 등이 확보되고 있으며, 삼성 등 대기업에서 SDR 단말기 플랫폼이 연구중에 있다. 또한 기초연구수준에서 10 bit 해상도와 150 MSPS의 성능을 가지는 파이프라인 구조의 ADC가 국내 대학에서 개발되었다. 해외에서는 TI사에서 WCDMA 단말기에 적용하기 위한 1.94MHz의 단일 대역폭의 63dB SNR, 66dB dynamic range, 1.2mW 수준의 ADC(그림 4)가 2005년에 논문으로 발표된 바 있다<sup>[2]</sup>.

## III. ADC 및 핵심기술 개발 방향

### 1. 핵심기능

다양한 주파수 대역의 통신 규격을 서비스하

〈표 1〉 다중모드 SDR 단말용 디지털 RF 및 ADC 핵심요구기능

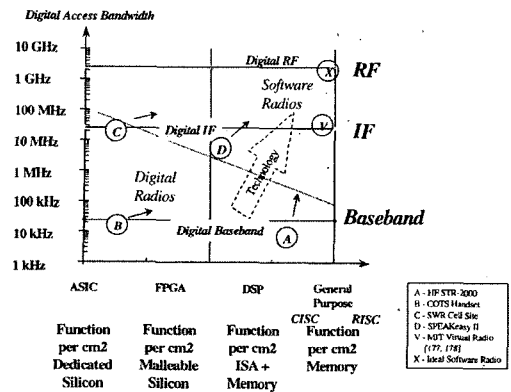
분류	정의	선택사유
주파수대역	SDR 단말 RF 반송파 주파수 (GHz)	반송파 주파수가 다른 표준 지원을 위해서 광대역 특성 요구
지원서비스	CDMA2000, WCDMA, Wibro 등의 통신 표준	SDR 개발 초기에는 2~3개 표준 지원하다 점진적으로 확장
전송속도	최대 패킷 데이터 전송 속도 (Mbps)	전송 속도에 따라 높은 사양의 DSP/FPGA 요구
전력소모	SDR 핵심 칩셋의 수신상태 전력소모 (mW)	배터리 전원으로 동작되는 단말기에서 중요한 요구사항

〈표 2〉 핵심기능 발전전망

분류	2005	2006	2007	2008	2009	2010	2011	2012
- 주파수대역	2G		2.5GHz			5GHz		>5GHz
- 지원서비스	3G		3.5G까지			4G		B4G
- 전송속도	384k		10Mbps			100Mbps		1G
- 전력소모	1W		200mW			<100mW		<50mW

기 위한 다중모드 SDR 용 RF 및 ADC 기술개발을 위해 반드시 고려해야할 사항으로는 사용하고자 하는 서비스의 주파수대역, 전송속도, 소비 전력 등이며, 표 1에 핵심기능에 대해 설명하였다.

다중모드 SDR 단말용 RF 및 ADC 개발에 필요한 핵심기능별 향후 발전방향은 2010년 이후 5 GHz 이상의 RF 주파수 대역을 서비스할 수 있으리라 예상하며, 2010년 4G 개발을 완료할 것으로 전망된다. 전송속도도 점차 빨라져 2005년 384 kbps에서 2010년 100 Mbps, 2012년 1 Gbps 데이터율의 전송이 가능할 것으로 보이며, 소비전력도 2005년 1 W에서 2012년 50 mW 이하로 떨어질 것으로 전망된다.



〈그림 5〉 SDR 현황 및 발전전망<sup>[3]</sup>

## 2. 핵심기능별 요소기술 및 개발방향

주파수대역, 지원서비스, 전송속도 및 전력소모량과 같은 핵심요구기능과 관련한 요소기술로는 광대역 RF 수신기술, 다중대역 필터기술,

〈표 3〉 핵심기능별 요소기술

기술영역	관련 요소기술
- SDR RF	광대역 RF 수신기술, 다중대역 필터 기술, 고성능 저전력 AD변환기술
- SDR BB	고성능 DSP/FPGA, 고속 I/O 버스 구조기술
- SDR 단말	모듈화 기술

〈표 4〉 기술영역 개발목표 전망

기술영역	요소기술	2005	2006	2007	2008	2009	2010	2011	2012
SDR RF	광대역 수신기술(BW)	20MHz		3GHz			5GHz		>5GHz
	다중대역 필터기술	2 band		3 band			multi-band		all band
	고성능 저전력 ADC	14bit 125MSPS		14bit 200MSPS			14bit 300MSPS		14bit 500MSPS
SDR BB	고성능 DSP/FPGA	30GOPS		100GOPS			200GOPS		500GOPS
	고속 I/O 버스 구조	100Mbps		1Gbps			2Gbps		10Gbps
SDR 단말	모듈화기술	RF, BB		RF, BB, SW			RF+BB, SW		1chip

고속, 저전력, 고해상도 AD 변환기술, 고성능, 고효율 DSP/FPGA 기술, 고속 I/O 버스 구조기술, 단말기용 모듈화 기술 등이 있다. 이들 요소기술을 크게 SDR RF, SDR BB, SDR 단말기술로 분류하면 표 3과 같다.

SDR RF 기술은 다양한 주파수를 가지는 규격을 서비스하기 위한 광대역 RF 수신기술, 다중대역 필터기술, 고성능, 저전력, 고해상도의 ADC 기술개발을 포함하며, SDR BB 기술은 디지털 신호로 변환된 신호를 처리하기 위한 고성능 DSP/FPGA 및 고속 I/O 버스 구조기술을 포함한다. SDR 단말기술은 SDR RF와 SDR BB 기술을 모듈화하기 위한 기술영역이다.

이러한 기술영역 및 요소기술에 대한 향후 개발 전망을 표 4에 나타내었다. 2012년 까지 5 GHz 이상의 대역을 포함하고 14 bit, 500 MSPS의 고성능 저전력 ADC 기술이 개발되어 단일

칩으로 SDR 단말용 모듈기술이 개발될 것으로 전망된다.

다중모드 SDR용 RF 기술영역의 광대역 수신기술은 구조가 간단한 광대역 RF 회로 또는 각 모드별 재구성형 RF 회로 등으로 구현이 가능하다. 다중대역 필터기술로는 각 주파수대역별 수동소자를 사용한 수동필터와 이에 비해 다소 구조가 복잡하나 하나의 회로로써 구현이 가능한 능동필터기술 등이 있다. 고속 해상도 및 저전력 ADC 기술로는 고해상도의 파이프라인과 저전력의 시그마-델타 구조의 장점만을 이용한 혼합구조가 다중모드 저전력 SDR용으로 적합할 것으로 생각된다. SDR용 BB 기술영역의 고성능 DSP/FPGA 기술은 고성능 동작을 위해 범용프로세서를 사용하지 않고 전용 DSP/FPGA 기술을 사용하며, 고속 I/O 버스구조 기술 구현을 위해서는 신호의 품질이 우수한 시리얼 통신방식

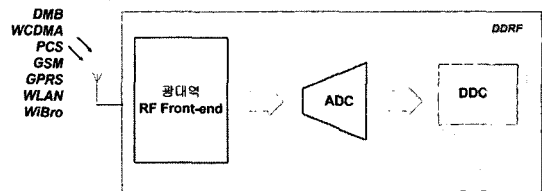
〈표 5〉 기술 분석

분류	요소기술	구현가능기술	장단점	
SDR RF	광대역 수신기술	광대역 LNA	구조가 간단	
		재구성형 RF	구조가 복잡	
	다중대역 필터기술	수동소자 필터	구조는 간단하나 방식별로 소자의 개수가 늘어나며 방식별로 남	
		능동소자 필터	구조가 복잡하나 1개의 회로로 가능	
	고속 고해상도 ADC	pipe-lined구조	pipe-lined구조	고해상도가 가능하나 전력소모가 많음
			sigma-delta구조	전력소모가 적으나 고해상도에 불리
혼합구조			전력소모와 해상도를 동시에 줄일 수 있음	
SDR BB	고성능 DSP/FPGA	전용 DSP/FPGA	고성능 동작이 가능	
		범용프로세서	고성능은 가능하지만 전력소모가 큼	
	고속 I/O 버스 구조	시리얼 통신	속도는 낮으나 신호의 품질이 향상	
		패러렐 통신	속도가 높으나 신호의 품질이 매우 나쁨	
SDR 단말	모듈화 기술	SIP 기술	단말로서의 모듈화에 적합	
		PCB 조립 기술	모듈화는 가능하나 SIZE가 커짐	

과 고속신호처리가 가능하지만 신호품질이 불량한 패러렐 통신방식 중에 선택이 가능하다. SDR 단말기의 모듈화 기술로는 사이즈가 큰 PCB 조립기술은 배제한 SIP 기술이 바람직할 것으로 예상된다. 표 5에 다중모드 SDR용 요소기술 및 구현가능기술에 대한 분석을 나타내었다.

#### IV. ADC 및 핵심기술 개발

이상과 같은 다중모드 SDR 단말용 ADC 및 핵심 RF 기술 분석을 바탕으로 2010년 까지 14 bit, 5GHz 급 ADC와 DDRF(Direct Digital RF) 기술 개발이 요구된다. 향후 개발이 예상되는 DDRF에 대한 개념도를 그림 6에 나타내었다. DDRF는 광대역 수신용 저잡음증폭기(LNA)와 각 규격별 RF 반송파를 제거하기 위한 주파수혼합기 및 프로그램이 가능한 PLL로 구



〈그림 6〉 다중모드 SDR 단말용 DDRF 구조

성된 CCRF(Carrier Canceling RF) 부분과 고해상도 및 저전력 ADC와 DDC(Digital Down Conversion) 부분으로 이루어져 있다.

광대역 저잡음증폭기는 각종 규격별 낮은 잡음지수를 확보하기 위하여 0.7~5 GHz 광대역 특성을 갖도록 하였으며, 저잡음증폭기를 통과한 신호는 주파수혼합기(Mixer)에서 반송파의 주파수를 ADC의 해상도 범위까지 줄여준다. 이를 위해 프로그램이 가능한 PLL로부터 규격별 국부발진신호(LO)를 주파수혼합기에 공급하게

된다. ADC는 5 GSPS, 14 bit의 해상도를 가지고 디지털신호로 변환하여 주는데, 뒤따르는 DDC는 베이스밴드 대역으로 디지털신호를 변환시키는 역할을 하게 된다.

## V. 결 론

지금까지 다중모드 SDR 통신단말기술의 개요, SDR 핵심기술영역인 SDR RF, SDR BB, SDR 단말기술과 이들의 요소기술인 광대역 RF 수신기술, 고속 ADC, 디지털 기술등의 분석을 통한 고해상도 저전력 ADC 및 광대역 RF를 포함한 DDRF 개발 방향 등에 관해 기술하였다. 향후 다중모드 SDR 통신기술은 광범위한 규격이 통합된 하나의 단말기를 이용하여 복합 네트워크 환경하의 4세대 이동통신의 핵심기술이 되리라 전망하며, ADC 기술과 광대역 RF를 포함한 DDRF 기술이 선행되어야 할 핵심요소기술로 등장할 것으로 예상된다.

## 참고문헌

- [1] R. H. Walden, "Analog-to-digital converter survey and analysis," IEEE Journal on Selected Areas in Communications, vol. 17, pp. 539-550, 1999.
- [2] Jinseok Koh, Yunyoung Choi, and G. A. Gomez, "66dB DR 1.2V 1.2mW single-amplifier double-sampling 2nd-order ADC for WCDMA in 90nm CMOS," IEEE International Solid-State Circuits Conference, vol. 1, pp. 170-591, 2005.
- [3] J. Mitola, III, "Software radio architecture: a mathematical perspective," IEEE Journal on Selected Areas in Communications, vol. 17, pp. 514-538, 1999.

## 저자소개



김 상 덕

2003년 광운대학교 전자공학부 학사  
 2004년-현 재 과학기술연합대학원대학교 석사과정  
 2003년-2004년 서울대학교 SoC설계기술센터  
 2004년-현 재 한국전자통신연구원 IT융합부품연구  
 구소

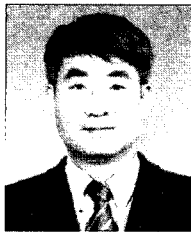
주관심분야 저전력 SoC 및 내장형시스템 설계



최 병 건

1995년 영남대학교 전자공학과 학사  
 2000년 한국정보통신대학교 공학부 석사  
 2005년 한국정보통신대학교 공학부 박사  
 1995년-1996년 (주)삼성전자 반도체총괄  
 1999년 (주)에이에스비 위촉연구원  
 2001년 Visiting Scholar, Communication  
 Research Centre, Canada

2003년-2005년 한국전자통신연구원 위촉연구원  
 2005년-현 재 한국전자통신연구원 선임연구원  
 주관심분야 저전력 RF 회로 및 시스템 설계



박 성 수

1984년 연세대학교 학사  
 1986년 한국과학기술원 석사  
 1992년 한국과학기술원 박사  
 1993년-현 재 한국전자통신연구원  
 주관심분야 이동통신, 단거리 무선통신 RF 및 디지  
 털 SoC