

논문 2006-43SD-2-10

System-On-Panel 적용을 위한 저온 폴리 실리콘 박막 트랜지스터 레벨슈프터 설계

(Design of LTPS TFT Level Shifter for System-On-Panel Application)

이 준 창*, 정 주 영**

(Joon Chang Lee and Ju Young Jeong)

요 약

본 논문에서는 새로운 레벨슈프터 회로의 구조를 제안한다. 제안된 구조는 높은 입력전압을 필요로 하는 회로에 낮은 입력 전압을 주어도 충분히 동작할 수 있는 능력을 가진다. 기존의 레벨슈프터 회로에 비해 동작 속도는 비슷하고 전력소모와 회로 면적에 대해서 장점을 갖는다. 마지막으로 HSPICE 시뮬레이션 과정을 통해 제안된 회로의 장점을 실험적으로 증명하였다.

Abstract

We proposed a new level shifter circuit architecture. The proposed circuit can provide high output voltage upto 15V by taking 3.3V logic signal compared to the conventional level shifter. The proposed circuit has compatible speed, low power consumption and chip size. We have confirmed the operation by conducting HSPICE simulation.

Keywords : SOP, LTPS TFT, Boosting Capacitor, Level Shifter

I. 서 론

최근 디스플레이 시스템은 프로세서 및 고성능 디지털 모듈을 하나의 TFT-LCD 기판 위에 집적, 일체화하는 System-On-Panel(SOP) 개념을 도입하여 활발히 개발되고 있다. 특히 모바일 디스플레이 환경을 중심으로 SOP 디스플레이에 대한 중요성 및 관심이 증가하고 있다. 이것은 시스템의 경박단소화, 고신뢰성, 저가격화 실현을 기대할 수 있기 때문이다. 특히 저온 다결정 실리콘 박막 트랜지스터(LTPS-TFT) 성능이 빠르게 향상되고 있어서 3 ~ 5년 안에 SOP의 응용 범위가 크게 넓어질 것으로 기대된다.^[1]

SOP 디스플레이에 집적되어야 할 디지털 회로는 크게 디스플레이 구동회로와 시스템용 디지털 회로로 나누어 볼 수 있는데 두 종류 모두 현재의 LTPS-TFT 성능으로는 단결정 실리콘 집적회로를 패널에 붙여 사용하는 COG(Chip-On-Glass) 시스템에 비해 속도, 면적, 전력소모량 등에서 열세에 있다. 하지만 LTPS-TFT의 전자 이동도가 빠르게 향상되고 소자의 크기 역시 지속적으로 감소하고 있어, SOP 디스플레이의 상용화가 가능할 것이라는 기대가 조금씩 실현되고 있는 추세이다.^[2]

현재, PDA 등의 소형 장치에 있어 SOP의 적용은 패널 제작 단가와 칩의 면적 및 낮은 전력 소비를 필요로 하고 있고, 3.3V와 같은 낮은 전원 전압을 이용한 설계가 주로 사용되고 있다.^[3] 그러나 액정은 종종 10V 또는 20V의 전압 진폭을 갖는 신호에 의해 구동된다. 따라서 낮은 전원 전압에서 구동되는 집적회로의 전압 레벨을 레벨슈프터를 이용한 액정과 저전압 디지털 회로의 인

* 학생회원, ** 정회원, 수원대학교 전자공학과
(Department of Electronics Engineering Suwon University.)

※ 본 연구는 학술진흥재단의 중점연구지원사업의 연구비(KRF-2004-005-D00164)에 의해 지원되었다.
접수일자: 2005년7월13일 수정완료일: 2006년1월4일

터페이스가 필요하다.

II. 본 론

1. 기존의 Level Shifter

액정은 저전압 디지털 회로의 낮은 입력 신호를 레벨 쉬프트 하여 구동할 수 있다. 이처럼 액정과 저전압 디지털 회로의 인터페이스를 위한 레벨쉬프터의 개발은 이미 많은 곳에서 연구되고 있고 발표되어있다.^{[5][6][7]} 그림 1은 부스팅(Boosting) 캐패시터를 이용한 레벨쉬프터이다.^[4]

그림 1에 보인 구조의 기본 동작을 살펴보면 낮은 전압의 진폭을 갖는(VDDL ~ VSSL) 입력 전압이 회로에 인가되면 부스팅(Boosting) 캐패시터 C1과 C2를 통해서 Pin과 Nin의 노드에 Input 전압의 진폭과 같은 크기의 커플링(Coupling) 전압이 발생하고, 이 전압은 각각 PTFT의 Mp1과 NTFT인 Mn1의 gate 전압으로 인가된다. 그러나 Input 전압은 VSSL(0V)에서 VDDL 전압까지 Swing을 하게 되므로 이 전압이 그대로 Pin과 Nin에 전달이 되게 되면 Mp1과 Mn1로 구성되어있는 Inverter의 동작은 균형 있게 이루어지지 않게 된다. 그

래서 Mopf1과 Mofn1로 구성된 회로를 통해 Pin에 Offset1 전압을, Mopf2, Mofn2로 구성된 회로를 통해서 Nin에 Offset2 전압을 주어서 Input이 인가되면 C1, C2에 의해 Offset1과 Offset2에서 Input 전압의 크기만큼 Swing을 하도록 하였다. 또한 Mopf3와 Mopf3를 추가해서 Pin 노드의 전압은 좀 더 낮은 전압에서, Nin 노드의 전압은 좀 더 높은 전압에서 동작하도록 설계하여 Mp1과 Mn1이 더욱 강하게 ON이 되도록 설계함으로써 Switching 속도가 빨라지도록 하였다.

그러나 그림 1의 Offset 회로의 구조를 보면 Pin(또는 Nin) 노드가 Mopf1과 Mofn1의 드레인에 연결이 되어 있어서 Pin(또는 Nin) 노드 전압은 offset 전압으로 수렴 되도록 충전 또는 방전을 한다. 그로 인해 전력 소모가 증가한다. 또한 부스팅 캐패시터의 충·방전 시간보다 입력 전압의 주기가 너무 짧게 인가되면 Pin 노드와 Nin 노드의 전압이 offset1, offset2의 DC 전압으로 수렴하여 Out1의 전압 또한 DC 전압으로 수렴되는 문제가 발생한다. 그리고 50%의 duty ratio를 갖지 않으면 Pin 노드와 Nin 노드 전압의 충전시간(Charging Time)과 방전시간(Discharging Time)이 달라지면서 비대칭적으로 동작할 가능성이 크다. 이러한 문제를 극복하기 위해서는 C1과 C2의 용량이 큰 것을 사용함으로써 Pin과 Nin 노드의 전압을 오랜 시간동안 유지되도록 할 수 있지만 회로의 전체 면적이 너무 커지는 문제점을 안고 있다.

그리고 Pin 노드의 전압은 VDDH 전압보다 낮고 Vgs가 Vthp보다 작기 때문에 Mp1은 항상 ON상태에 있다. 마찬가지로 Nin 노드의 전압 역시 항상 VSSH보다 높은 전압을 갖고 있어서 항상 ON 상태에 있다. 그로인해서 전력 소모가 증가하게 되고, Out1의 전압은 Full Swing(VDDH ~ VSSH)이 일어나기 어려워지는 결과를 초래한다. 또한 그림 1의 구조에서는 Pin 노드의 전압은 VSSH에서 VDDL(Vofs1)까지의 진폭을 갖도록 설정을 하였는데, 입력 전압값(VDDL)이 너무 작으면 Mp1의 $|Vgs(Mp1)|$ 값이 커져서 Off-Current가 증가하게 된다. 따라서 Out1의 전압은 GND(0V)레벨까지 충분히 떨어지지 못한다. Nin 노드의 전압도 마찬가지로 VDDH에서 입력 전압의 진폭의 크기만큼 Swing을 하기 때문에 역시 $|Vgs(Mn1)|$ 값이 커져서 Off-Current가 증가하고 Out1의 전압은 VDDH까지 더욱 올라가지 못하게 된다. 게다가 Off-Current의 증가로 전력소모는 더욱 증가하게 된다. 따라서 그림1의 구조는 입력전압의 진폭을 $(VDDH - VSSH)/2$ 의 크기를 갖도록 해야 하는

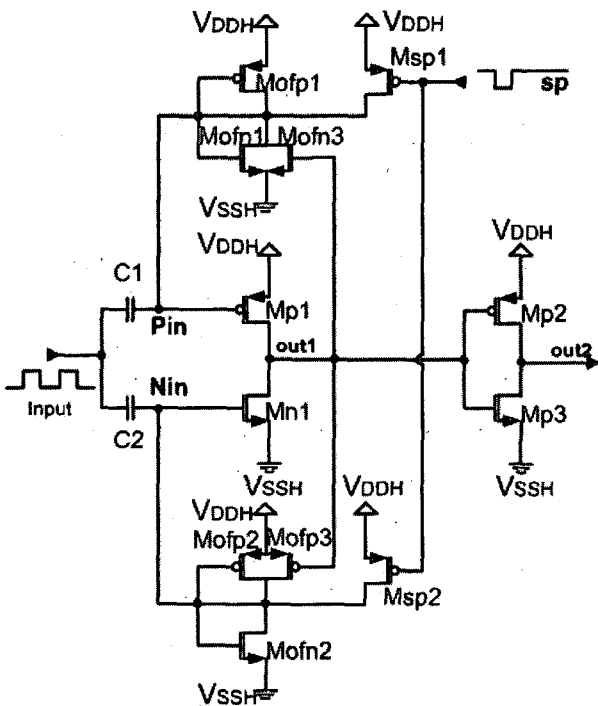


그림 1. 부스팅 캐패시터를 이용한 기존의 레벨쉬프터의 구조

Fig. 1. Configuration of conventional level shifter with boosting capacitors.

데, 3.3V의 전원 전압을 사용하여 10V이상에서 구동되는 액정에 적용하기에는 적합하지 못하다.

결론적으로 그림 1의 구조는 빠른 동작 속도로 높은 주파수에서 적용은 가능하지만, 높은 전력 소모와 낮은 주파수 또는 낮은 입력전압에서의 불안정한 동작, 그리고 회로면적이 크다는 문제점을 지니고 있다.

2. 제안된 Level Shifter

그림 2는 안정적이고, 적은 전력 소모 및 적은 면적을 차지하기 위해 제안한 회로이다.

회로의 기본적인 동작 원리는 입력전압(디지털 논리 회로의 출력)이 M2인 NTFT의 게이트에 직접 연결되고, PTFT인 M1의 게이트에는 부스팅 커패시터(Boosting Capacitor : C1)를 거친 전압이 인가되어 M1과 M2로 구성된 Inverter를 제어하는 것이다. 예를 들어 M2의 V_{th} 가 1V라고 가정한다면, Input이 0V일 경우는 Off 될 것이고, 1V이상인 경우에는 On이 되는 조건을 만족한다. 그러나 M1의 경우 게이트 초기전압이 GND(0V) 레벨에 있다면, C1에 의해 커플링이 일어나더라도 높은 전압의 VDDH 값을 소스(Source)전압으로 갖는 M1은 항상 On상태로 존재할 가능성이 크다. 이러한 점을 보완하기 위해서 Ms1, Ms2로 구성된 회로를 추가하여 M1의 게이트와 C1사이 노드의 초기 전압을 상승시켜 주었다. 본 논문에서는 이후부터 C1과 M1의 게이트 사이의 노드를 Pgate로 명명하겠다.

제안한 회로의 기본 개념은 회로가 동작하기 이전에 Pgate 전압을 VDDH-/Input 전압으로 유지시킨 후, Input 전압이 인가되면 Pgate 전압은 C1에 의해 VDDH에서 VDDH-/Input으로 Swing 하면서 M1을 제어하는

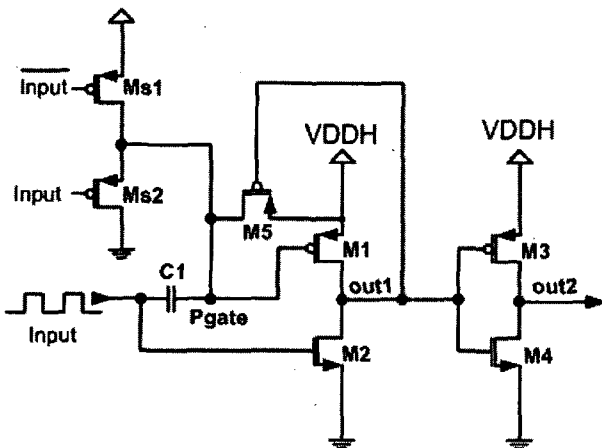


그림 2. 제안하는 레벨슈퍼의 기본 구조

Fig. 2. Basic configuration of the proposed level shifter.

것이다.

Input이 Low 레벨인 경우, Pgate 전압의 수식적인 증명은 다음과 같다.

Ms1을 통해 흐르는 전류는

$$I_{d(Ms1)} = \frac{1}{2} k' \frac{W_{Ms1}}{L_{Ms1}} (V_{sg(Ms1)} - |V_{thp Ms1}|)^2$$

$$= \frac{1}{2} k' \frac{W_{Ms1}}{L_{Ms1}} (VDDH - \overline{Input} - |V_{thp Ms1}|)^2 \quad (1)$$

Ms2를 통해 흐르는 전류는

$$I_{d(Ms2)} = \frac{1}{2} k' \frac{W_{Ms2}}{L_{Ms2}} (V_{sg(Ms2)} - |V_{thp Ms2}|)^2 \quad (2)$$

$$= \frac{1}{2} k' \frac{W_{Ms2}}{L_{Ms2}} (V_{Pgate} - Input - |V_{thp Ms2}|)^2$$

Ms1과 Ms2를 통해 흐르는 전류의 양은 동일하고, 두 개의 Transistor의 Size와 모든 특성이 동일하다면,

$$V_{Pgate} = VDDH - \overline{Input} + Input \quad (3)$$

이 때 Input=Low(0V)이고 /Input=High(3.3V)라면 Pgate의 Low 전압은 VPgate = VDDH-/Input의 값을 갖게 된다.

이후에 Input이 high 전압이 되게 되면 C1의 커플링에 의해서 Pgate 전압은 VDDH로 상승하게 되면서 M1을 Off시킨다. 이 때 M2는 On이 되어서 out1 노드 전압은 GND(0V)로 떨어지게 된다. 또한 Out1의 노드 전압이 Low로 떨어지게 되면서 M5의 게이트에 Feedback 되어 M1의 게이트 전압이 VDDH값으로 상승하는 것을 돕는다. 그리고 Pgate의 전압이 C1 커플링을 통해 Input 전압의 변이(Transition) 시간과 동일하게 스위칭을 하게 되어, Ms1과 Ms2를 거쳐서 나와야 하는 지연 시간(Delay)이 제거된다. 변이(Transition)가 일어난 후 Pgate의 전압은 Ms1과 Ms2를 통해 만들어진 전압으로 유지되므로 C1의 크기는 입력 전압이 변이(Transition)가 일어나고 Ms1과 Ms2를 통해 출력되는 지연시간동안만 전압 값이 유지되도록 최소한의 크기로 설계하면 된다. 따라서 C1의 크기를 줄일 수 있는 이점이 있다.

하지만 그림 2의 경우, Pgate의 Low 전압(VDDH-/Input)을 만들어 주기 위한 회로에서 Ms1과 Ms2의 게이트전압보다 소스전압이 항상 높기 때문에($V_{gs} < V_{th}$)

정적 전류(Static Current)가 존재하여 전력소모를 증가시키는 문제점이 있다. 설계상에 있어서 Ms1과 Ms2를 통해 흐르는 전류를 완전히 제거하기는 어렵지만, 수식에서 알 수 있듯이 Device의 특성이 동일하다면 Ms1과 Ms2의 크기(Width/Length)를 같게 하고, 채널의 길이를 충분히 길게 함으로써 이 경로를 통해서 흐르는 전류의 양을 충분히 줄일 수 있다.

또한 우리는 Ms1과 Ms2를 통해 흐르는 전류를 줄이기 위해 다음의 두 가지 회로를 추가적으로 제안하였다.(그림 3, 그림 4)

첫 번째로 그림 3의 구조처럼 Ms2의 드레인(Drain)에 연결되어있는 접지(Ground) 대신에 입력 전압을 직접 연결하였다. 이처럼 설계한 이유는 Pgate 전압이 Low(VDDH-/input)값을 갖기 위해서는 Ms2의 게이트 전압(Input)이 0V 이고 Ms2의 드레인 전압도 0V가 되어야 한다. 하지만 Pgate의 전압이 High(VDDH)값을

갖기 위해서는 Ms1의 게이트 전압(Input)이 Low(0V)로 되어서 Ms1이 On이 되어야 한다. 이때 Ms2의 게이트에는 입력전압(Input)의 High(VDDL)값이 인가되므로 $V_{gs}(Ms2) = V_{DDH} - V_{DDL} < V_{th}(Ms2)$ 이다. 따라서 Ms2가 완전히 Off가 되지 않아서 전류의 낭비가 발생하고, Pgate의 전압이 VDDH까지 충분히 올라가지 않는 경우가 발생할 수 있다. 이러한 전류의 낭비를 줄이기 위해, Ms2의 게이트와 드레인에 Input을 인가하여 Pgate전압이 High(VDDH)로 올라갈 때 Ms2의 Vgs와 Vds를 동시에 감소되도록 하였다.

또 다른 한 가지의 구조로는 그림 4와 같이 Ms2를 NTFT로 바꿈으로써 더욱 효과적으로 정적 전류(Static Current)를 차단할 수 있다. 그림 4를 보면 Ms2의 게이트에 인가되는 /input 전압이 0V가 되었을 때 NTFT인 Ms2는 off가 되므로 이 시간 동안에는 전류가 거의 흐르지 않게 된다. 하지만 그림 4에서 제안한 구조는 Pgate의 Low 전압(VDDH-/Input)을 구하기 위해서는 앞에서 제안했던 두 회로에 비해 조금 더 정확한 계산이 필요하게 된다. 그 이유는 Pgate의 Low 전압(VDDH-/Input)을 구하기 위해서 그림 2와 그림 3의 구조는 Ms1과 Ms2의 크기(Width/Length)를 동일하게 하면 되지만, 그림 4의 경우에는 채널의 크기(Channel Size)를 조절하여 전류의 양을 제어해서 Pgate에 걸리는 전압을 제어해야 한다. 그러나 그림 3에 비해 그림 4의 구조는 /Input이 0V일 경우 Ms2가 확실히 off가 되므로 Static Current가 제거되는 효과를 얻을 수 있다.

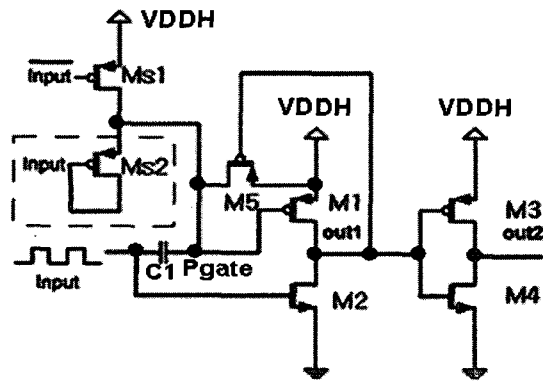


그림 3. 제안된 레벨슈프터 구조의 전력 소모 감소 방법

Fig. 3. Improved level shifter configuration for low power consumption.

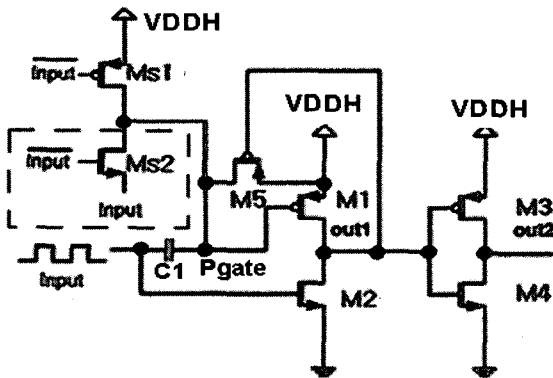


그림 4. 제안된 레벨슈프터 구조의 전력 소모 감소를 위한 다른 방법

Fig. 4. Another improved level shifter configuration for low power consumption.

III. 실험

1. 시뮬레이션 결과

본 논문에서 제안한 회로에 대한 성능을 테스트하기 위해 RPI TFT 모델과 제작된 TFT에서 88cm²/V-sec와 98cm²/V-sec의 이동도를 추출한 p형 트랜지스터와 n형 트랜지스터를 사용하였다. 출력단의 부하로 Inverter의 gate 캐패시턴스(Capacitance)를 이용하였다.

레벨슈프터의 동작 특성을 비교하기 위해 그림 1의 구조와 제안한 레벨슈프터(그림 2 ~ 4)에 대하여 그림 3의 구조를 중심으로 동작 속도와 전력소모, 면적에 대하여 평가하였다.

그림 5와 그림 6은 입력 전압 5V를 받아서 10V의 출력을 얻고자 할 경우의 전파지연(Propagation Delay), 전력소모(Power Consumption), 회로 면적(Circuit Area)을 보이고 있다. 1pF의 캐패시터가 차지하는 면적은

66 μm \times 40 μm 로 설정하였고, 입력 주파수는 25MHz이다. C1과 C2의 용량은 2pF를 사용하였고, Pin의 전압은 VSSL에서 Vofs1까지의 전압 진폭을 갖도록 설계하였다.

그러나 그림 5에서 out1 파형의 진폭이 약 1V ~ 8V까지로 Full-swing을 하지 못하는 것을 볼 수 있다. 이것은 Pin의 전압이 항상 VDDH보다 작고 Vgs(Mp1) < Vth를 만족하고 있어서, Mp1이 off가 되어야 할 때 완전하게 Off를 시키지 못하게 된다. 그래서 Mp1이 Off여야 할 로직 상태에서도 전류를 공급하고 있어 Out1의 전압이 GND 레벨까지 떨어지지 못하기 때문이다. Nin의 경우도 마찬가지로 out1의 전압은 VDDH까지 완벽하게 구현되지 않는다. 그리고 out1의 전압이 Full-Swing을 하지 못하게 되면, 뒷단의 출력인 out2에도 영향을 주게 되어 out2의 전압도 Full-Swing하지 못하는 현상이 발생할 수 있다. 이렇게 Mp1과 Mn1이 완전하게 Off가 되지 못하면 회로내의 낭비되는 전류의 양을 증가시켜 전력소모가 증가하는 주요 요인이 된다.

그림 1의 기존 구조에 비해 그림 6의 제안된 구조에서의 시뮬레이션 파형을 보게 되면 Pgate의 전압은 VDDH에서 /Input의 전압을 뺀 값까지만 Swing을 하기 때문에 On과 Off의 상태가 확실하다. 따라서 out1의 전압 진폭은 충분히 VDDH ~ GND 레벨까지 Full-Swing이 이루어지고, 낭비되는 전류의 양이 줄어들어

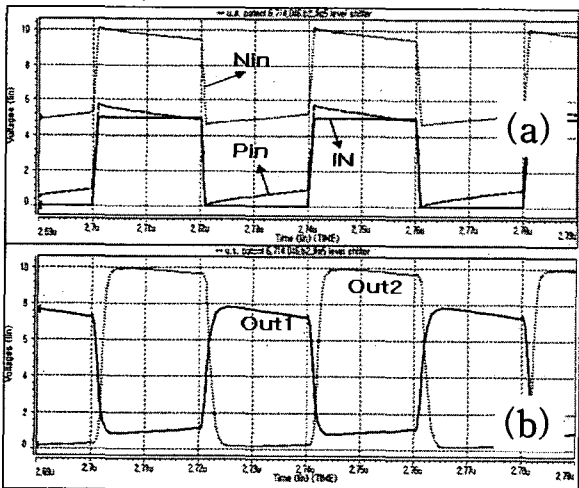


그림 5. 입력 전압 5V에서 출력 전압 10V를 위한 기존의 레벨슈프터 회로의 시뮬레이션 파형 (a) 입력파형(IN)과 Mp1과 Mn1의 게이트에 인가되는 파형(Pin, Nin), (b)출력 파형(Out1,Out2)

Fig. 5. Simulation waveform of conventional level shifter circuit for 5V input & 10V output (a) Input waveform(IN) and Mp1,Mn1 Gate Input Waveform(Pin,Nin) (b) Output Waveform (Out1, Out2).

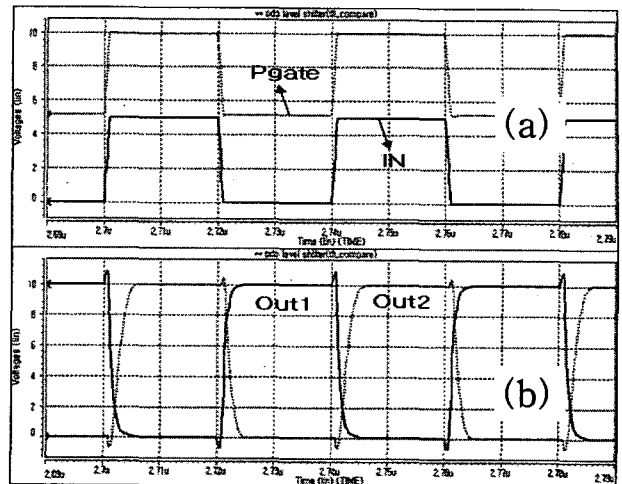


그림 6. 입력 전압 5V에서 출력전압 10V를 위한 제안한 레벨슈프터 회로의 시뮬레이션 파형 (a)입력파형(IN)과 M1의 게이트에 인가되는 파형(Pgate), (b)출력 파형(Out1,Out2)

Fig. 6. Simulation waveform of proposed level shifter circuit for 5V input & 10V output. (a) Input waveform(IN) and M1 gate input waveform(Pgate) (b) Output waveform (Out1, Out2).

전력소모를 상당부분 줄일 수 있었다. 그러나 M1의 gate의 On전압이 그림 1의 기존 구조보다 낮기 때문에 속도 면에서는 약간 늦어지는 경향을 나타낸다.

다음으로 레벨슈프터의 효율성을 알아보기 위해서 충분히 낮은 전압을 입력으로 주고 레벨슈프터의 특성을 테스트해 보았다. 본 논문에서는 SOP에 주로 사용되고 있는 전원전압의 레벨을 적용하기 위해 기존회로와 제안한 회로에 3.3V의 진폭을 갖는 입력전압을 인가하였다.

그림 7은 기존의 레벨슈프터에 입력전압 3.3V를 인가한 시뮬레이션 결과이고, 그림 8은 제안한 회로에 입력전압 3.3V를 인가한 시뮬레이션 결과이다.

기존 레벨슈프터의 Nin과 Pin의 전압이 낮게 인가가 되면 입력전압이 5V로 인가될 때보다 Mp1과 Mn1의 Off-current가 증가하게 되고 out1의 전압 진폭은 더욱 작아지게 되어 out2의 전압의 진폭까지 충분히 full-swing이 이루어 지지 못하게 된다. 반면에 제안된 레벨슈프터의 경우 3.3V의 입력전압이라도 Device의 Vth보다 크기 때문에 확실한 On, Off를 나타낼 수 있으므로 full-swing을 얻을 수 있다.

표 1은 기존의 레벨슈프터와 제안한 레벨슈프터의 성능을 비교하기 위해 전파지연(Propagation Delay)과 전력소모(Power Consumption), 회로 면적(Area)에 대해서 측정한 결과이다. 전파지연을 측정하기 위해 상승시간(Rising Time)은 VDDH*0.1에서 VDDH*0.9까지의 레벨을 기준으로 측정을 하였다. 반대로 하강시간은

VDDH*0.9 -> VDDH*0.1까지 측정하였다. 표 1에 입력 전압을 5V로 사용한 경우 전파지연 속도는 기존의 구조가 조금 빠르지만, 전력소모와 면적에 대해서는 제안된 구조의 특성이 월등히 우수함을 보여주고 있다. 전력소모는 약 94%가 감소하였고, 면적은 약 49%가 감소되었다. 그리고 입력전압이 3.3V로 인가된 경우를 살펴보면, 두 회로 모두 낮은 전압이 인가되면 On, Off정도가 약 해져서 회로의 동작 속도가 조금씩 감소하게 된다.

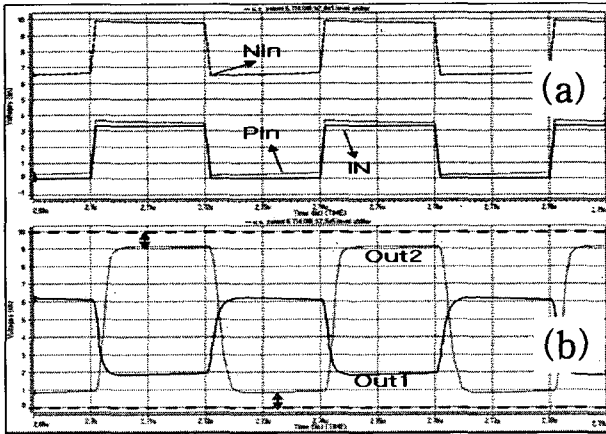


그림 7. 입력 전압 3.3V에서 출력전압 10V를 위한 기존 레벨슈프터 회로의 시뮬레이션 파형 (a)입력파형 (IN)과 Mp1과 Mn1의 게이트에 인가되는 파형 (Pin, Nin), (b)출력 파형(Out1,Out2)

Fig. 7. Simulation waveform of conventional level shifter circuit for 3.3V input & 10V output. (a) Input waveform(IN) and Mp1,Mn1 gate input waveform (Pin,Nin), (b) Output waveform (Out1, Out2).

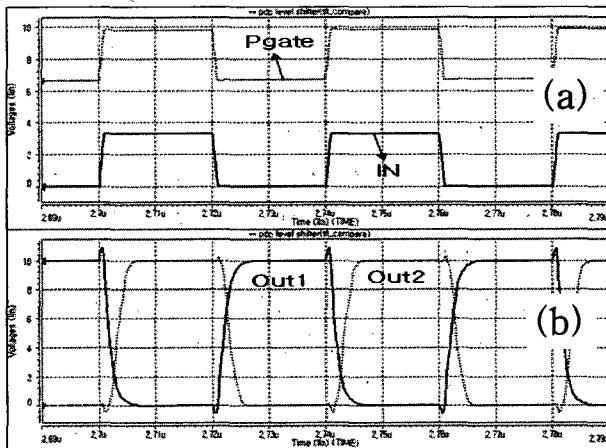


그림 8. 입력 전압 3.3V에서 출력전압 10V를 위한 제안한 레벨슈프터 회로의 시뮬레이션 파형 (a)입력 파형(IN)과 M1의 게이트에 인가되는 파형(Pgate), (b)출력 파형(Out1,Out2)

Fig. 8. Simulation waveform of proposed level shifter circuit for 3.3V input & 10V output. (a) Input waveform(IN) and M1 gate input waveform (Pgate), (b) Output waveform (Out1, Out2).

기존의 구조에서는 Mp1과 Mn1의 Vgs값이 더욱 커져서 off-current가 많아지고 전력 소모가 상당히 증가하는 반면, 제안된 구조는 PTFT인 Ms1과 Ms2에 낮은 전압이 인가되어 역시 Vgs값이 커져서 전류가 증가하지만 채널의 길이가 충분히 길게 설계되어도 동작속도에는 영향을 미치지 않으므로 전류가 많이 증가하지 않는다. 따라서 제안된 구조에서는 전력소모가 조금밖에 증가하지 않는다. 또한 기존의 레벨슈프터에서는 Pin의 전압레벨을 낮추기 위해서 Mofn2와 Mofn3의 Width를 증가시켜야 하고, Nin의 전압 레벨을 높이기 위해서는 Mofp2와 Mofp3의 Width를 증가시켜야 한다. 그 결과 Mofp2, Mofp3와 Mofn2, Mofn3를 통해서 더 많은 총·방전이 일어나므로, Pin과 Nin의 전압을 유지하기 위해 C1과 C2의 용량도 같이 증가시켜 주어야 한다. 따라서 C1과 C2의 크기가 증가함에 따라 회로 전체 면적이 커지게 된다.

표 1. 레벨슈프터의 전파지연 및 전력소모와 면적 비교 Table 1. Comparison for propagation delay, power consumption and circuit area of level shifter.

	Conventional vs. Proposed							
	Vin=5V, VDDH=10V				Vin=3.3V, VDDH=10V			
	Conv.		Prop.		Conv.		Prop.	
	out1	out2	out1	out2	out1	out2	out1	out2
Tpr[ns]	1.12	1.54	0.79	2.27	1.48	1.82	2.00	2.58
Tpf[ns]	0.54	1.53	0.94	1.56	0.53	1.94	1.05	2.85
Tr[ns]	Failed	1.58	2.27	2.39	Failed	1.89	2.77	2.68
Tf[ns]	Failed	2.14	1.56	1.99	Failed	2.63	2.43	2.69
Power	3.913mW		0.253mW		4.75mW		0.280mW	
Area	12,384um ²		6,324um ²		58,634um ²		6,324um ²	

다음으로 제안된 레벨슈프터의 3가지 타입에 대하여 알아보았다. 그림 2와 그림3 그리고 그림4에서 보인 구조를 차례대로 Proposed 1, Proposed 2, Proposed 3이라고 명명하겠다.

그림 9와 10을 보면 Proposed 1과 Proposed 2는 동작이 거의 차이가 나타나지 않는 것처럼 보인다. 이것은 Pin 노드의 전압 레벨이 동일하기 때문에 동작 속도는 거의 영향을 주지 않는다. 그러나 표 2의 결과를 보면 전력소모가 감소한 것을 확인 할 수 있다. 하지만 입력 전압의 진폭이 작아서 감소량이 크지는 않다. 세 번째 구조는 두 번째 구조에 비해 전력 소모가 감소한 것을 볼 수 있고, 3가지 제안된 형태에서 전력소모가 가장 적게 나타났다. 이것은 NTFT를 사용함으로써 Ms2의

Off 특성을 더욱 효과적으로 제어하였기 때문이다.

마지막으로 소자의 특성에 변화에 따른 동작 변화를 관찰하였다. 일반적인 디지털 회로는 로직 'high'와 로직 'low'의 값을 표시하므로 아날로그 회로에 비해 상대적으로 소자의 특성 변화에 덜 민감한 편이다. 그림 11은 제안된 레벨 슈프터에서 V_{th} 의 변화에 가장 민감한 부분으로 예상되는 Pgate 초기 전압 발생회로 중 Ms1의 V_{th} 를 변화시켜 관찰한 결과이다. 그림 11에서 보인 바와 같이 입력전압을 3.3V로 인가한 경우 V_{th} 가 250% 이상 증가 되었을 경우, 낮은 입력전압으로는 트랜지스터가 On, Off의 특성을 제대로 나타낼 수 없게 된다. 따라서 회로의 동작이 원활히 이루어지지 못하게 된다. 하지만, V_{th} 의 250%라는 값은 상당히 큰 수치이므로 실제 설계 과정에서는 크게 고려되지 않아도 될 것이다.

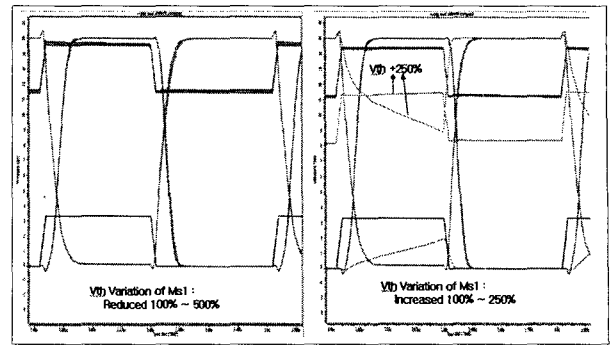


그림 11. V_{th} 변화에 의한 동작 특성(Ms1)
Fig. 11. Operation by threshold voltage variation.

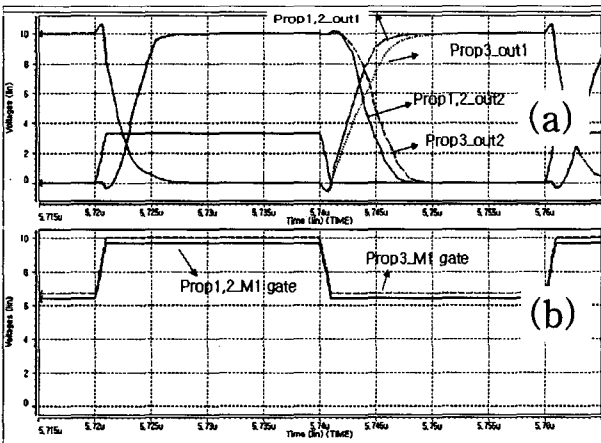


그림 9. 세 가지 타입의 제안된 레벨슈프터의 출력파형 비교 (a)출력파형의 비교, (b) Pgate 전압 비교
Fig. 9. Comparison of output waveforms of three proposed level shifters (a) Comparison of output waveform, (b) Comparison of VPgate.

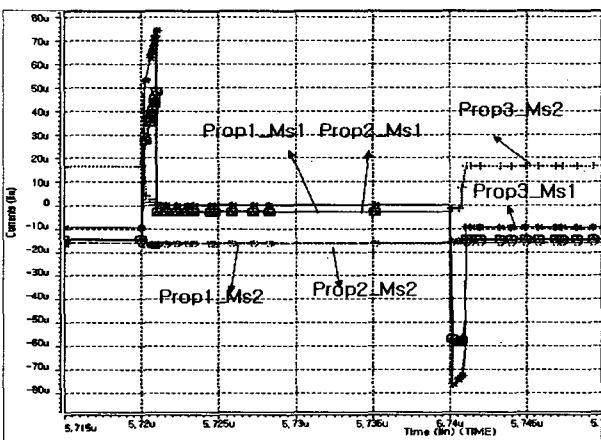


그림 10. 세 가지 타입의 제안된 레벨슈프터의 전류비교
Fig. 10. Comparison of Ms1, Ms2 current level for the three proposed architectures.

표 2. 세 가지 타입의 제안된 레벨슈프터의 전파지연과 전력소모

Table 2. Propagation delay and power consumption on three types of proposed level shifter

	Proposed1		Proposed2		Proposed3	
	out1	out2	out1	out2	out1	out2
Tpr[ns]	1.99	2.58	2.00	2.58	2.31	2.77
Tpf[ns]	1.05	2.85	1.05	2.85	1.27	3.22
Tr[ns]	2.77	2.68	2.77	2.68	3.73	2.67
Tf[ns]	2.43	2.68	2.43	2.69	2.40	3.09
Power	290.73uW		280.30uW		256.52uW	

IV. 결론

제안한 레벨슈프터는 앞의 수식에서 살펴본 바와 같이 M2(NTFT)의 게이트 전압은 $0V \sim V_{in}$ 까지 진폭을 갖고, M1(PTFT)의 게이트 전압은 $V_{DDH}/Input \sim V_{DDH}$ 까지의 진폭을 갖는다. 일반적으로 PTFT가 On이 되는 조건은 $V_{gs} < V_{thp}$ 이고, NTFT는 $V_{gs} > V_{thn}$ 일 때 On이 된다. 따라서 제안한 레벨슈프터에서 Input 전압의 Swing 범위는 $|V_{th}|$ 보다 크게 인가되면 동작이 가능하다는 계산을 얻을 수 있다. 이렇게 우리가 제안한 레벨슈프터에서는 낮은 입력전압으로도 M1과 M2의 On, Off 상태를 좀 더 정확하게 나타냄으로써 기존의 레벨슈프터에 비해 전력소모가 눈에 띄게 감소하였다.

마지막으로 기존회로에서 차지하는 하는 두 개의 부스팅 캐패시터의 면적을 제안한 레벨슈프터에서는 하나의 부스팅 캐패시터만을 사용함으로써 전체 회로면적을 반 또는 그 이상으로 줄일 수 있었다.

그러나 현재 개발되어있는 LTPS-TFT는 Early 전압과 Kink 효과등 이상적인 특성을 갖고 있지 않다. 그래서 높은 V_{gs} 값을 가질수록 포화 영역의 저항 값이 작

아저서 M1의 게이트전압이 완전하게 VDDH ~ VDDH-/Input의 진폭을 갖지 못하고 조금 낮아지는 현상이 나타나기도 한다.

참 고 문 헌

- [1] T. Nishibe and N. Ibaraki, "Quite a New Approach for System-on-Glass Technology Based on Low-Temperature Polycrystalline Silicon," IDW'03, p. 359 2003.
- [2] Y. Matsueda et al., "Concept of a System on Panel", IDW'00, p. 171, 2000.
- [3] N. Toyozawa et al., "Low-Power Integrated Circuit Technologies Using Low Temperature Poly-Si TFTs for Mobile Device Applications," SID'02 Digest, p. 686, 2002.
- [4] Shinsuke Fugikawa at al., "Level Shifter and Electro-Optical Apparatus Incorporating The Same" United States Patent : US 6,714,046 B2, Mar 2004.
- [5] H. S. Shim at al. "A New Level Shifter Using Low Temperature Poly-Si TFTs" IMID'04, pp. 1015-1018, Daegu, Korea, August 2004.
- [6] Satoru Tanoi, "Level Shifter Circuit" United States Patent : US 5,498,991, Mar 1996.
- [7] Shoichiro Matsumoto at al., "Level Shifter for use in Active Matrix Display Apparatus" United State Patent : US 6,801,181 B2, Oct 2004.

저 자 소 개



이 준 창(학생회원)
2004년 수원대학교 전자공학과 학사 졸업.
2004년~현재 수원대학교 대학원 전자공학과 석사 과정.

정 주 영(정회원)
대한전자공학회 논문지 제33권 A권 10호 참조

<주관심분야: LCD 구동회로, VLSI, 반도체>