

| MOD 공정에 의한 YBCO 고온 초전도 박막선재 제조기술

1. 서론

유 재무 책임연구원
(한국기계연구원 신기능재료연구본부)

1980년대 후반 액체질소 온도에서도 초전도성을 지니는 고온초전도체가 발견된 이후, 전력 수송, 저장 및 동력기기 분야에 고온 초전도체를 응용하고자 하는 노력이 다방면으로 이루어지고 있다. 고온 초전도체의 전력기기 응용을 위해서는 임계 전류 밀도(J_c)가 높은 고온 초전도체 선재의 개발이 필수적이다. 고온 초전도 선재 중 최근 연구가 활발히 진행되고 있는 Coated Conductor(CC)는 자장 하에서도 임계전류밀도의 열화가 적은 YBCO계 초전도체를 이축배향성 금속기판위에 성장시킨 형태의 선재이다. 임계전류 특성이 우수한 $YBa_2Cu_3O_{7-x}$ (YBCO) Coated Conductor의 실용화를 위하여 PLD, Co-evaporation, MOCVD, MOD 등 다양한 공정법이 적용되고 있다[1-4]. 그 중에서도 유기금속증착(Metal-organic Deposition, MOD) 공정은 고가의 고진공 증착장비를 필요로 하는 타 공정에 비하여 경제성이 우수하며, $1 MA/cm^2$ 이상의 임계전류밀도를 가지는 Coated Conductor의 제조가 가능하여 실용화 가능성이 매우 높다. 또한 MOD 공정은 다양한 분야에서 응용되고 있으며 특히 인화용지, 사진 필름 등의 예로부터 알 수 있듯이 대면적 필름의 연속증착 공정에 쉽게 적용할 수 있다는 장점을 지니고 있으므로 산업화에 있어 유리하다는 장점이 있다. 이에 따라 미국, 일본 등을 중심으로 MOD 공정에 의한 고온 초전도 Coated Conductor의 개발 연구가 활발히 진행되고 있는 실정이다. 본고에서는 MOD 공정에 의한 YBCO 박막 제조 공정 개발에 대해 논의하고 현재 Coated Conductor 개발이 활발히 이루어지고 있는 국내외 연구 개발 동향을 정리하고자 한다.

2. YBCO 박막의 MOD-TFA 공정

MOD 공정은 금속염 형태의 전구체를 이용하여 합성된 Coating 용액을 적절한 기판 위에 도포 및 건조 후 열처리 하여 산화물 등의 박막을 얻는 공정이다. MOD 공정은 다양한 분야에 적용될 수 있는 범용적인 기술이며 산업화가 용이하다. 따라서 YBCO 박막의 제조를 위해 다양한

MOD 공정이 개발되어 왔다. 초기에는 YBCO 박막의 제조를 위해 금속 Alkoxide, Acetate, Hydroxide 등 다양한 금속염이 MOD 공정을 위한 전구체로 시도되었다. 이러한 대부분의 공정은 YBCO 상이 생성 공정 이전에 유기물 제거를 위한 Calcination 열처리 공정을 필요로 한다. 그러나 금속 Alkoxide, Acetate 등 일반적인 금속염을 사용한 MOD 공정에서 YBCO 박막 제조를 위해 Calcination 공정을 거치는 경우 Yttrium과 Copper는 쉽게 각각의 산화물로 변환되지만, Barium의 경우 BaO가 아닌 안정한 BaCO₃ 형태로 존재하게 된다. 따라서 Calcination 후 생성된 각각의 전구물질들을 YBCO로 변환하기 위해서는 매우 높은 온도에서 장시간의 열처리가 필요하고, 생성된 YBCO 박막의 초전도 특성은 심각하게 열화되는 경우가 많았다.

이러한 BaCO₂ 상의 생성을 억제하고 초전도 특성이 우수한 YBCO 박막을 제조하기 위하여 금속 Trifluoroacetate(TFA) 염을 적용하는 MOD-TFA 공정이 개발되었다[5]. MOD-TFA 공정에서는 불소를 다량 함유하는 전구체를 적용하여 Calcination 공정에서 BaCO₃에 비하여 열역학적으로 안정한 BaF₂상의 생성을 유도한다. Calcination 공정에서 생성된

BaF₂상은 YBCO 상생성을 위한 Annealing 공정에서 반응기체 중의 수분과 반응하여 BaO으로 변환된다 (BaF₂+H₂O->BaO+HF). 수분과의 반응으로 생성된 BaO는 Calcination 공정 중에 생성된 Yttrium 및 CuO와 반응하여 YBa₂Cu₃O_{7-x}상이 생성된다. 그림1에는 일반적인 MOD-TFA 공정에 대한 모식도를 나타내었다. 일반적인 MOD-TFA 공정은 (i)전구용액 합성, (ii)용액 도포(Coating), (iii)유기물 제거를 위한 Calcination 공정 및 (iv)YBCO 생성을 위한 Annealing 공정으로 이루어진다. 각각의 공정들은 서로 연관되어 있으며, 특히 특성이 우수한 초전도 박막을 얻기 위해서는 각 공정에 대한 엄밀한 제어가 요구된다.

2.1 전구용액 합성

전술한 바와 같이 MOD-TFA 공정에서는 주로 금속의 TFA 염을 전구체로 사용하여 제조된 전구용액을 사용한다. 통상적인 MOD-TFA 공정은 금속 아세트산염을 Trifluoroacetic Acid(TFA) 수용액에 용해시킨 후 증류하여 매우 점도가 높은 Gel 형태로 건조한 후에 Methanol에 용해하여 전구용액을 제조한다(그림2). 이러한 공정에서는 수분, 아세트산, TFA 등 부식성이 있는 잔류물이 소량 존재하는 경우가 있으

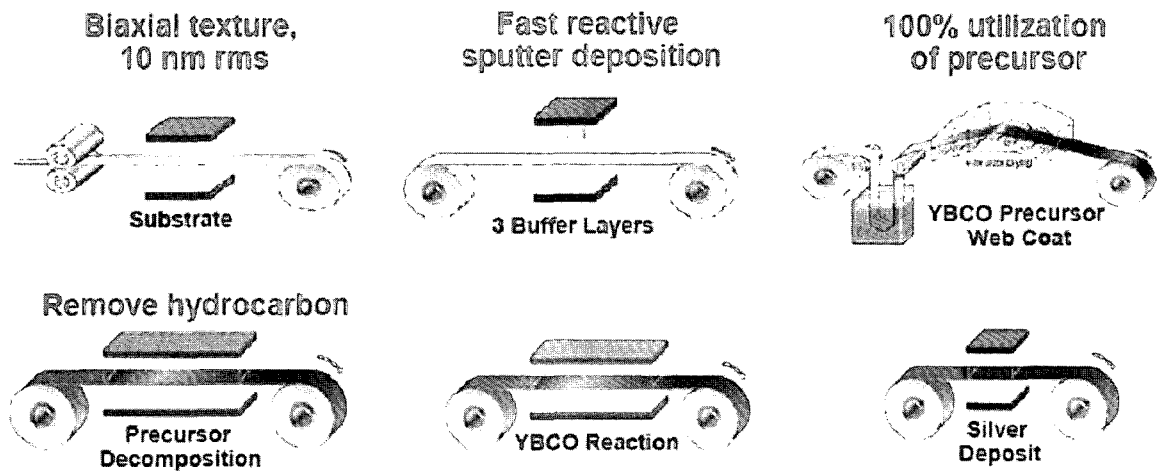


그림 1. Schematic illustration of MOD-TFA process for fabricating YBCO superconductors.

며, 특성이 우수한 초전도 박막을 얻기 위해서는 이들 잔류물의 제거가 필요하다. Araki 등은 전구용액을 증류하고 다시 회석하는 공정을 반복하여 수분이나 기타 잔류 유기물의 함량을 상당부분 감소시켜 안정하고 재현성이 높은 전구용액을 제조하였다[6].

2.2 용액 도포(Coating)

MOD-TFA 전구용액을 유연성이 있는 금속 기판 위에 도포하기 위해서 Spin Coating, Dip Coating 등 다양한 Coating 방법이 적용되고 있다. Spin Coating 공정에서는 Coating 용액을 기판 위에 뿌린 후 기판을 고속회전시킴으로써 여분의 전구용액을 제거하고 Gel Film만을 남기는 공정이다. Spin Coating 공정을 통해 간단한 방법으로 Gel Film을 얻는 것이 가능하나 회전속도가 빠른 경우 줄무늬가 생기고, 용액 또는 기판 표면에 존재하는 Particle 등에 의해 표

면 결함이 발생하기 쉽다. 또한 기판 위에 올려진 용액 중 Gel Film으로 변환되는 것은 일부에 지나지 않으므로 용액 중 상당 부분이 손실되며 공정 특성상 장선재 공정에는 적용하지 못한다는 단점이 있다.

반면 Dip Coating 공정의 경우 Spin Coating에 비하여 여러 장점을 지니고 있다. Dip Coating은 기판을 용액에 담근 후 인상하여 Gel Film을 얻는 간단한 공정이며 이 경우 대부분의 용액이 Gel Film으로 변환되는데 사용되어 용액 손실이 적고, Coating 속도가 빠를 경우 발생하는 줄무늬 등의 표면 결함의 발생이 적은 편이다. Dip Coating에 의해 형성되는 막의 경우 Gel Film의 두께는 공정 변수를 조절함으로써 제어 가능하다. 용액의 농도를 증가시키는 경우 그림3에 나타난 바와 같이 용액의 점도가 증가하며 이에 따라 기판 위에 형성되는 막의 두께 역시 증가하게 된다. 또한 기판의 인상속도를 증가하는 경우 쉽게 막 두께를 향상시킬 수 있다(그림4).

한편 Dip Coating 공정의 경우 기판의 양면 모두 Coating이 되므로 용액 손실이 일부 발생한다. 현재 산업적으로 널리 사용되고 있는 Slot-die Web Coating 공정의 경우 기판의 표면에만 Coating이 이루어지므로 용액 손실이 거의 없다(그림5). 또한 이동하는 기판 위에 정밀하게 제어된 양의 용액만을 도포할 수 있는 공정이므로 균일한 용액 Coating이 요구되는 장선재 공정에 적합하다. 따라서 Slot-die Web Coating 등의 방법으로 전구용액을 기판 위에 성막시키는 연구가 활발히 진행되고 있다.

2.3 Calcination 공정

적절한 Coating 공정을 통해 생성된 Gel Film은 다량의 유기물을 함유하고 있으며, 이들은 열분해 공정에 의해 제거된다. 열분해 공정으로 유기물이 제거된 후 기판 표면에는 Y_2O_3 , BaF_2 , CuO 의 혼합물이 존

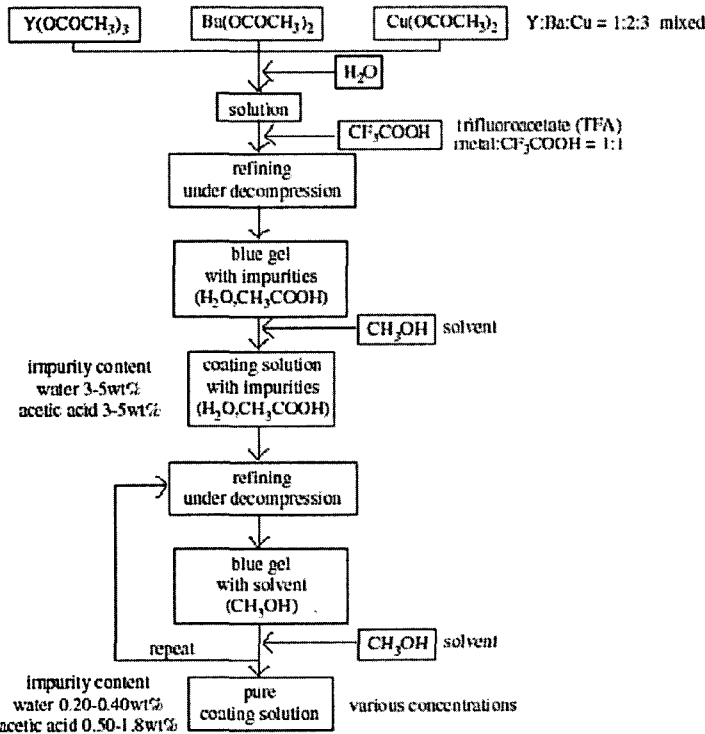


그림 2. Synthesis of the precursor solution for original MOD-TFA process.

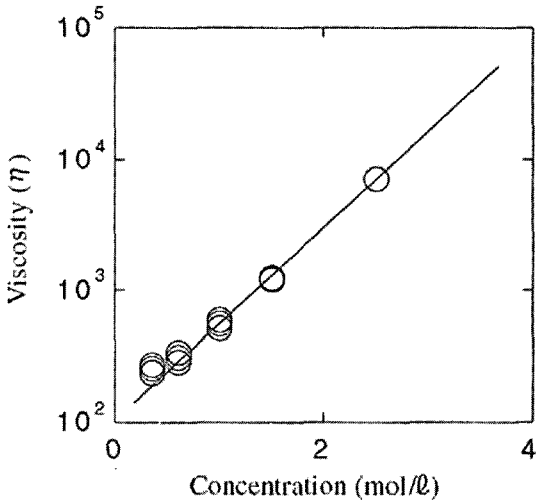


그림 3. Dependence of viscosity on the concentration of precursor solution

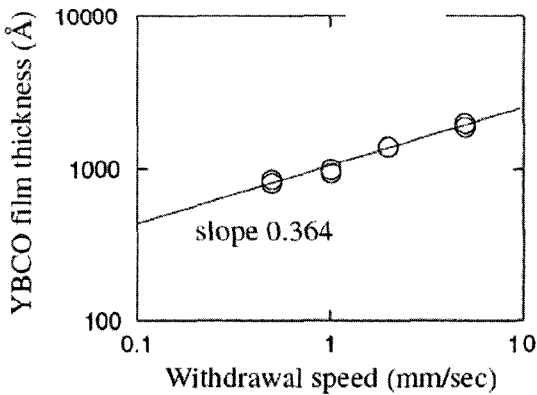


그림 4. Dependence of YBCO thickness on the withdrawal speed.

재하게 된다. 이러한 과정은 통상적으로 600 °C 이하의 온도에서 이루어지며 열분해 공정에서 발생할 수 있는 Cu-TFA의 증발을 억제하기 위하여 반응기체 내에 수분이 혼입된다. Calcination 공정 개발을 위해서는 장선재 공정에 적합한 짧은 시간 내에 공정이 종료되어야 하며 본 공정을 통해 생성되는 전구박막 내부에 결함이 없고 향후 YBCO 로의 변환을 위해서는 결정립의 크기가 나노 크기

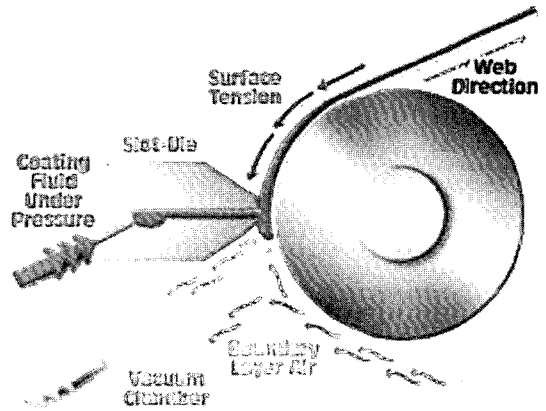


그림 5. Schematic illustration for slot-die web Coating

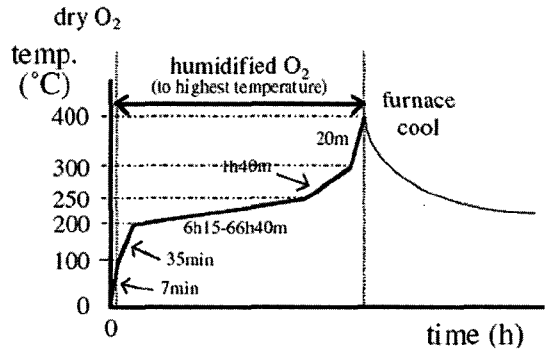


그림 6. Typical Calcination profile for MOD-TFA processing.

로 제한되어야 한다.

MOD-TFA 공정에서 Coating 후 생성되는 Gel Film은 Calcination 공정을 거친 후 50%이상의 부피 감소가 발생하며 그 결과 Film 내에 높은 응력이 발생하여 Film 내에 균열이 발생하기 쉽다. 또한 통상적인 MOD-TFA 전구용액은 다량의 불소를 함유하고 있으며 이들은 수분과 반응하여 HF 등의 부식성 기체를 발생시키게 되어 결함의 원인이 된다. 이러한 균열 및 결함의 발생을 억제하기 위하여 MOD-TFA 공정에서는 Calcination 공정에 거의 20시간가량 소요된다(그림6).

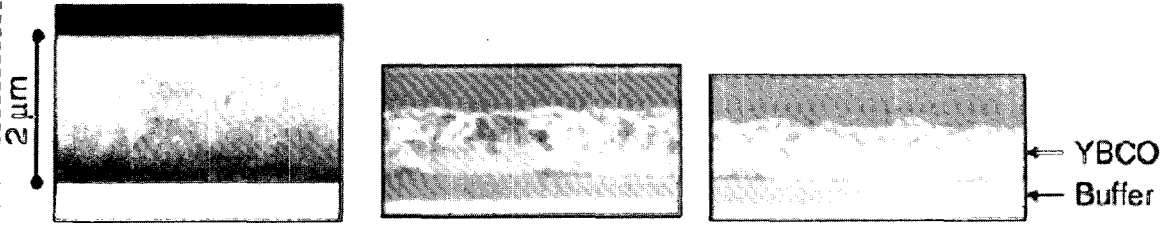
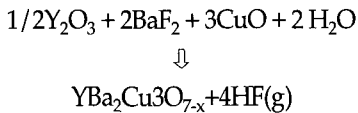


그림 7. Scanning electron microscopy cross-sectional images of YBCO phase formation.

상기와 같이 20시간 이상의 장시간이 소요되는 Calcination 공정은 장선화 공정에 있어 매우 부적합하다. 이에 따라 Calcination 공정을 단축시켜 장선화에 적합한 공정 개발에 집중적인 연구가 진행되고 있으며 특히 Calcination 공정에서 발생하는 전구박막 내의 응력을 완화시키거나, 전구용액 내의 불소함량을 줄여 HF의 발생을 억제하는 등의 접근방법이 시도되어 좋은 결과를 보여주고 있다[7,8].

2.4 Annealing 공정

전술한 바와 같이 Calcination 공정을 거친 후 기판의 표면에는 Y₂O₃, BaF₂, CuO의 혼합물이 존재하며 이들을 YBCO 초전도층으로 변환시키기 위해서는 다음과 같이 수분을 첨가하여 불소를 HF의 형태로 제거하는 것이 요구된다.



Oxyfluoride 혼합물로 이루어진 전구박막을 YBCO로 변환시키는 공정에서 Film 두께는 50% 이상 감소한다(그림7).

Annealing 공정 초기에는 수분과 BaF₂가 반응하여 HF가 발생하는 반응이 주로 발생하므로 전구 박막으로 수분을 공급하고, HF를 제거하는 것이 필요하다. Annealing 공정이 진행됨에 따라 기판과 전구 박막의 계면에서 YBCO가 생성되어 두께 방향으로 성장한다. YBCO의 핵생성 및 입성장을 위해서는 반

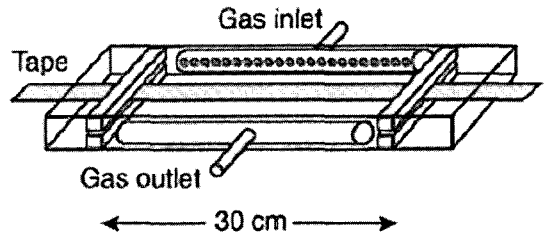


그림 8. Design of a transverse-flow processing oven developed by ORNL.

응속도의 적절한 제어가 필요하다. Annealing 공정에서 반응속도는 박막 표면에서의 HF 및 수분 농도에 의해 결정된다. 특히 장선재 공정에서는 Calcination을 거친 전구박막이 Reel-to-reel 형태로 반응로 내에 연속적으로 공급되므로 Annealing 공정에 의해 HF 기체가 계속 발생하게 되며 이에 따라 Tape 주위의 HF 농도가 증가하며 YBCO 생성반응의 속도는 감소하게 된다. 따라서 장선재 공정에서는 수분의 공급 및 HF 기체의 효과적인 제거가 필요하다. 미국의 Oak Ridge National Laboratory에서는 그림8와 같이 일렬로 배열된 Nozzle를 사용하여 수분이 포함된 반응기체를 공급하고 HF 기체를 제거할 수 있는 장비를 설계, 제작하여 실제로 Film 표면에서 HF 기체를 효과적으로 제거할 수 있다는 것을 보여주었다[9].

한편 Suenaga 등은 저압에서의 Annealing 공정에 대한 연구를 수행하여 저압 Annealing 공정이

Film 표면에서의 HF 농도를 감소시키는데 효과적이며, 최대 5 nm/s의 속도로 YBCO 층을 성장시키는 것이 가능하다는 결과를 발표하였다[10].

3. 해외 연구 동향

고온 초전도 Coated Conductor의 실용화를 위해서는 고배향 금속기판 위에 연속공정으로 이축배향성이 우수하고 미세조직이 치밀한 YBCO 층을 균일하게 성장시키는 기술이 요구된다. 일반적인 MOD-TFA 공정을 금속기판을 이용한 장선화 공정에 적용하기 위해서는 전구 용액의 특성 개선이 필요하고 장선공정에 적합한 Coating 및 열처리 장비의 개발이 필요하므로 현재 이들 분야에 집중적인 연구개발이 이루어지고 있다.

현재 기업으로서 MOD 공정에 의한 고온 초전도 Coated Conductor 개발의 선도적인 역할을 하고 있는 미국의 American Superconductors Corporation (AMSC)사는 다양한 시도로 높은 임계전류값을 가지는 YBCO Coated Conductor의 개발을 발표하고 있다. AMSC사는 주로 RABiTS 기판을 적용하여 공정을 진행하고 있으며 그림9와 같은 구조의 Coated Conductor를 개발하고 있다. AMSC사는 주로 Slot-die Web Coating법을 이용하여 Coated Conductor를 개발하고 있으며, 공정의 안정화를 통해 장선재 개발에 있어 좋은 결과를 발표하고 있다(그림10). 특히 기존의 MOD-TFA 공정에서 사용되던 TFA계 전구용액을 개선하여 단시간의 Calcination을 통해서도 결함의 발생이 없는 전구용액을 개발하였다(그림11). 이에 따라 Calcination 공정에 소요되는 시간(4) 2시간 이내로서 장선재 공정에 적합한 공정개발이 가능하게 되었다. 2004년에는 RABiTS 기판 위에 MOD 공정으로 YBCO 층을 형성시켜 길이 10 m, 임계전류값이 250~270 A/cm인 Coated Conductor 개발을 발표하였으며, 길이 30 m급 선재를 제작하여 160~186 A/cm의 임계전류값을 얻었다. 한편 YBCO층 내에 Y_2O_3 , Ho_2O_3 등의 비초전도성 물질들을 나노 크기의 구형 입자로 분산시켜 자기장 하에서의 임계전류 특성을 향상시켰다(그림12). 자기장 하에서 임계전류값이 감소하는 것은 초전도체 내의

자속선의 Pinning 특성이 자기장의 영향으로 붕괴되는데 기인한다. 초전도체 내에 존재하는 자속선은 주위에 초전류가 흐르는 상전도 중심으로 이루어져 있다. 따라서 비초전도성 입자들을 초전도체 내에 분산시키면 자속선이 좀더 강하게 고정됨으로서 초전도체의 자속 Pinning 특성이 향상되어 결과적으로 자기장 하에서의 임계전류값 감소량이 줄어들게 된다.

이러한 연구성과를 바탕으로 2005년 8월에는 MOD 공정을 적용하여 길이 85 m에서 평균 163

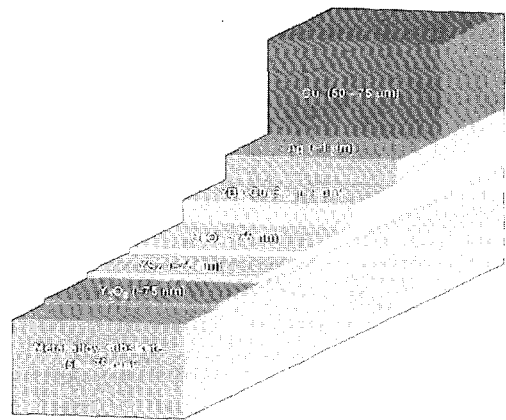


그림 9. Schematic illustration of structure of Coated Conductors.

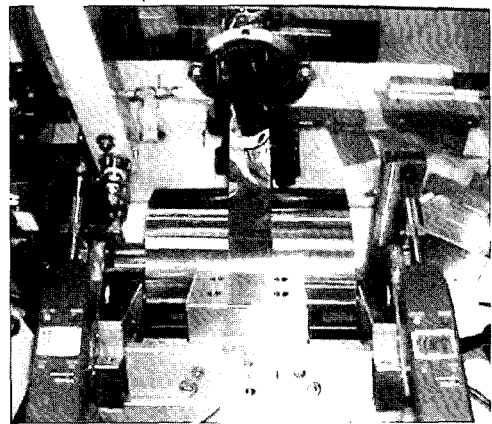


그림 10. Slot-die web Coating of YBCO Coated Conductors(AMSC, ORNL)

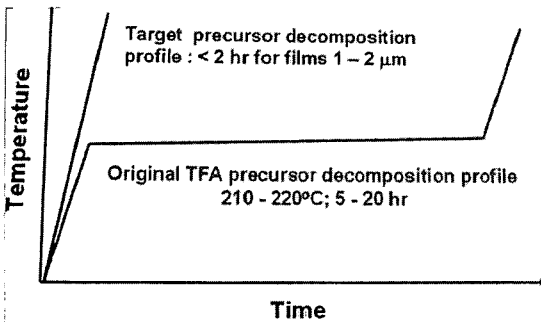


그림 11. New Calcination profile developed by AMSC.

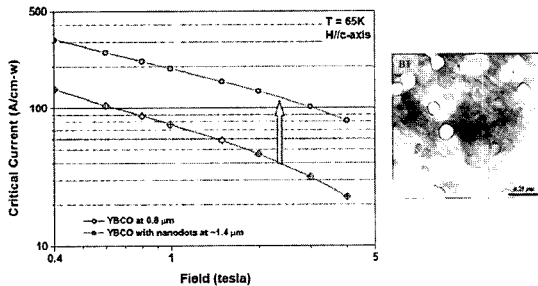


그림 12. Improvement of critical currents of YBCO Coated Conductor assisted by formation of nanodots.

A/cm-w의 임계전류값을 가지는 장선재의 개발을 발표하였다. 현재 AMSC사는 상업화를 위한 공정 안정화 및 Scale-up을 위한 설비 구축을 추진 중에 있으며, 현재 1 km 공정이 가능한 Pilot 설비를 가동 중인 것으로 알려져 있다.

이와 더불어 미국의 Oak Ridge National Laboratory(ORNL)에서는 초전도 선재 가격에 있어 상당부분을 차지하는 완충층을 MOD 공정으로 제조하려는 노력이 이루어지고 있다. 완충층 제조 공정이 완전히 MOD 공정으로 대체되는 경우 초전도 선재의 가격은 \$10/kAm 이하로 낮아질 수 있으므로 초전도 선재의 경제성 확보 측면에서 MOD공정에 의한 완충층 개발의 중요성이 높아지고 있다. ORNL에서는 RABiTS 기판 위에 $\text{La}_2\text{Zr}_2\text{O}_7$ (LZO)층을 MOD 공정으로 성장시키고 그 위에 YBCO와의

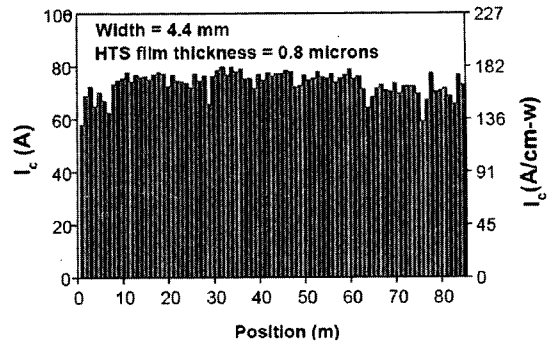


그림 13. Critical current of 85m-long YBCO Coated Conductors developed by AMSC.

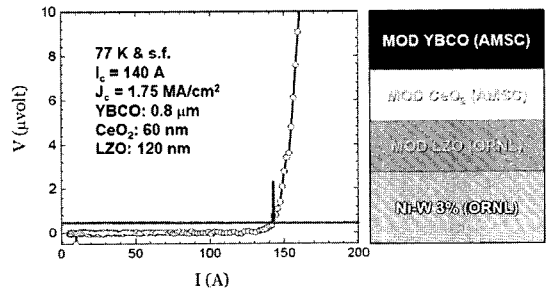


그림 14. Critical current of YBCO Coated Conductor deposited on all MOD-buffered RABiTS substrates developed by ORNL.

친화성이 좋은 70 nm 두께의 CeO_2 층을 성막시켰다. 이러한 공정으로 제조된 Buffered Substrate 위에 MOD 공정으로 초전도층을 형성시킨 결과 단선재에서 140 A/cm-w의 임계전류값을 가지는 YBCO Coated Conductor를 제조하는데 성공하였다. 최근에는 Ni-W 금속기판과 LZO층 사이에 Sputtering법으로 10 nm 두께의 Y_2O_3 층을 삽입하여 제조한 완충층을 적용하여 200 A/cm-w의 임계전류값을 가지는 YBCO Coated Conductor를 제조하는데 성공하였다.

일본의 경우 ISTEK을 중심으로 MOD 공정에 대한 연구가 진행되고 있다. ISTEK에서는 기존 MOD-

TFA 공정에 사용되던 금속 TFA염 만으로 이루어진 전구용액에서 구리 성분을 불소를 포함하지 않는 Cu Naphtenate로 대체함으로써 1~2시간 정도의 짧은 시간 내에 Calcination 공정이 가능한 전구용액을 개발하였다. ISTECE에서는 Hastelloy/IBAD-Gd₂Zr₂O₇/PLD-CeO₂ 구조의 기판을 적용하여 공정 개발을 수행하고 있다. Annealing 공정에서 Heating Rate, 반응기체 중 수분함량 등 각종 공정 변수를 변환시킴으로써 단선재에서 431 A의 임계전류값을 얻었다(그림15). 한편 장선재 공정을 위해 횡방향 Gas 분사가 가능한 전기로를 개발하여 장선재 공정 중 발생하는 HF 기체의 원활한 제거가 가능하게 되었으며, 최근 25 m길이에서 100 A의 임계전류값을 가지는 YBCO Coated Conductor 개발을 보고하였다(그림16).

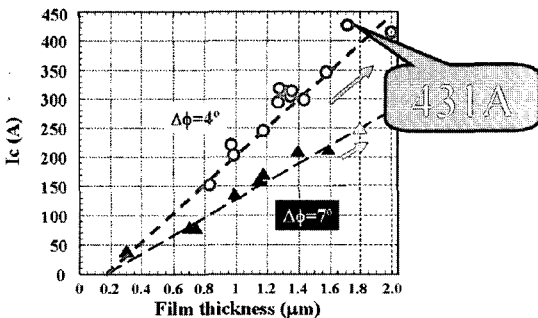


그림 15. Critical current of YBCO Coated Conductor developed by ISTECE.

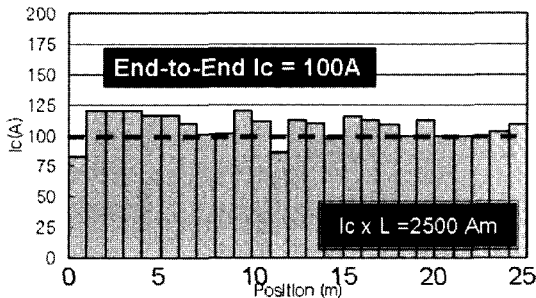


그림 16. Critical current of 25m-long YBCO Coated Conductor developed by ISTECE.

일본의 Showa Electric Wire & Cable Co. Ltd.(SWCC)에서는 장선재 Tape을 한꺼번에 Drum에 감아서 열처리하여 YBCO Coated Conductor를 제조하는 Batch Type Annealing Process를 개발하고 있다(그림17). 특히 gas의 흐름에 대한 유체역학적 수치해석을 통해 반응로의 설계를 개선하여 최근 길이 40 m에서 155 A/cm-w의 임계전류값을 가지는 YBCO Coated Conductor 개발을 발표하였다. 이러한 Batch-type Annealing Process는 장선재의 경우에도 단선재와 동일한 열처리 시간 내에 공정이 가능하다는 장점을 가지고 있으므로 공정 속도를 비약적으로 높이는데 기여할 것으로 사료된다.

표1에는 현재까지 전 세계적으로 발표되고 있는 결과를 정리하여 나타내었다. MOD 공정을 이용하여 장선화 및 임계전류값 향상을 위한 연구개발이 활발히 진행되고 있음을 알 수 있으며, 특히 초전도 선재의 경제성 제고를 위해 완충층까지 저가의 MOD 공정으로 개발하려는 연구가 활발함을 알 수 있다.

4. 국내의 MOD 공정 연구 현황

국내에서는 한국기계연구원이 Frontier 사업의 일부로 한국산업기술대학교, 이화여자대학교와 공동으로 Coated Conductor 제조를 위한 MOD 공정 개발을 수행하고 있다. 특히 국내 독자 기술로 기존 MOD-TFA 공정에 사용되던 금속-TFA염이 아닌 YBCO 산화물 분말을 이용하여 전구용액을 제조하는 공정을 개발하여 현재 해외 특허 출원 중이다(특

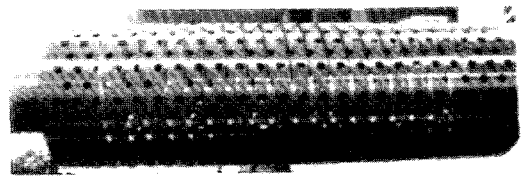


그림 17. Batch-type Annealing furnace developed by SWCC.

표 1. Summay of current status of MOD processing of YBCO Coated Conductors.

기관	완충층	초전도층	길이 (m)	임계전류 (A/cm-w)@77K	개발 회사	개발 연도
RABITS	Sputter (YYC)	MOD-TFA	85	163	AMSC(미국)	2005. 8
RABITS	Sputter (YYC)	MOD-TFA	Short	380	AMSC(미국)	2005. 8
IBAD (GZO/CeO ₂)		MOD-TFA	25	100 (1cm-wide)	ISTEC(일본)	2005. 9
IBAD (GZO/CeO ₂)		MOD-TFA	short	431 (1cm-wide)	ISTEC(일본)	2005. 9
		MOD	20	62	Showa Electric (일본)	2005. 9
		MOD	10	130	Sumitomo (일본)	2005.8
IBAD (YSZ/CeO ₂)		MOD-TFA	short	Jc=0.1MA/cm ²	ICMAB(유럽)	2004
RABITS	MOD (LZO/CeO ₂)	MOD-TFA	short	200	AMSC /ORNL(미국)	2005. 8
RABITS	MOD (STO)	MOD-TFA	short	139 (J _c =1.7MA/cm ²)	AMSC /SNL (미국)	2004
RABITS	MOD	MOD-TFA	short	J _c =0.3MA/cm ²	Showa Electric(일본)	2003

허출원 번호: PCT/KR2004/001756). YBCO 산화물 분말을 이용하여 제조된 MOD 전구용액을 적용하여 LAO 단결정 위에서 100 A/cm-w의 임계전류값을 가지는 YBCO 박막을 제조하였다. 또한 저압 열처리 공정을 적용하여 SS/IBAD-YSZ/CeO₂ 기판 위에 68 A/cm-w의 임계전류값을 가지는 YBCO Coated Conductor를 제조하였다. 그림19에는 본 공정을 이용하여 제조된 YBCO층의 미세구조를 나타내었다. YBCO층은 내부에 기공을 함유하고 있으나, 임계 전류 특성 향상에 유리한 20 nm이하의 미세기공이 일부 존재하는 것을 알 수 있다. 특히 본 연구에서는 Carrier Tape 위에 여러 개의 단선재를 부착한 후 Reel-to-reel 연속 공정에 의해 열처리를 수행하였으며, 단시간 내에 공정이 가능한 저압 열처리 공정을 적용하였으므로, 향후 장선재 기판을 이용한 장선화 공정에 적용되는 경우 길이 및 임계전류값 면에서 우수한 YBCO Coated Conductor를 제조할 수

있을 것으로 생각된다.

한편 기존의 통상적인 MOD-TFA 공정에서 전구체로 사용되던 TFA계 전구 용액에 비하여 전구용액 내의 불소함유량을 상당부분 줄일 수 있는 전구물질을 이용하여 용액을 제조하여 안정성이 우수한 MOD 전구용액을 제조하였다. 특히 전체 함량의 절반 정도를 차지하는 구리 전구체를 모두 불소를 함유하지 않은 새로운 전구체로 대체함으로써 장시간의 보관 후에도 용액의 특성 변화는 거의 없는 전구용액을 제조할 수 있었다. 또한 전구용액 중의 불소 함량을 상당부분 감소시킴으로써 기존 MOD-TFA 공정에서 20시간 이상 소요되던 Calcination 공정을 2시간 이내로 단축하였다(그림20). 짧은 Calcination 시간에도 불구하고 공정을 거친 기판의 표면은 균일하였으며, 균열이 없는 깨끗한 전구박막을 얻을 수 있었다.

한편 한국기계연구원에서는 Coated Conductor

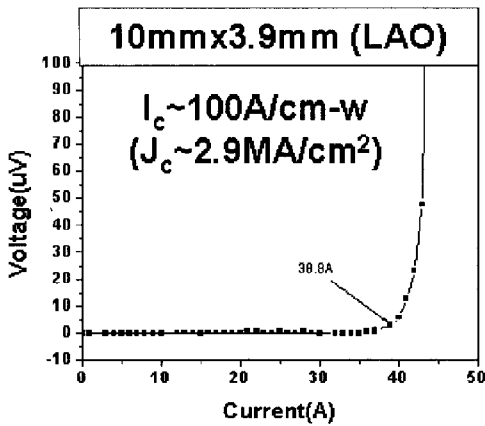


그림 18. Critical current of YBCO thin Film prepared on LAO substrate by KIMM.

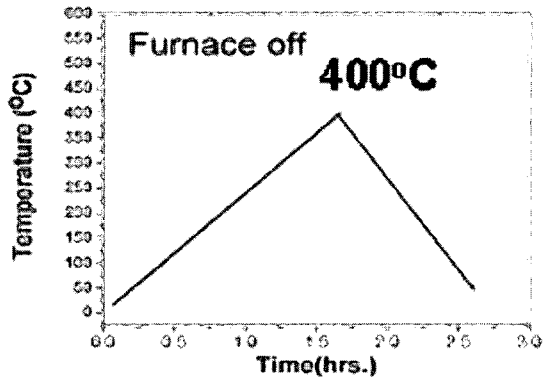


그림 20. Newly developed Calcination profile.

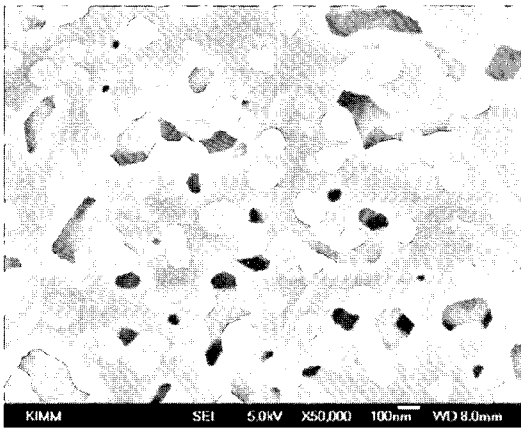


그림 19. Microstructure of YBCO Coated Conductor fabricated on IBAD tape with R2R Annealing processing in reduced pressure(developed by KIMM).

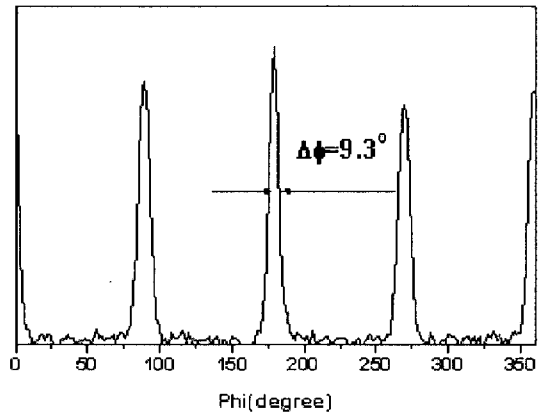


그림 21. Biaxial texture of MOD-processed LZO Film developed by KIMM.

5. 결론

의 경제성 향상을 위하여 완충층 제조 공정에 MOD 공정을 적용하기 위한 기초연구를 수행하였다. 본 연구에서는 Ni-W계 금속기판 위에 MOD 공정으로 $\text{La}_2\text{Zr}_2\text{O}_7$ 완충층을 성막하였으며, 완충층은 $\Delta\phi = 9.3^\circ$ 의 이축배향성을 나타내었다(그림21). 또한 표면 관찰결과 균열이나 기공 등 결함이 관찰되지 않는 균일한 표면을 나타내었다.

본고에서는 MOD 공정에 의한 고온 초전도 Coated Conductor 개발기술의 연구동향 및 내용에 대해 정리하였으며, 장산화 연속공정을 위해 요구되는 공정 과정의 개발에 대해 논의하였다. Slot-die Coating, Nanodot 첨가, 저압 열처리 등 다양한 접근 방법을 통해 MOD 공정으로 제조되는 YBCO 초전도 선재의 성능은 상업화 수준에 근접하고 있으나, 실용화를 위한 성능향상 및 공정 비용 저감을 위해서는 초전도층의 두께를 증가시키거나, 임계전류밀

도를 향상시키는 등 추가적인 연구개발이 필요하다. 특히 실용적인 기기 제작에 Coated Conductor를 적용하기 위해서는 Flux Pinning 특성을 향상시킴으로써 자기장 하에서의 임계전류 특성을 향상시키는 등의 노력이 요청된다. MOD 공정은 임계전류 특성이 우수한 YBCO Coated Conductor를 재현성 있게 제조할 수 있는 공정이므로 머지않아 MOD 공정으로 제조된 Coated Conductor가 초전도 응용기기의 개발에 적용될 것으로 예상된다.

참고 문헌

[1] A. Usoskin, J. Dzick, A. Issaev, J. Knoke, F. Garcia-Moreno, K. Sturm and H.C. Freyhardt, Supercond. Sci. Technol. Vol. 14, p. 676, 2001.
 [2] Y. Iijima, M. Kimura, T. Saitoh and K. Takeda, Physica C 335, 15, 2000.
 [3] Y. Iijima, M. Kimura, T. Saitoh and K. Takeda, IEEE Trans. Appl. Supercond. Vol. 11, p. 2816, 2001.
 [4] B. Utz, R. Semerad, M. Bauer, W. Prusseit, P. Berberich and H. Kinder, IEEE Trans. Appl. Supercond. Vol. 7, p. 1272, 1999.
 [5] A. Gupta, R. Jaganathan, E. I. Cooper, Appl. Phys. Lett. 52, p. 2077, 1988.
 [6] T. Araki, K. Yamagiwa, K. Suzuki, and S. Tanaka, Supercond. Sci. Technol. Vol. 14, L21, 2001.
 [7] P. Clem, M. Siegal, and J. Voigt, Physica C 402, p. 143, 2000.
 [8] H. Fuji, T. Honjo, R. Teranishi, T. Izumi, Y. Shiohara, MRS symp. proc. EXS-3, p. 117, 2004.
 [9] D. F. Lee, K. J. Leonard, and D. M. Kroeger, Supercond. Sci. Technol. Vol. 17, p. 386, 2004.
 [10] V. F. Solovyov, H J. Wiesmann, I. Wu and M. Suenaga, Physica C 353, p. 14, 2001.

저|자|약|력



성 명 : 유 재우

◆ 학 력

- 1987년 연세대 공과대학 금속공학과 공학사
- 1990년 미국 미시간주립대 대학원 재료공학과 공학석사
- 1994년 동 대학원 재료공학과 공학박사

◆ 경 력

- 1994년 - 현 재 한국기계연구원 신기능재료연구본부 책임연구원
- 1996년 일본금속재료기술연구소(NRIM) STA Fellow
- 2004년 호주 Univ. of Wollongong ARC Fellow

