

Preamble boosting 변조로 인한 spurious 증가 억제를 위한 OFDMA 시스템용 전력 증폭기 설계

윤영기, 심준형, 김희석, 김기웅

SK텔레시스연구소 시스템개발2팀

목 차

- I. 서 론
- II. Preamble 변조
- III. 제어신호부 및 DC-DC 컨버터 설계
- IV. 측정 결과
- V. 결 론

I. 서 론

현재 와이브로(WiBro) 시스템은 상향링크와 하향링크를 시간으로 구분하는 TDD(Time Division Duplexing) 방식이 사용되며, 다중접속 방식으로 OFDMA가 적용된다. 이 때 OFDMA의 하향링크의 변조신호는 프레임의 앞에 프리앰블이 1심볼이 적용되어 타이밍과 주파수에 대한 초기동기, 채널추정, 셀 탐색등의 용도로 이용된다. 다운링크의 프레임은 27개의 심볼로 구성되며 프리앰블은 다운링크 프레임의 맨 앞에 구성되며 1 심볼구간의 길이는 115.2 μ s으로 BPSK변조 후 특정 레벨만큼 부스팅(Boosting) 된다. 따라서 프리앰블 구간의 신호레벨은 데이터 채널 구간보다 레벨이 높아 프리앰블 구간에서 전력 증폭기의 출력신호 측정 시 높은 출력에 의해 스퓨리어스(Spurious)가 크게 증가된다. 또한 하향링크 전체에 대한 시스템의 출력신호 측정 시에도 프리앰블 구간의 측정값과 채널구간의 측정값이 평균화되어 측정값과 데이터 구간의 실측값과 오차를 발생시킨다.

본 논문에서는 프리앰블이 부스팅에 의해 채널구간보다 높아진 신호 레벨에서의 스퓨리어스 왜곡의 증가를 전력증폭소자인 LDMosFET의 드레인(Drain) 전압에 대한 출력전력 변화특성을 이용하여 바이어스 전압제어를 프리앰블 구간에만 적용하도록 고려하여, 전력증폭기의 프리앰블 구간의 스펙트럼 마스크 특성을 개선하고 전력증폭소자의 공급전압 제어를 프리앰블 구간에만 적용되도록 설계하여 증폭기 효율저하를 최소화한다.

II. Preamble 변조

Preamble은 하향링크의 첫 번째 전송심볼이며 초기동기, Cell 탐색, 주파수 Offset, 채널추정 등의 역할을 하며 구성하는 부반송파들은 특정 PN 코드가 BPSK변조되어 전송된다. Preamble 부반송파 집합은 3가지 타입으로 나뉘며, 각 집합은 아래 식으로 정의된다.

$$Preamble Carrier Set_n = n + 3k$$

Preamble Carrier Set_n은 특정 Preamble에 할당된 모든 부반송파들의 집합을 나타낸다. n은 Preamble 부반송파 집합을 나타내는 인덱스이며 0 또는 1,2값을 갖는다. 각 세그먼트는 아래와 같이 3가지 Preamble 부반송파 집합중에서 하나의 부반송파 집합을 사용한다.

Downlink Preamble의 부반송파들은 아래 공식에 따라 변조된다.

$$Re \{ C_k \} = \frac{4}{3} (1 - 2W[2k])$$

$$Im \{ C_k \} = 0$$

C_k는 k번째 부반송파에 위치한 파일럿 부반송파이고 W[k]는 스크램블링 수열의 k번째 비트이다. 여기서, 파일럿은 20log(4/3)=2.5[dB]이며, Preamble 20log(2 \times 2^{0.5}) =

9.0309[dB]로 부스팅 된다. 이 중 Preamble carrier는 전체 carrier 중1/3 이므로 $9.0309 \cdot 4.7712 = 4.2497\text{dB}$ 부스팅 된다.

III. 제어신호부 및 DC-DC 컨버터 설계

3.1 제어신호부

바이어스 전압제어 신호 발생기는 프리앰블 구간에서 전력증폭기의 공급전압 변환을 위한 DC-DC 컨버터의 제어신호를 필요로 하며 그 구조를 간단히 하기 위하여 상하향 링크의 Duplexing을 위해 적용되는 FS 신호를 이용하여 그 구조를 단순화 한다. 제어신호 발생기의 블록도는 다음과 같다.

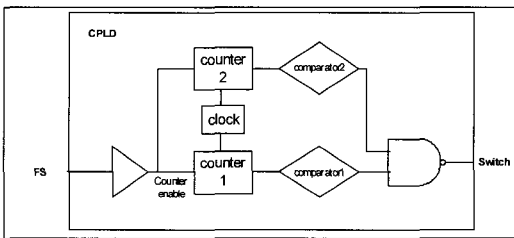


그림 1. Dc-DC 컨버터 제어신호 발생회로

위의 블록도에서 Signal Detector로부터PFS의Rising edge 신호가 검출되면 Clock 카운터1,2를 초기화 한다. 카운터는 Clock을 카운트하여 비교기로 전송한다. 비교기1은 [시간 1] μs 후 스위치를 절체하고 비교기2은 [시간 2] μs 후 스위치를 절체한다. 최종 제어신호는 비교기 1과2의 출력을 NAND 연산한 결과로 이루어진다. 입력 신호와 스위치 절체의 관계를 시간에 따라 도시하면 다음 그림과 같다.

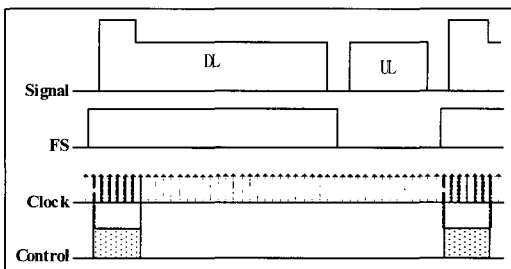


그림 2. 신호 타이밍도

3.1 DC-DC 컨버터

DC-DC 컨버터의 출력전압은 데이터 구간에 적용하는 Normal Voltage와 프리앰블 구간에서 전력증폭기의 출력전력 특성을 높이기 위한 승압전압을 출력하도록 설계 하며 시험에 적용된 전압은 Normal Voltage 보다 5[V]를 승압하여 출력하도록 설계하였다. 규격 조건에 따라 설계 변경이 가능하다. 구조는 컨버터의 출력Voltage 1과 2를 구성하여 PFS의 신호를 제어신호부에 입력하여 발생하는 제어신호를 출력전압제어 switch에결하여 출력전압을 제어한다. 이 때 Voltage 1과 2의 합이 프리앰블 구간의 공급 전압이며, Voltage 1이 채널구간의 공급전압으로 설계한다. 여기서, 스위치의 제어에 의해 프리앰블 구간에서는 Voltage 1과 2가 합해진 전압이 프리앰블 1Symbol구간 (115.2 μs) 정도에서 공급 후 제어신호에 의해 Voltage 1으로 복구하며 제어신호에 의한 출력변환은 FS신호에 대하여 TTG(Transmit/Receive Transition Gap), RTG(Receive/Transmit Transition Gap) 구간에서 반복되어 수행된다.

IV. 측정 결과

제안된 방식의 개선효과를 검증하기 위해 전력증폭기의 출력레벨을 +42[dBm]으로 구성하고, 이 때 프리앰블 구간의 스펙트럼 마스크를 제어전압간 측정하여 비교하였다. 측정에 적용된 장비구성은 아래와 같다.

Signal source	QPSK 1/2	1FA
Spectrum Analyzer	PSA 4440A	Agilent
Center Frequency	2304.5MHz	

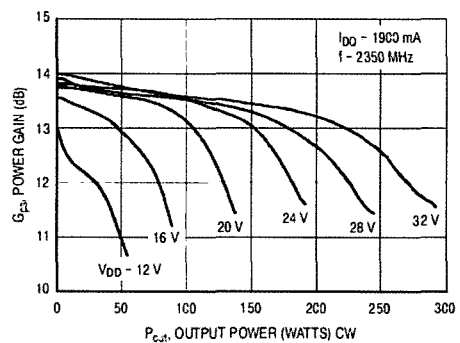


Figure 11. Power Gain versus Output Power

그림 3. Vds 전압에 대한 Gain 및 출력레벨 특성

개선효과를 예측하기 위하여 Freescale에서 제공하는 LDMosFET의 Vds 전압에 대한 출력전력의 특성 변화는 그림 3과 같다.

이 시험에서 적용된 Voltage 1 전압은 +27[V]이며, 개선 시 공급되는 Voltage 2는 +32[V]이다. 그림[4]는 Vds 전압에 따른 LDMosFET의 전력이득과 최대출력레벨의 표이다. Voltage 1과 Voltage 2의 차이에 의해 LDMosFET의 출력전력 특성이 220[W]에서 280[W]로 증가하여 약 27% 정도 증가함을 알 수 있다. 다음은 증폭기의 +42[dBm] 출력 시 시간영역에서 본 신호의 크기로 다운링크 프레임의 첫번째 심볼인 프리앰블 구간의 신호레벨이 데이터 구간 보다 큰 것을 확인할 수 있다.

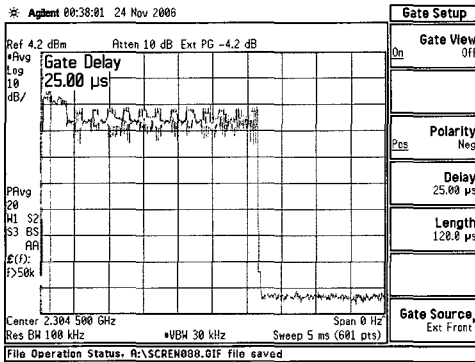


그림 4. Time domain에서 다운링크 신호

시험에 적용된 신호의 규격은 다음의 표와 같다.

항 목	규 격
중심주파수	2304.5[MHz]
변조 및 변조율	QPSK 1/2(1FA)
출력전력	42dBm(16[W])

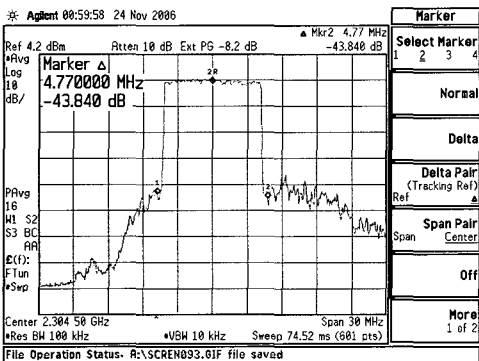


그림 5. Vds +27[V] 프리앰블 구간의 스펙트럼 마스크

이 때 프리앰블 구간의 스펙트럼 마스크 특성을 Vds가 +27[V]에서 측정하면 그림 5와 같다.

시스템으로 제공되는 FS신호를 이용하여 프리앰블 구간 전압제어 신호를 제어부로부터 프리앰블과 데이터 구간의 Sync. 제어신호를 DC-DC 컨버터로 입력하여 구간별 출력 전압을 제어한다. DC-DC 컨버터의 출력전압을 프리앰블 구간에서 +32[V]로 승압하여 개선된 프리앰블 구간의 스펙트럼 마스크 특성을 비교하면 다음과 같이 나타난다

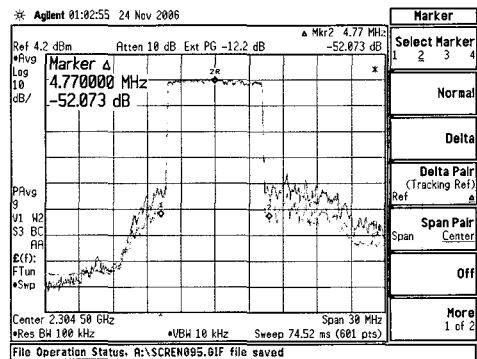


그림 6. Vds 제어에 따른 프리앰블 구간 스펙트럼 마스크 특성 비교

위의 그림에서 ±4.77MHz의 인접대역의 스펙트럼 마스크 특성이 6.2dBc 정도 개선되었다.

V. 결 론

프리앰블 부스팅에 의한 스퓨리어스 왜곡 증가를 개선하기 위한 방식으로 프리앰블 구간에서만 승압된 전압을 적용하므로 증폭기의 효율저하를 최소화 할 수 있다. 또한 제어신호의 발생을 시스템의 FS(Frame Synchronization) 신호를 이용하여 제어신호를 발생하도록 설계하여 제호신호 발생기의 구조를 단순화 하였다. 시험결과를 근거로 약 6.2dBc의 개선효과를 검증하였다. DC-DC컨버터 제작은 시험의 용이를 위하여 FAN과 기타 테스트를 위한 제어 스위치가 내장되어 시험용으로 제작하였으나 향후 소형화하여 제품화 및 상품성을 높이기 위한 사이즈 축소가 DC-DC컨버터를 증폭기에 내장하여 단일 모듈화 하는 지속적인 노력이 필요하다.

참고문헌

- [1] L. E. Larson, RF and Microwave Circuit Design for Wireless Communications Boston, MA : Artech House, 1996.
- [2] S.C. Cripps, RF Power Amplifiers for Wireless Communications. Norwood, MA : Artech House, 1999.
- [3] F.H. Raab, P.ASBECK, S. Cripps, P.B. Kenington, Z.AB.APAOTIVIV, N. Pothecary, J.F.Sevic, and N.O. Sokal, "Power amplifiers and transmitters for RF and microwave", *IEEE Trans. Microwave, Theory Tech.*, col. 50, no. 3, pp. 814-826, Mar. 2002.
- [4] Pit-Leong, Fred C.lee, Peng Xu, Kaiwei Yao, "Critical Inductance in Voltage Regulator Modules", *IEEE Transactions on Power Electronics*, vol, 17. NO. 4, July 2002
- [5] 대한민국 특허 제 10-0643167호

저자소개

윤 영 기



1980년 광운대학교전기공학과(공학사)
 1985년 연세대학교 대학원 산업공학과 (공학석사)
 1998년 한국과학기술원 전기및전자공학과 (공학박사)
 1984년~2000년 : 대우통신(주) 연구 소 근무
 2000년~2005년 : (주)머큐리 근무
 2005년~ 현재 : SK텔레시스 연구소 시스템개발실장
 ※관심분야 : WiBro, MIMO

심 준 형



1994년 서강대학교전자공학과 (공학사)
 1996년 서강대학교 대학원 전자공학과 (공학석사)
 1996년~2000년 : 삼성전자(주)CDMA 개발팀 근무
 2001년~2004년 : 콘텔라(주) 연구소 Access Network H/W 개발팀
 2004년~ 현재: SK텔레시스 연구소 시스템개발실 근무
 ※관심분야 : WiBro, MIMO

김 희 석



1994년 성균관대학교 전자공학과(공학사)
 1994년 6월 ~ 1999년 : 현대전자(주) 통신 연구소 CDMA 개발팀
 2000년~2001년 : EC텔레콤 연구소 개발팀
 2002년~ 현재 : SK 텔레시스 연구소 스템 개발실
 ※관심분야 : WiBro, WiMAX, MIMO

김 기 응



1997년 2월: 순천향대학교 정보통신공학과 (공학사)
 1999년 2월: 순천향대학교 대학원 통신전공(공학석사)
 1999년 ~ 2002년 : RFHITEC 연구소 개발팀
 2000년 : NEXTEC 연구소 파견근무(Sanjose, CA, USA)
 2002년~현재 : SK 텔레시스 연구소 시스템개발실
 ※관심분야 : WiBro, WiMAX, RF Amplifier