

# 임베디드 시스템을 위한 얼굴검출 ASIC 설계

정성윤\* · 정용진\*\* · 강태운\*\*\*

## 1. 서 론

얼굴인식은 중요 생체 인식 기술 중 하나로 개인의 얼굴 특징을 이용하여 사용자를 식별하는 방법이다. 얼굴인식은 다른 생체 인식 기술과는 달리 비접촉식 방법이라는 장점을 가지고 있기 때문에 사용자들에게 큰 거부감을 주지 않고 신원을 확인하거나 출입을 통제하는 등의 목적에 적절히 사용될 수 있다.

현재 국내외적으로 얼굴인식 기술에 관해서 많은 연구개발이 진행되고 있는데, 이를 지원하기 위해 한국정보보호진흥원(KISA)에서는 얼마 전 한국바이오인식정보시험센터[1]를 개관했으며 얼굴인식에 관련한 얼굴 DB(Data Base)를 구축하여 시스템의 성능 시험을 담당해 주고 있다. 또한 미국에서는 이미 출입국 관리소에서 미국내 방문자들을 대상으로 얼굴과 지문 데이터를 채취하여 얼굴인식 및 지문인식에 사용하고 있는 실정이며, 이

외에도 국내외의 많은 기업들과 연구 기관에서 생체 인식의 한 분야인 얼굴인식에 많은 관심을 가지고 연구를 지속적으로 진행하고 있다.

얼굴인식은 얼굴 데이터 입력 방식에 따라 2차원 인식과 3차원 인식이 있으며, 데이터의 특징에 따라 적외선 카메라를 이용한 얼굴의 열 패턴 데이터와 컬러 데이터 및 흑백 데이터 등으로 나뉘고, 알고리즘의 형태에 따라 Eigenface[2] 및 SVM(Support Vector Machine)[3] 등으로 나눌 수가 있다. 그리고 얼굴인식 알고리즘의 체계적인 실험을 위해서 FERET 프로토콜[4]이 많이 사용되어지고 있다.

본 논문에서는 이차원의 흑백영상을 대상으로 한 얼굴인식 알고리즘을 임베디드 시스템에서 실시간 처리가 가능하도록 하드웨어로 설계하고, 실제 ASIC 칩으로 제작하여 검증하는 과정을 기술한다. 현재까지 구현된 얼굴인식 솔루션은 펜티엄 등의 고성능 프로세서 기반의 소프트웨어로써 그 용도가 매우 제한적이며, 편리성이 떨어지고 가격 경쟁력 또한 떨어진다. 이러한 점들을 보완하기 위해 본 논문에서는 실시간으로 얼굴검출 및 인식을 수행할 수 있는 메모리 구조와 하드웨어를 설계하고, 이를 ASIC 칩으로 제작하여 제시한 알고리즘 및 하드웨어 구조가 임베디드 시스템의 핵심코어로 적합함을 제시하고자 한다.

※ 교신저자(Corresponding Author): 정성윤, 주소: 서울시 노원구 월계1동 광운대학교 참빛관 810호 실시간구조연구실 (139-701), 전화: 02)940-5551, FAX: 02)942-5517, E-mail: sungyun703@hanmail.net

\* 광운대학교 전자통신공학과

\*\* 광운대학교 전자통신공학과  
(E-mail: yjjeong@kw.ac.kr)

\*\*\* 코아정보시스템  
(E-mail: taewk@coreinfo.co.kr)

\*본 연구는 IDEC 및 IT-SoC 사업단의 톨 지원과 정보통신부의 선도기반기술개발사업의 지원으로 이루어졌습니다.

본 논문의 구성은 다음과 같다. 2장에서 본 논문에서 사용한 얼굴인식 알고리즘에 대하여 간략하게 살펴보고, 3장에서는 하드웨어 및 시스템 설계, 얼굴검출 ASIC 칩에 대해서 살펴본다. 그리고 4장에서는 칩의 검증과 성능 분석, 차후 연구 방향에 대해서 알아보고, 마지막 5장에서 결론을 맺도록 한다.

## 2. 얼굴인식 알고리즘

본 논문에서 사용한 얼굴인식 알고리즘은 그림 1에서 보는바와 같이 연산 단계에 따라 크게 3가지 단계로 구분된다. 첫 번째 단계는 입력 영상에서 사람의 얼굴이라고 판단되어질만한 영역이 있는지를 찾게 되는 얼굴검출(Face Detection) 단계, 두 번째는 얼굴 영역으로 검출된 영상 부분이 실제 사람의 얼굴인지를 판단하는 얼굴검증(Face Verification) 단계, 마지막 세 번째로 얼굴이라고 검증된 영상에 대해서 어떤 사람의 얼굴인지를 판단하게 되는 얼굴인식(Face Recognition) 단계이다.

그림 2는 전체 얼굴인식 알고리즘에서 얼굴검출과 검증, 인식 부분별 처리시간 비율을 대략적으로 나타낸 도표이다. 얼굴검출 연산은 피쳐 비교를 위해 영상 내에서 윈도우를 옮겨가며 연산을 수행하게 되는데, 그 이동 간격을 윈도우 스텝 사이즈라고 한다.

### 2.1 얼굴검출 단계

그림 3은 얼굴검출의 순서를 보여주고 있는 그림이다. 얼굴검출<sup>[5][6]</sup> 단계는 인테그럴 이미지(Integral Image) 연산과 얼굴검출 연산으로 구성된다. 인테그럴 이미지 연산은 얼굴검출 연산에서 소요되는 클럭(Clock) 수를 줄이기 위해서 필요한 전처리 연산으로 영상의 좌측상단좌표(0,0)를

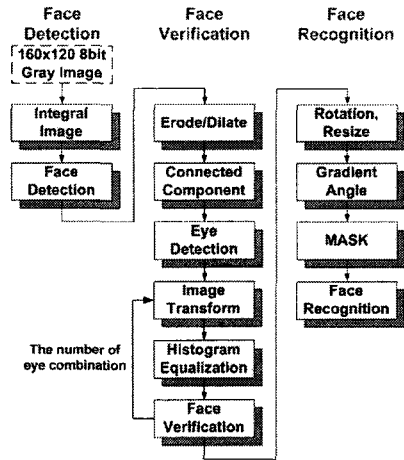
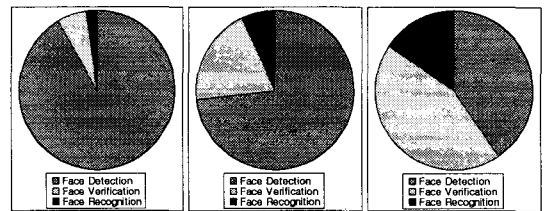


그림 1. 얼굴인식 알고리즘 흐름도



(a) 1픽셀 (b) 2픽셀 (c) 4픽셀

그림 2. 윈도우 스텝 사이즈별 연산 비율

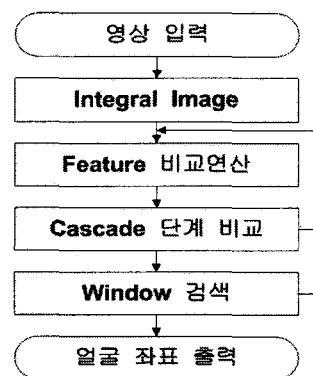


그림 3. 얼굴검출 순서도(6)

기준으로 어떤 특정위치좌표(x,y) 안의 모든 픽셀 값들의 합을 구하는 과정이다.

얼굴검출 연산은 실제 얼굴 및 비얼굴 이미지들의 DB를 이용하여 여러 번의 검증을 통해 만

들어낸 특징 필터를 가지고, 영상 내에서 윈도우를 차례로 옮겨가며 여러 가지 피쳐(Feature)들로 비교 연산하고 누적확률을 구하여 그 값이 임계값(Threshold)을 넘기면 얼굴 영역, 그렇지 않으면 얼굴 영역이 아니라고 판단하게 된다. 최종 얼굴 영역이라고 정해진 부분에 대해서는 좌상단 좌표와 우하단 좌표를 다음의 얼굴검증 단계로 넘겨준다. 그림 4는 피쳐 연산의 예를 나타낸다. 자세한 얼굴검출 알고리즘은 [6]을 참고하도록 한다.

### 2.2 얼굴검증 단계

얼굴검증 단계는 앞서 얼굴검출에서 얼굴 영역이라고 판단되어진 영상에 대해서 실제 사람의 얼굴이 맞는지를 판단하게 되는 부분이다. 얼굴검증 연산의 수행에는 커넥티드 컴포넌트(Connected Component) 연산, 눈 검출(Eye Detection), 이미지 변환(Image Transform) 연산, 히스토그램 평활화(Histogram Equalization) 연산, 행렬 내적 연산, 검증(Verification) 연산들이 복합적으로 수행되게 된다.

눈 검출은 얼굴검출이 이루어진 영상 내에서 사람의 눈이라고 판단되어지는 여러 개의 후보 영역을 찾아내는 연산이다. 눈 검출 연산을 수행하고 나면 눈 후보 영역이 선택되게 되는데 이 좌표들을 다음의 검증 연산에서 기준 좌표로 사용

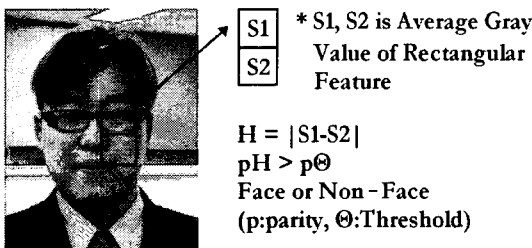


그림 4. 피쳐 연산의 예(6)

하며, 눈 후보 영역의 개수로 인해서 그림 1에서 나타난 바와 같이 뒤의 검증 연산의 횟수가 결정된다. 최종 눈의 위치는 얼굴검증 연산이 각 눈의 조합별로 검증이 다 완료된 상태에서 가장 누적확률 값이 높은 것을 찾아 결정된다. 그리고 눈 검출 연산을 위한 전처리 과정으로 커넥티드 컴포넌트 연산이 사용되어진다.

이미지 변환 연산은 얼굴검증 연산에 사용될 정규화 이미지를 만들기 위해서 영상을 적절한 사이즈로 조정하고, 양 눈 좌표를 기준으로 기울어진 이미지를 바로 세우는 등의 전반적인 이미지 형태 변환 연산을 수행한다. 이미지 변환 내부의 세부적인 연산은 크게 두 가지로 어파인 트랜스폼(Affine Transform)과 바이리니어 인터폴레이션(Bilinear Interpolation)이 사용되어진다. 그림 5와 그림 6이 각각 어파인 트랜스폼 연산과

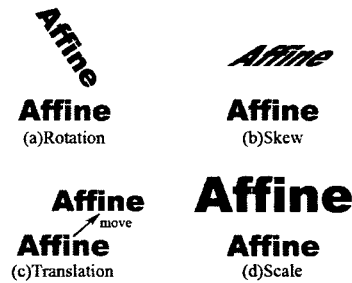


그림 5. 어파인 트랜스폼

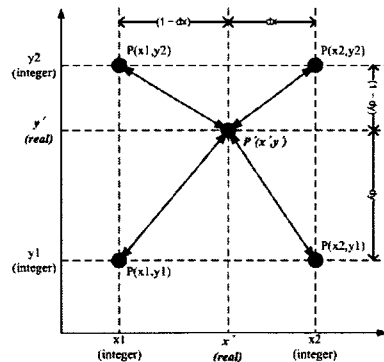


그림 6. 바이리니어 인터폴레이션

바이리니어 인터플레이션 연산에 대해서 나타나고 있다.

어파인 트랜스폼 알고리즘은 이미지의 회전, 뒤틀림, 이동, 크기에 관한 변환을 3차 행렬을 이용해서 한꺼번에 수행할 수 있다. 바이리니어 인터플레이션 알고리즘은 어파인 트랜스폼의 결과로 나온 실수 형태의 좌표를 그 주변부 정수 좌표간의 거리를 계산하여 그에 알맞은 픽셀 값을 산출해내는 알고리즘이다.

얼굴검증 연산은 눈 검출 연산으로 생성된 좌표들을 이용해서 이미지를 검증 연산에 맞도록 정규화하고, 히스토그램 평활화 연산을 통해서 영상의 조명 성분을 보정한 후에 이루어진다. 그림 7이 히스토그램 평활화 연산을 수행하기 전, 후의 이미지 차이를 보여준다. 히스토그램 평활화 연산은 밝기 분포가 너무 어둡거나 또는 너무 밝은 쪽으로 치우친 영상의 픽셀 값들을 재편성하여 조금 더 넓은 밝기영역에서의 분포 특성을 가질 수 있도록 해준다.

얼굴검증 연산에서는 여러 사람의 얼굴 사진들을 SVM<sup>[3]</sup>을 이용해서 미리 학습시켜둔 데이터를 가지고 행렬 내적 연산을 통해서 실제 사람의 얼굴인지 아닌지를 판단하고, 다음의 얼굴인식 연산을 수행할 것인지 하지 않을 것인지도 판단한다.

### 2.3 얼굴인식 단계

얼굴인식 단계에서는 검증 단계에서 실제 사람의 얼굴로 판단된 영상에 대해서 어떤 사람의 얼굴인지를 결정하는 연산을 수행한다. 인식 단계에서 사용되는 연산들은 이미지 사이즈 및 회전에 관한 변환 연산, 그래디언트 앵글(Gradient Angle) 연산, 행렬 내적 연산이다. 이미지 사이즈 및 회전에 관한 연산은 인식단계에 맞는 정규화 이미지를 만들기 위해서 사용되어진다. 그림 8은 그래디언트 앵글 연산에 따른 영상의 변화에 대해서 나타내고 있는 그림이다.

그래디언트 앵글 연산은 영상을 굴곡에 따라 입체적으로 표현하는 영상처리 과정이다. 이 연산은 얼굴에 전반적인 조명의 변화가 생기더라도 얼굴의 윤곽은 크게 변하지 않는다는 점을 이용한 것으로, 상대적인 조명 변화에 대해서도 사람의 얼굴특징을 잘 잡아내기 위해서 사용되어진다.

이후에는 배경이나 기타 얼굴 이외의 영역들이 인식 연산에 영향을 끼치는 것을 배제하기 위하여 얼굴 주변부의 픽셀 데이터를 마스크를 이용하여 제거한다. 이런 전처리 과정 이후에 인식 연산이 수행되는데, 이 때 LFA(Local Feature Analysis)<sup>[7]</sup>가 사용되어지며, 이미 저장된 얼굴 DB와 비교 연산을 통해서 입력된 영상 속의 얼굴이 누구의



(a) 히스토그램 평활화 연산 수행 전 (b) 히스토그램 평활화 연산 수행 후

그림 7. 히스토그램 평활화 연산에 따른 영상 변화



(a) 그래디언트 앵글 연산 수행 전 (b) 그래디언트 앵글 연산 수행 후

그림 8. 그래디언트 앵글 연산에 따른 영상 변화

얼굴인지를 판단하게 된다.

### 3. 하드웨어 아키텍처 및 시스템 설계

#### 3.1 FPGA를 이용한 설계 및 검증

그림 9는 하드웨어 구조를 설계하고, FPGA에서 검증하여 HDL(Hardware Description Language) 코드를 완성하기까지의 과정을 나타내고 있다.

하드웨어 설계의 첫 단계로 C 언어를 이용하여 하드웨어 모델을 구축하여 하이레벨 검증을 진행한다. 부동 소수점(Floating Point) 모델 검증 단계에서는 C++의 외장 이미지 라이브러리를 사용한 부분들을 스탠다드 C 형태의 사용자 함수로 재설계하여 검증하고, 하드웨어 모델 검증[8] 단계에서는 하드웨어에서 사용하게 될 최적의 비트 사이즈를 결정하고 고정하며, 하드웨어에서 구현되는 연산 구조를 단순화하기 위해서 연산 형태를 변환하여 시뮬레이션을 거친다. 그리고 이후 FPGA 검증 및 ASIC 칩 테스트 단계에서 필요한 테스트 벡터들을 하드웨어 모델링 단계에서 충분히 확보한다.

하드웨어 구조 설계 단계에서는 알고리즘의 핵심 연산부들을 설계하고, 그에 따른 레지스터 맵과 메모리 맵을 정리한다. 그리고 완성된 메모리 맵 정보를 이용하여 연산 코어와 주변 처리 장치

에 대한 시스템의 전체 구조를 설계한다. 본 논문에서 설계한 전체 얼굴인식 하드웨어의 구조는 그림 10과 같으며, 현 버전의 칩에서 구현한 부분은 연산량이 가장 많은 얼굴검출 영역으로 나머지 얼굴검출과 인식 부분은 고정소수점 모델을 이용해 소프트웨어로 수행하였다.

본 논문에서 제시한 얼굴인식 하드웨어에서 필요로 하는 내부 SRAM 사용량과 외부 SDR SDRAM (Single Data Rate Synchronous Dynamic Random Access Memory) 사용량은 표 1과 표 2에 나타내었다.

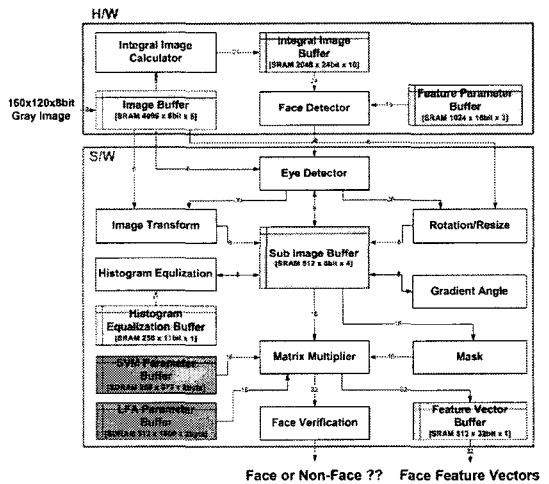


그림 10. 얼굴인식 하드웨어 아키텍처

표 1. 내부 SRAM

Name	Type	Size	Num.	Bits
Image Buffer	Single Port RAM	4096Depth x 8bit	5	163,840
Integral Image Buffer	Single Port RAM	2048Depth x 24bit	10	491,520
Feature Parameter Buffer	Single Port RAM	1024Depth x 16bit	3	49,152
Sub Image Buffer	Single Port RAM	512Depth x 8bit	4	16,384
SQI Buffer	Single Port RAM	2048Depth x 11bit	1	22,528
Histogram Equal. Buffer	Single Port RAM	256Depth x 9bit	1	2,304
Feature Vector Buffer	Dual Port RAM	512Depth x 32bit	1	16,384
Total Bits				762,112

표 2. 외부 SDR SDRAM

Name	Matrix Size	Memory Size	Bytes
SVM matrix coefficients	500 x 977 x 8bit	256 x 977 x 2byte	500,224
LFA matrix coefficients	1800 x 400 x 16bit	512 x 1800 x 2byte	1,843,200
Total Bytes			2,343,424

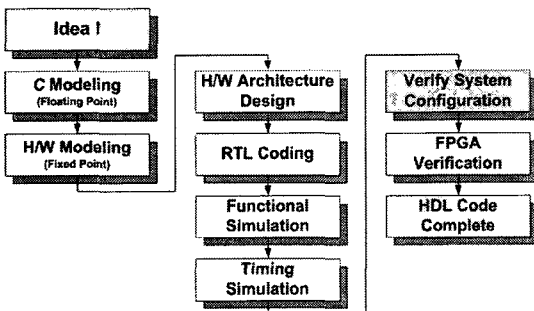


그림 9. 하드웨어 설계 및 FPGA 검증 순서도

하드웨어의 주 연산이 영상 처리에 의존적이기 때문에 내부 메모리의 사용량이 많다. 따라서 하드웨어 검증 FPGA 모델도 내부 메모리 영역이 충분한 모델을 선정하였다. 본 논문에서는 Xilinx Virtex-4 XC4VLX100 FPGA를 탑재하고 있는 Huins(사)의 VIP-2000 FPGA 보드[9]를 하드웨어 설계 검증용으로 선택했다. XC4VLX100 모델은 대략 일천만 게이트 사이즈를 가지는 FPGA이며, 18Kbit의 DPRAM(Dual Port RAM)를 240개, 4,320Kbit 정도의 SPRAM(Single Port RAM)을 내장하고 있다. 그림 11이 Huins(사)의 VIP-2000 FPGA 보드를 나타내고 있다.

얼굴검출 연산에 필요한 영상을 입력해줄 카메라 및 진행 상황과 결과 출력용 LCD 등의 I/O 장치를 통괄 처리하기 위한 임베디드 프로세서 보드는 삼성 S3C2440A 프로세서<sup>[10]</sup>를 탑재하고 있는 EMLinux(사)의 BlueSky 2440 보드<sup>[11]</sup>를 선택하였다. 삼성 S3C2440A 프로세서는 ARM920T 코어를 내장하고 있으며, 400MHz 동작 클럭과 TFT LCD, 카메라, USB 컨트롤러 및 AC'97 코덱, UART 등을 탑재하고 있다. 그림 12에 EMLinux(사)의 BlueSky 2440 보드를 나타내었다.

FPGA 검증 시스템은 그림 13에서 보는 바와 같이 VIP-2000 보드와 BlueSky 2440 보드를 외부 케이블로 연결하여 카메라로 입력되는 영상이

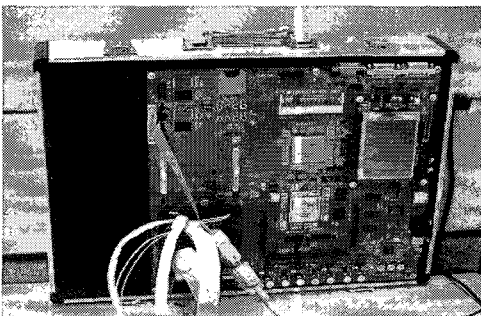


그림 11. Huins VIP-2000 FPGA 보드

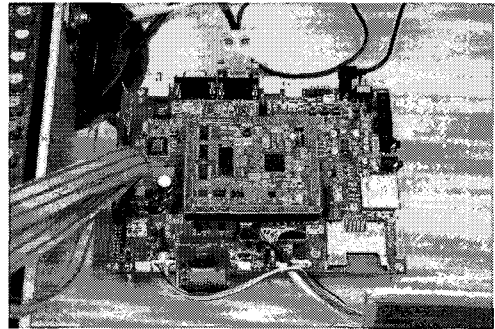


그림 12. EMLinux BlueSky 2440 보드

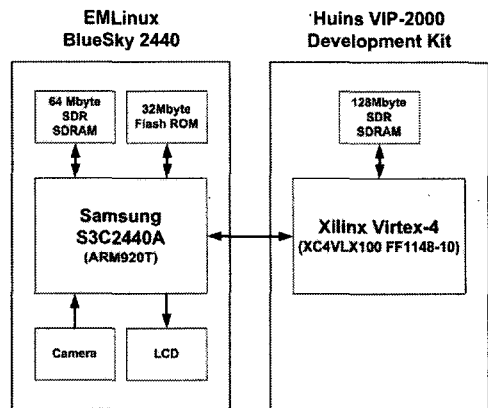


그림 13. FPGA 검증 플랫폼 구성도

나 연산에 필요한 여러 가지 데이터들을 FPGA 내의 얼굴검출 코어로 넘겨줄 수 있도록 하였으며, FPGA 쪽에서 연산된 결과들도 BlueSky 2440 보드 쪽에서 접근하여 LCD나 PC의 터미널 창에 출력되어질 수 있도록 시스템을 설계하였다.

그림 14는 그림 13에서 보인 전체 시스템을 세부적으로 묘사한 블록도이다. 내부에 포함되어 있는 PLL (Phase Locked Loop)은 최종적으로 ASIC을 이용해 제작한 칩을 100MHz에서 쉽게 동작시키기 위함이다. 하드웨어로 구현된 얼굴검출 부분에는 많은 덧셈 연산과 곱셈 연산이 사용되어 지는데, 최장 지연 패스(Critical Path)를 고려해서 CPA(Carry Propagation Adder)보다는 CSA(Carry Save Adder) 및 CLA(Carry Lookahead

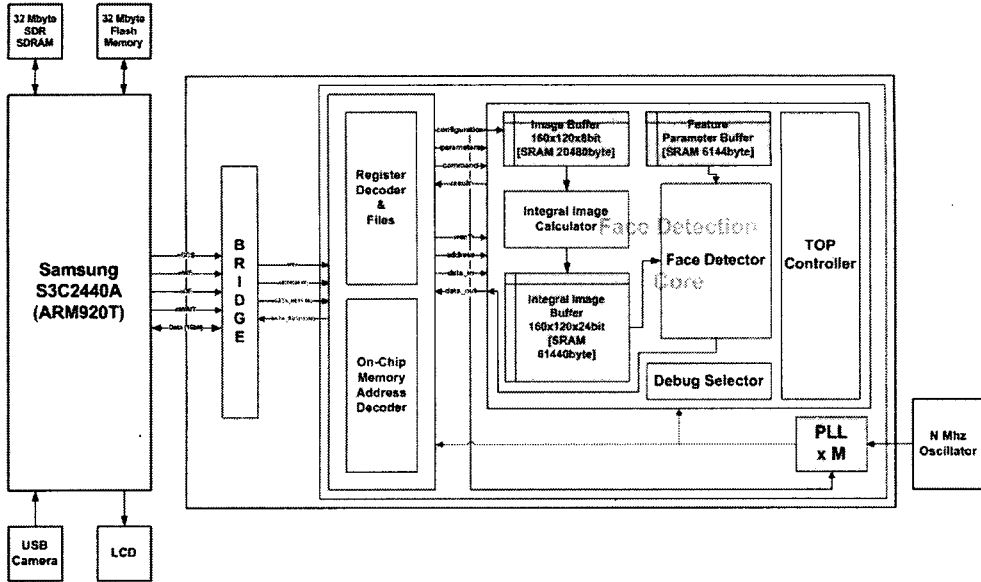


그림 14. 얼굴인식 시스템의 전체 구성도

Adder)를 병행 사용하였으며, 곱셈기 또한 단순 어레이 방식을 사용하지 않고 월러스 트리 (Wallace Tree)[12] 형태의 병렬 구조 방식을 사용하여 최대한 지연 시간을 줄일 수 있도록 하였다.

기능 시뮬레이션 및 타이밍 시뮬레이션은 Xilinx(사)에서 제공하는 ISE(버전 7.1) 프로그램을 이용해서 각각의 메모리 모델과 타이밍 관련 파일들을 추출하여 Mentor Graphics(사)의 ModelSim(버전 6.1b)에서 수행하였다. 그림 15는 본 논문에서 FPGA 검증 및 개발을 위해서 사용한 플랫폼의 사진이다.

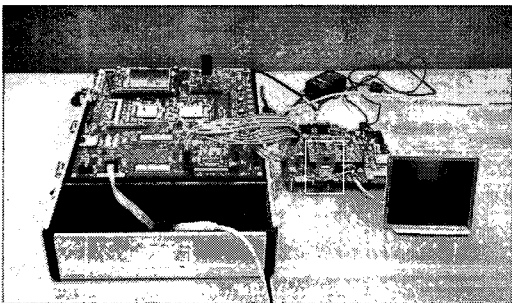


그림 15. FPGA 검증 플랫폼

### 3.2 ASIC 칩 설계

본 논문에서 제시하는 얼굴검출 칩은 매그나칩 (주)의 0.25um CMOS 공정을 이용하며 100MHz 에서의 원활한 동작을 할 수 있도록 ASIC 설계를 진행하였다. 그림 16은 본 논문의 얼굴검출 하드 웨어 구조를 ASIC 공정을 이용하여 칩으로 제작 하면서 진행했던 과정에 대해서 나타내어주고 있는 ASIC 설계 순서도이다. 이 순서도는 파운드리 (Foundry)와 디자인 하우스(Design House)에 따라 약간의 차이는 있을 수 있으나 대부분 비슷한 과정을 거친다.

그림 17은 본 논문의 얼굴검출 칩의 레이아웃 을 나타내는 그림이다. 얼굴검출은 영상을 처리하는 연산이라 내부에 많은 양의 메모리를 필요로 한다. 그래서 그림에서 보는 바와 같이 전체 칩의 면적 중에 순수 연산에 필요한 컴비네이셔널 (Combinational) 로직이 차지하는 부분은 크지 않으며, 대부분의 면적을 메모리 및 레지스터 등의 논-컴비네이셔널(Non-Combinational) 로직이 차지하고 있다.

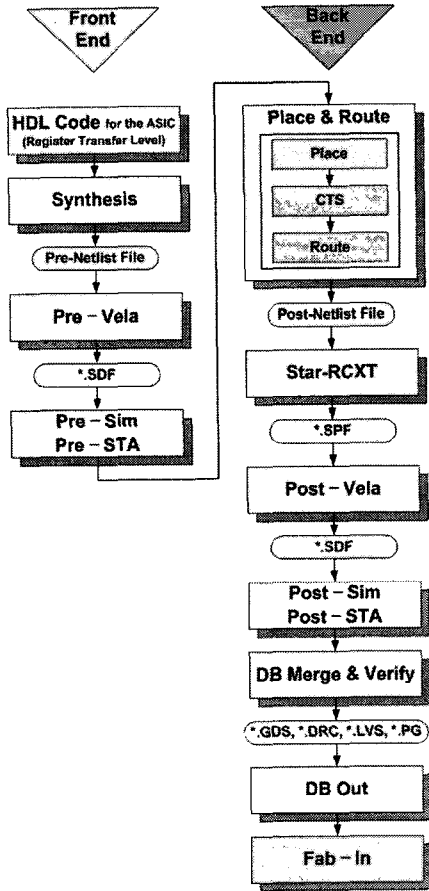


그림 16. 매그나칩 ASIC 설계 순서도

본 논문에서 ASIC 공정을 이용해서 설계한 얼굴검출 칩의 이름은 'XF1201'이며, 그림 18이 XF1201 칩의 외관 형태를 보여주는 사진이다. 칩의 패키지 형태는 QFP 형태이며, 사이즈는 28.10mm × 28.10mm 이다. 그리고 내부의 다이 (Die) 사이즈는 5.868mm × 5.868mm, 외부 핀 수는 208핀, I/O 전압 3.3V 그리고 최대 동작 클럭은 100MHz 이다.

그림 19는 XF1201 칩의 외부 핀들에 관한 정보를 나타내고 있는 그림이다. 그림의 좌측에 위치하는 핀들은 BlueSky 2440 보드와의 데이터 전달을 담당하는 핀들이며, 상단에 위치하는 핀들은 내부의 PLL 동작 및 설정이 필요한 핀들이다. 그리고 우측의 핀들은 외부의 SDR SDRAM을 액세스하기 위해서 존재하는 핀들이며, 하단의 DEBUG\_DATA 핀은 내부의 로직이나 레지스터의 중간 값들을 살펴보기 위해서 설계해 놓은 핀이다.

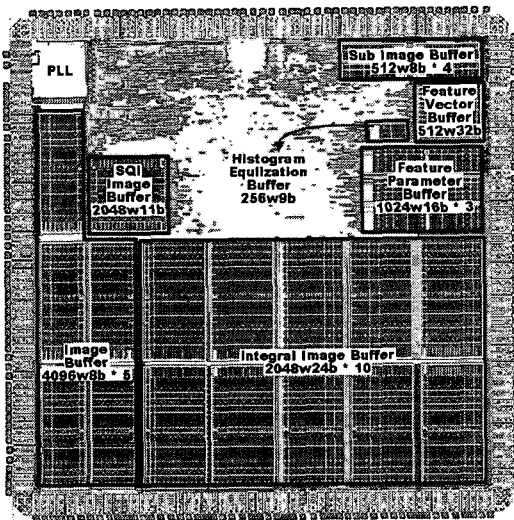


그림 17. 칩 레이아웃

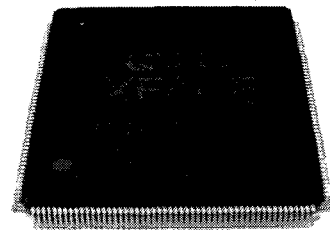


그림 18. XF1201 칩

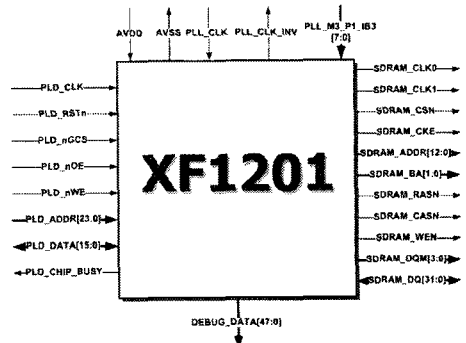


그림 19. 핀 정의



### 4. 설계 검증 및 성능 분석

본 논문에서 설계한 XF1201 칩은 25MHz, 50MHz, 100MHz 등에서 정상적으로 동작되어지는 것이 확인되었다. 그림 20은 ASIC 칩으로 구현된 얼굴검출 하드웨어 부분과 검증 연산을 거친 후에 출력되는 결과를 나타내는 그림이다. 현 XF1201 칩에는 입력 영상 내에 여러 명의 얼굴이 존재할 경우 얼굴검출 연산에서 가장 큰 결과 값을 가지는 한 영역만이 인식되도록 설계되어 있다. 차기 버전의 얼굴인식 알고리즘 및 칩에서는 검증된 모든 얼굴을 찾을 수 있도록 개선할 예정이다.

#### 4.1 FPGA 및 ASIC에서의 자원 사용률

표 3은 FPGA 검증에서 사용된 자원의 양을 보여주고 있다. Virtex-4 VLX100 FPGA 모델은 약 일천만 게이트 사이즈의 모델이며, 구현된 얼굴검출 하드웨어는 전체 98,304 LUTs 중에서 약 15%에 해당하는 14,937 LUTs를 사용하고 있다.

표 4는 매그나칩 0.25um ASIC 공정에서의 자원 사용률을 보여주고 있다. 콤비네이션 로직의 게이트 수가 대략 10만 게이트이고, 논-콤비네이션 로직의 게이트 수가 95만 게이트로 대략

표 3. Virtex-4 VLX100 FPGA 자원 사용률

Logic Utilization	Used	Available	Utilization	Notes
Number of Slice Flip Flops:	3,227	98,304	3%	
Number of 4 input LUTs:	13,926	98,304	14%	
<b>Logic Distribution:</b>				
Number of occupied Slices:	8,858	49,152	18%	
Number of Slices containing only related logic:	8,858	8,858	100%	
Number of Slices containing unrelated logic:	0	8,858	0%	
<b>Total Number 4 input LUTs:</b>	<b>14,937</b>	<b>98,304</b>	<b>15%</b>	
Number used as logic:	13,926			
Number used as a route-thru:	61			
Number used as 16x1 ROMs:	948			
Number of bonded IOBs:	179	768	23%	
Number of BUFG/BUFGCTRLs:	1	32	3%	
Number used as BUFGs:	1			
Number used as BUFGCTRLs:	0			
Number of FIFO16/RAMB16s:	51	240	21%	
Number used as FIFO16s:	0			
Number used as RAMB16s:	51			
Number of DSP46s:	7	96	7%	

표 4. 칩 사이즈 (MagnaChip 0.25um CMOS 공정)

Logic	Cell Area	Gate
Combinational	1712258.875 [ $\mu m^2$ ]	99,090
Non-Combinational	16484445.000 [ $\mu m^2$ ]	953,961
Total	18196703.875 [ $\mu m^2$ ]	1,053,050

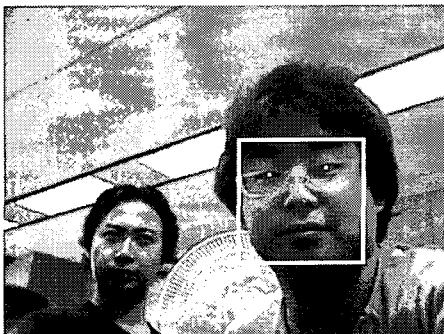
1:10 정도의 비율을 보이고 있는데, 이는 영상을 저장하기 위한 많은 양의 메모리들로 인한 것이다.

#### 4.2 얼굴검출 연산 수행시간 비교

표 5는 얼굴검출 소프트웨어와 칩으로 구현된 하드웨어에 대해 각각의 대상별로 수행시간을 비교한 것이다. 얼굴검출 연산은 피쳐 비교를 위해 영상 내에서 윈도우를 옮겨가며 연산을 수행하게 되는데, 그 이동 간격을 2픽셀로 설정했다.

표 5. 얼굴검출 S/W, H/W 수행시간 비교

	대상	프로세서	동작 클럭	수행 시간
S/W	PC	Pentium 4 Northwood	2.4GHz	0.2 초
	TI OSK 5912	OMAP 5912	100MHz	7 초
	BlueSky 2440	ARM920T	400MHz	1.7 초
H/W	FPGA Virtex-4	XC4VLX100	24MHz	0.49 초
	XF1201	XF1201	100MHz	0.11 초



Y.J.Kim

그림 20. 얼굴검출 수행의 예

### 4.3 차후 과제 및 연구

그림 21은 XF1201 칩을 검증 및 시연하고, 차후 버전의 칩 제작 및 기타 여러 곳에 적용하여 응용 연구하기 위해서 만든 XF1201 검증보드에 관련된 블록 다이어그램이다.

XF1201 검증보드의 특징은 보드의 좌측에 위치하는 커넥터를 이용하여 EMLinux(사)의 BlueSky 2440 보드와 직접적인 연결이 가능하다. 그리고 ASIC 공정을 이용하여 제작된 XF1201 칩이 소켓 형태로 올라가며, Xilinx(사)의 Virtex-4 LVX60-1148 FPGA 모델 또한 동시에 올라가 있다. 그리고 보드 내의 스위치 및 BlueSky 2440 보드의 S3C2440A 프로세서를 이용하여 XF1201 칩과 Virtex-4 VLX60 FPGA를 각각 선택적으로 또는 상호 병렬적으로 사용할 수 있도록 설계를 하였다. 이유는 현재 프로토타입(Prototype)의 XF1201 칩을 통해서 개선할 하드웨어 모듈 및 추가해야 할 하드웨어 모듈 등을 FPGA를 이용하여 검증하여 차기 버전의 얼굴인식 칩에 업데이트하기 위함이다. 그림 22는 XF1201 플랫폼을 나타내고 있다.

그림 23은 XF1201 칩과 검증보드 그리고 BlueSky 2440 보드, USB 웹 카메라를 이용해서 XF1201 칩 검증을 진행하는 장면을 나타내고 있다.

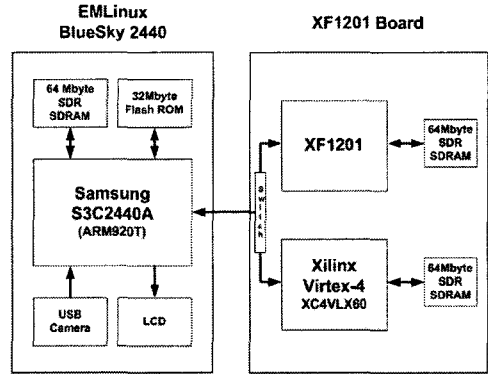


그림 22. XF1201 플랫폼 구성도

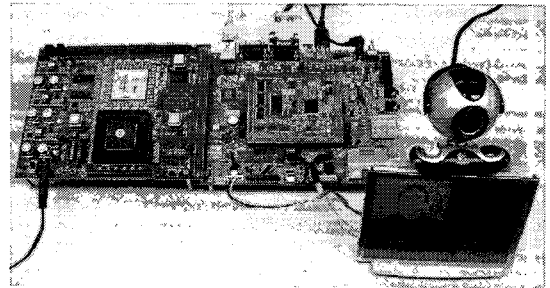


그림 23. XF1201 칩 검증 및 응용 플랫폼

현재 XF1201 칩은 전체 얼굴인식 알고리즘 중 얼굴검출 부분이 하드웨어로 구현되어 있으며, 차기 버전의 칩에서는 얼굴인식까지의 모든 알고리즘을 하드웨어로 구현할 수 있도록 설계중이다.

## 4. 결 론

본 논문에서는 전체 얼굴인식 알고리즘 중 가장 연산시간이 많이 걸리는 얼굴검출 부분을 임베디드 시스템에 적합하며 실시간 처리가 가능하도록 하드웨어로 설계하고, ASIC 칩으로 구현하였다. 개발된 얼굴인식 시스템은 삼성 S3C2440A (ARM920T 내장) 프로세서를 탑재하고 있는 EMLinux(사)의 BlueSky2440 보드와 Xilinx Virtex-4 VXL100 일천만 게이트 FPGA를 탑재하고 있는 Huins(사)의 VIP-2000 개발 보드를 사용하여 검증하였으며, 칩

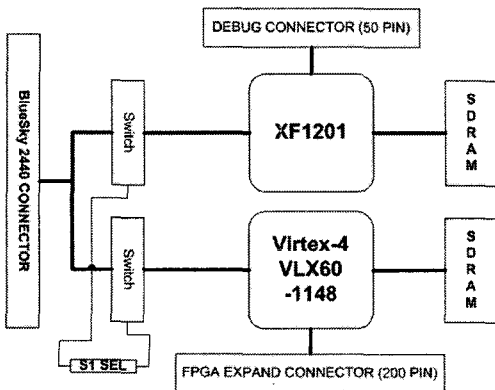


그림 21. XF1201 검증보드 블럭도

개발은 매그나칩(MagnaChip) 0.25um CMOS 공정을 이용하였다. 설계된 얼굴검출 칩은 25MHz, 50MHz, 100MHz 등에서 정상 동작이 되는 것을 확인 되었으며, 얼굴 검출, 검증, 인식의 각 부분에 대한 성능 향상 및 개선에 초점을 두고 지속적인 연구를 진행하고 있다.

펜티엄 4 2.4GHz 프로세서와 1GByte RAM를 장착한 PC에서 윈도우 스텝 사이즈 2픽셀의 세팅으로 0.2초가 소요되고, BluSky 2440 임베디드 보드에서 400MHz의 동작 속도에서 1.7초가 걸리는 반면, 24MHz 동작의 FPGA에서는 0.49초가 소요된다. 그리고 본 논문에서 ASIC 공정을 이용해서 제작한 XF1201 칩의 경우에는 100MHz 동작 클럭으로 0.11초가 소요된다. 이것은 펜티엄 PC 및 임베디드 프로세서 보드에서의 소프트웨어 처리에 비해 처리속도 및 소비전력, 가격, 이식성 등의 측면에서 장점이 크기 때문에 XF1201 칩이 임베디드 시스템의 코어로 적합함을 보여주고 있다.

## 참 고 문 헌

- [ 1 ] <http://www.kisa.or.kr>, 한국정보보호진흥원
- [ 2 ] M. A. Turk and A. P. Pentland, "Face Recognition Using Eigenfaces," Proc. CVPR '91., IEEE Computer Society Conference on pp. 586-591, June 1991.
- [ 3 ] M.A. Hearst, S.T. Dumais, E. Osman, J. Platt and B. Scholkopf, "Support Vector Machines," Intelligent Systems and Their Applications, IEEE Vol. 13, Issue 4, pp. 18-28, July-Aug. 1998.
- [ 4 ] H. Moon and P. J. Phillips, "The FERET verification testing protocol for face recognition algorithms," Automatic Face and Gesture Recognition, 1998. Proc. Third IEEE International Conference, pp 48-53, Apr. 1998.
- [ 5 ] P. Viola and M. Jones, "Robust Real-time Object Detection," Second International Workshop On Statistical And Computational Theories Of Vision, Modeling, Learning, Computing, And Sampling, Vancouver, Canada, July 13, 2001.
- [ 6 ] 이수현, 정성운, 정용진. "얼굴검출을 위한 SoC 하드웨어 구현 및 검증," 대한전자공학회 SoC 학술 대회, Section 12, Video/Audio Signal Processing II, 2006년 5월.
- [ 7 ] P. Penev and J. Atick, "Local feature analysis: a general statistical theory for object representation," IOP Publishing, Network : Computation in Neural System Vol. 7, Aug. 1996.
- [ 8 ] 김영진, 정성운, 정용진. "SoC 하드웨어 설계를 위한 얼굴인식 알고리즘의 고정 소수점 모델 구현 및 성능 분석," 대한전자공학회 SoC 학술 대회, Section12, Video/Audio Signal Processing II, 2006년 5월.
- [ 9 ] Verification IP AMBA Platform User's Guide ver 1.5. (c)Huins. August 23, 2005.
- [ 10 ] Samsung Electronics, S3C2440A - 32-BIT CMOS MICROCONTROLLER USER'S MANUAL, Samsung Electronics Co. LTD., 2004.
- [ 11 ] Bluesky 2410/2440 Reference Manual V1.0., (c)EMLinux, 2004.
- [ 12 ] I. Koren, Computer Arithmetic Algorithm - Second Edition, A K Peters, Ltd., pp. 141-176, 2002.



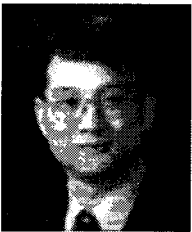
정 성 윤

- 2005년 2월 : 광운대학교 전자공학부(공학사)
- 2005년 3월 ~ 현재 : 광운대학교 전자통신공학과 (공학석사)
- 2006년 2월 ~ 현재 : (주)코아정보시스템  
유비쿼터스 기술연구소 연구원
- 관심분야 : 디지털 SoC, 영상처리, 얼굴인식, 생체인식
- E-Mail : sungyun703@hanmail.net



강 태 운

- 1982년 2월 : 연세대학교 전자공학과(공학석사)
- 1982년 3월 ~ 1999년 7월 : 한국전자통신연구원  
연구실장/책임연구원
- 1995년 6월 ~ 1996년 6월 : (미)NIST 객원과학자
- 2005년 10월 ~ 현재 : (주)코아정보시스템  
유비쿼터스 기술연구소 소장
- 관심분야 : Telebiometrics, BcN 및 USN 보안, ITSoC
- E-Mail : taewk@coreinfo.co.kr



정 용 진

- 1983년 2월 : 서울대학교 제어계측공학과(공학사)
- 1983년 3월 ~ 1989년 8월 : 한국전자 통신연구원
- 1995년 2월 : 미국 UMASS 전자전산공학과 박사
- 1995년 4월 ~ 1999년 2월 : 삼성전자 반도체  
수석 연구원
- 1999년 3월 ~ 현재 : 광운대학교 전자공학부 부교수
- 관심분야 : 무선 통신, 정보보호, SoC 설계, 영상처리 및  
인식, 임베디드 시스템
- E-Mail : yjjeong@kw.ac.kr