

Electrodeposition 변수에 따른 Trench Via의 Cu Filling 특성

이광용 · 오택수 · 오태성*

홍익대학교 신소재공학과

Cu Filling Characteristics of Trench Vias with Variations of Electrodeposition Parameters

Kwang-Yong Lee, Teck-Su Oh, and Tae-Sung Oh

Department of Materials Science and Engineering, Hongik University

초 록: 칩 스택 패키지의 삼차원 interconnection에 적용을 위해 폭 75~10 μm , 길이 3 mm의 트랜치 비아에 대해 전기도금전류밀도 및 전류모드에 따른 Cu filling 특성을 분석하였다. 직류모드로 1.25 mA/cm²에서 Cu filling한 경우, 트랜치 비아의 폭이 75~35 μm 범위에서는 95% 이상의 높은 Cu filling ratio를 나타내었다. 직류 전류밀도 2.5 mA/cm²에서 Cu filling한 경우에는 1.25 mA/cm² 조건에 비해 열등한 Cu filling ratio를 나타내었으며, 직류모드에 비해 펄스모드가 우수한 Cu filling 특성을 나타내었다.

Abstract: For chip-stack package applications, Cu filling characteristics into trench vias of 75~10 μm width and 3 mm length were investigated with variations of electroplating current density and current mode. At 1.25 mA/cm² of DC mode, Cu filling ratio higher than 95% was obtained for trench vias of 75~35 μm width. When electroplated at DC 2.5 mA/cm², Cu filling ratios became inferior to those processed at DC 1.25 mA/cm². Pulse current mode exhibited Cu filling characteristics superior to DC current mode.

Keywords: chip stack, Cu via, electroplating, current density, current mode

1. 서 론

휴대전화, PDA, 디지털 카메라와 같이 최근 전자제품들이 소형화, 경량화, 고기능화가 활발히 진행되고 있으며, 이를 이루기 위해서는 보다 콤팩트하며 기능이 향상된 전자 패키지의 개발이 요구되고 있다¹⁻⁸⁾. 이제까지 전자패키지 모듈은 다수의 IC 칩을 비롯한 전자부품들의 이차원적 배열에 의하여 이루어져 왔다. 그러나 최근 전자제품의 소형화, 경량화가 급격히 진행됨에 따라 반도체 칩을 2차원적으로 배열하여서는 원하는 크기와 성능을 얻는데 한계에 도달하게 되어 반도체 칩들을

3차원으로 적층하는 3D 스택 패키지에 대한 연구가 활발히 진행되고 있다^{1,3,4,9-11)}.

휴대전화에 적용을 위해 플래시 메모리와 SDRAM을 적층하여 한 개의 메모리 소자를 제조함으로써 시작된 3D 스택 패키지는 크기 및 무게의 현저한 감소와 더불어 전기적 성능의 향상, 보드 단위면적당 소자 기능의 증가 및 공정가격 저하 등의 여러 장점을 지니고 있다¹²⁾. 현재 3D 스택 패키지는 크기 감소와 기능성 향상이 동시에 강조되고 있는 휴대전화와 무선 PDA에 주로 적용되고 있으며, SRAM과 플래시 메모리의 스택이 주종을 이루고 있다. 휴대전화와 무선 PDA 외에도 3D 패키지는

*Corresponding author
E-mail: ohts@hongik.ac.kr

위성통신용 셋톱 박스와 네트워크 소자에의 적용이 가능하며, SRAM이나 플래시 메모리의 스택 외에도 논리스자나 DRAM의 스택 패키지가 개발되고 있다¹²⁾.

현재 상용되고 있는 3D 스택 패키지에서는 반도체 칩들을 서로 적층한 후 각 칩들의 I/O 패드를 기판에 와이어 본딩하고 있으나, 이와 같은 와이어 본딩에 의해 노이즈 증가에 따른 고주파 특성의 저하가 발생하며 패키지의 크기가 증가하는 문제점을 지니고 있다¹⁴⁾. 이에 따라 반도체 칩들에 via hole을 형성하고 이를 Cu로 채운 후, 이를 삼차원 interconnection으로 사용함으로써 고주파 특성을 향상시키고 패키지의 크기를 감소시키고자 하는 연구들이 제안되고 있다⁶⁻⁸⁾. 비아 hole의 Cu filling시 비아 개구부의 모서리에 전류밀도가 집중되어 다른 부위보다 전착이 빠르게 진행됨으로써 비아 hole의 입구가 막히게 되어 비아 내부의 완전 충전이 불가능하게 되며 기공 또는 seam 같은 결함이 발생된다¹³⁾. 이러한 문제점을 해결하기 위해 Cu 비아 filling에 대한 연구가 활발히 이루어지고 있다⁶⁻⁸⁾.

본 연구에서는 칩 스택 패키지 공정을 개발하기 위한 기초 연구로서 전기도금전류밀도 및 전류모드에 따른 Cu 비아 filling 특성을 분석하였다. 이때 비아 크기에 따른 Cu filling 특성에 대한 분석을 용이하게 하기 위해 비아 hole 대신 길이 3 mm, 폭 75~10 μm 크기의 트랜치(trench) 비아를 형성하여 Cu filling 거동을 분석하였다.

2. 실험 방법

비아 크기에 따른 Cu filling 특성을 분석하기 위해 폭이 75, 50, 35, 20, 10 μm 이며, 길이가 3 mm인 Fig. 1과 같은 트랜치 비아 패턴을 디자인 하였다. 두께 550 μm 의 p형(100) Si 웨이퍼에 Deep RIE (Reactive Ion Etching)를 이용하여 트랜치 비아를 형성한 후, 건식산화법을 이용하여 0.1 μm 두께의 SiO₂ 산화막을 트랜치 비아의 외벽 전면에 형성하였다. 트랜치 비아 패턴의 표면에 전기도금으로 Cu filling을 하기 위한 씨앗층을 형성하기 위해 DC 마그네트론 스퍼터링법으로 SiO₂ 계면과 접착력이 우수한 Ti를 0.1 μm 형성하였으며, 그 위에 2 μm 두께의 Cu를 스퍼터링 하였다. 이때 트랜치

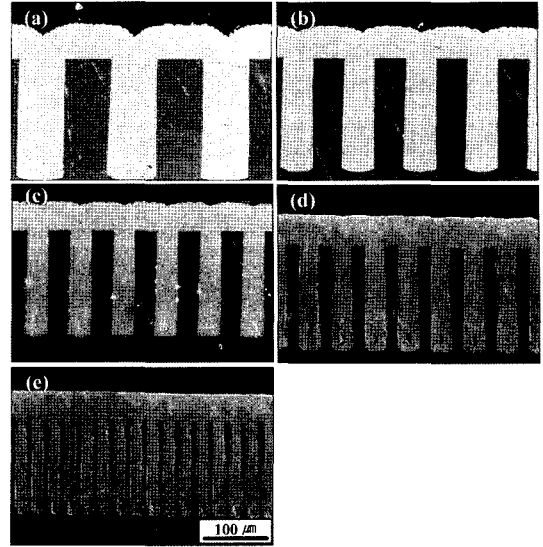


Fig. 1. FESEM micrographs trench vias of (a) 75, (b) 50, (c) 35, (d) 20, and (e) 10 μm width.

비아의 바닥면과 측면에 Ti/Cu 씨앗층이 형성되는 것을 돕기 위해 기판에 -100 V의 DC 바이어스 전압을 인가하였다.

Ti/Cu 씨앗층이 형성된 트랜치 비아의 Cu filling용 전기도금 용액을 제조하기 위해, 0.25 M의 CuSO₄·5H₂O와 2 M H₂SO₄ 용액에 억제제로 70 ppm의 Cl⁻와 600 ppm의 PEG(Polyethylene Glycol)를 첨가하였으며, 가속제로 SPS(Sulfo-Propyldi-Sulfide)와 JGB (Jenus Green B)를 소량 첨가하였다. 이와 같이 제조된 Cu filling용 전기도금액을 200 rpm의 속도로 24시간 교반한 후 사용하였다.

전기도금으로 트랜치 비아에 대한 Cu filling을 하기에 앞서 트랜치 비아가 형성된 Si 기판을 10 vol% H₂SO₄ 수용액에 5~10초간 담가 Ti/Cu 씨앗층의 산화피막을 제거하였다. 전기도금액이 트랜치 비아의 바닥면까지 완전히 흡착되지 않아 트랜치 바닥 부위에서 Cu filling이 발생하지 않는 문제점을 해결하기 위해 트랜치 비아가 형성된 Si 시편을 Cu filling용 전기도금액에 담구고 1×10⁻² torr의 진공도로 30분간 유지하여 트랜치 비아 내부에 포획되어 있는 기포를 제거하였다. Current source meter를 사용하여 전류밀도를 1.25 mA/cm²과 2.5 mA/cm²로 변화시키며 전기도금하여 트랜치 비아에 대한 Cu filling을 수행하였다. 전류모드

를 DC(direct current)와 PC(pulse current) 모드로 변화시키며 트렌치 비아에 대한 Cu filling을 수행하였다.

전류밀도와 잔류모드를 변화시키며 실시한 트렌치 비아의 Cu filling된 형상을 FESEM(Field Emission Scanning Electron Microscopy)으로 관찰하였다. 전류밀도 및 잔류모드에 따른 트렌치 비아의 Cu filling 특성을 분석하기 위해 FESEM으로 관찰한 각 트렌치 내의 기공의 면적 비율을 image analyzer를 이용하여 측정정한 후, 이를 이용하여 트렌치내 Cu filling 면적 비율을 계산하여 Cu filling 거동을 정량화하였다.

3. 결과 및 고찰

Fig. 1에 Deep RIE를 이용하여 형성한 트렌치 비아의 FESEM 사진을 나타내었다. Fig. 1에서와 같이 각 트렌치 비아의 길이는 폭에 무관하게 3 mm로 동일하였으며, 트렌치 비아의 폭이 75, 50, 35, 20, 10 μm 일 때 트렌치 피치는 각기 이들의 2배인 150, 100, 70, 40, 20 μm 로 형성하였다.

Fig. 2에 트렌치 비아의 크기에 따른 aspect 비(비아 높이/비아 폭)의 이론값과 실제 측정값을 나타내었다. Fig. 2에서 aspect 비의 이론값은 트렌치 비아의 폭에 무관하게 각 트렌치 비아의 깊이를 Deep RIE 공정변수를 설정한 160 μm 로 가정하고

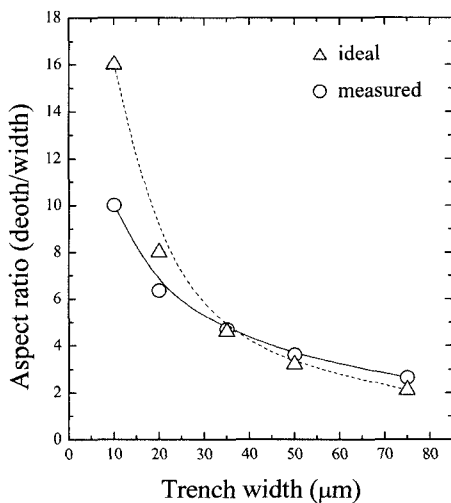


Fig. 2. Ideal and measured aspect ratios (trench width/ trench depth) as a function of the trench width.

계산한 값이다. Fig. 2에서와 같이 Deep RIE 공정 변수를 160 μm 로 설정한 폭 35 μm 의 트렌치 비아를 중심으로 트렌치 비아의 폭이 35 μm 보다 큰 경우에는 aspect 비의 실제 측정값이 이론값보다 크게 나타났으며, 트렌치 비아의 폭이 35 μm 보다 작은 경우에는 aspect 비의 실제 측정값이 이론값보다 작게 측정되었다. 이는 Deep RIE를 이용하여 트렌치 비아를 형성할 때 트렌치 비아의 폭이 기준으로 설정한 35 μm 보다 큰 50 μm 및 75 μm 인 경우에는 그 부위에서 반응성 이온 에칭이 용이하게 진행되어 기준 깊이인 160 μm 보다 깊은 180 μm 및 200 μm 깊이로 트렌치 비아가 형성되며, 트렌치 비아의 크기가 10 μm 및 20 μm 인 경우에는 이 부위에서 반응성 이온 에칭이 어려워져 기준 깊이보다 낮은 130 μm 및 140 μm 로 트렌치 비아가 형성되었기 때문이다.

폭 35 μm 의 트렌치 비아가 형성되어 있는 Si 시편의 SiO_2 절연층 위에 DC 마크네트론 스퍼터링 방법으로 순차적으로 형성한 전기도금용 Ti(0.1 μm)/Cu(2 μm) 씨앗층의 FESEM 사진을 Fig. 3에 나타내었다. 이 결과에서와 같이 트렌치 비아의 개구

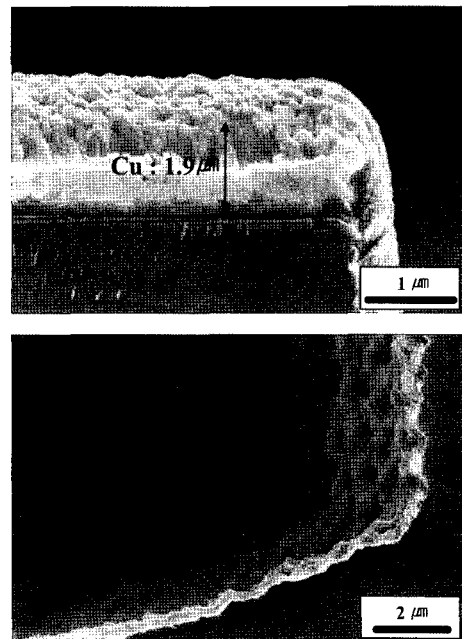


Fig. 3. Cross-sectional FESEM micrographs of the Ti/Cu seedlayer formed at (a) opening area and (b) bottom area of the 35 μm -wide trench via.

부에서는 $2\ \mu\text{m}$ 두께의 Ti/Cu 씨앗층이 형성되었으나, 트렌치 비아의 바닥면에서는 Ti/Cu 씨앗층이 이보다 얇은 $0.2\ \mu\text{m}$ 의 두께로 형성되었다. 또한 트렌치 비아의 폭이 $10\ \mu\text{m}$ 일 경우에는 트렌치 비아의 깊이 방향으로 60% 정도에만 Ti/Cu 씨앗층이 형성되었다. 따라서 폭 $10\ \mu\text{m}$ 의 트렌치 비아의 경우 Ti/Cu 씨앗층이 형성되어 있어 Cu 전기도금 가능한 깊이 방향으로 60%의 트렌치 면적에 대해서만 Cu filling 거동을 분석하였다.

DC 전류모드로 전류밀도 $1.25\ \text{mA}/\text{cm}^2$ 와 $2.5\ \text{mA}/\text{cm}^2$ 에서 Cu 전기도금한 폭 $75\sim 10\ \mu\text{m}$ 트렌치 비아의 Cu filling된 형상을 FESEM으로 관찰하였으며, 이들을 각기 Fig. 4와 Fig. 5에 나타내었다. Fig. 4에서 전류밀도 $1.25\ \text{mA}/\text{cm}^2$ 에서 Cu로 전기도금한 폭 $70\sim 35\ \mu\text{m}$ 의 트렌치 비아들은 내부기공이나 seam이 형성되지 않고 Cu로 잘 채워져 있으나, 트렌치 비아의 폭이 $20\ \mu\text{m}$ 와 $10\ \mu\text{m}$ 로 감소할 경우에는 내부기공이 관찰되었다. 시편 및 부위에 따른 Cu filling의 정도 차이가 폭 $75\sim 35\ \mu\text{m}$ 의 트렌치 비아들에서는 거의 관찰되지 않았다. 반면에 폭 $20\ \mu\text{m}$ 및 $10\ \mu\text{m}$ 의 트렌치 비아들에서는 시편 및 부위에 따른 Cu filling의 편차가 심하게 발생하

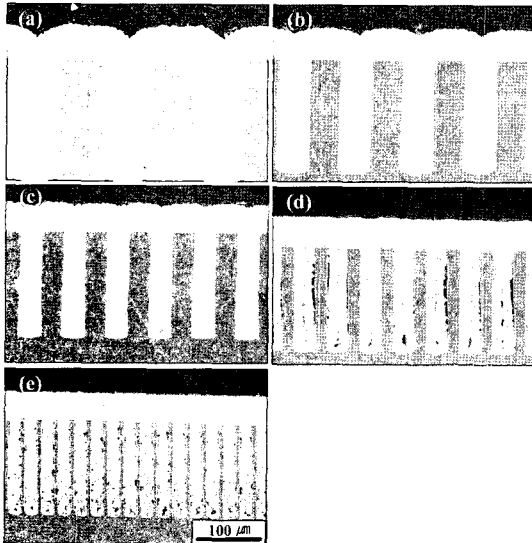


Fig. 4. Cross-sectional FESEM micrographs of the trench vias filled with Cu electroplating at $1.25\ \text{mA}/\text{cm}^2$ of direct current mode. The width of the trench vias were (a) $75\ \mu\text{m}$, (b) $50\ \mu\text{m}$, (c) $35\ \mu\text{m}$, (d) $20\ \mu\text{m}$, and (e) $10\ \mu\text{m}$.

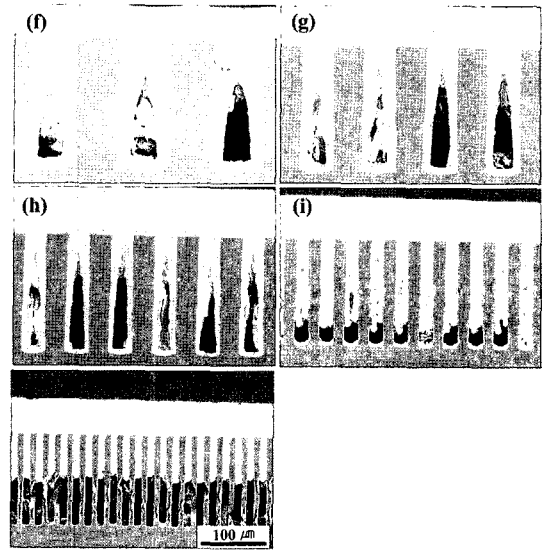


Fig. 5. Cross-sectional FESEM micrographs of the trench vias filled with Cu electroplating at $2.5\ \text{mA}/\text{cm}^2$ of direct current mode. The width of the trench vias were (a) $75\ \mu\text{m}$, (b) $50\ \mu\text{m}$, (c) $35\ \mu\text{m}$, (d) $20\ \mu\text{m}$, and (e) $10\ \mu\text{m}$.

여 Fig. 4에 보인 것보다 훨씬 덜 채워진 형상을 나타낸 것도 있었다. 이와 같이 트렌치 비아의 폭이 $20\ \mu\text{m}$ 이하로 감소함에 따라 각 부위에서 Cu filling의 차이가 심하게 발생하는 것은 트렌치 비아 내에서 Ti/Cu 씨앗층 형성의 불균일성에 기인한다.

도금전류밀도를 $2.5\ \text{mA}/\text{cm}^2$ 로 증가시키면 Fig. 5에서와 같이 폭 $75\ \mu\text{m}$ 의 트렌치 비아도 Cu로 다 채워지지 않고 하단부에 커다란 기공이 형성되는 것을 관찰할 수 있다. 이와 같이 도금전류밀도가 증가함에 따라 Cu filling이 잘 이루어지지 않으며 하단부에 기공이 발생하는 것은 도금전류밀도가 증가할수록 트렌치 개구부에서 전류밀도가 더욱 집중되어 Cu 도금이 더욱 빠르게 발생하여 개구부가 용이하게 막히는데 기인한다¹⁴⁾.

Fig. 4 및 Fig. 5에 나타낸 것과 같은 DC 전류밀도 $1.25\ \text{mA}/\text{cm}^2$ 와 $2.5\ \text{mA}/\text{cm}^2$ 에서 Cu filling한 트렌치 비아들에 대해 트렌치 폭에 따른 Cu filling 면적비를 측정하여 Fig. 6에 나타내었다. 전류밀도 $1.25\ \text{mA}/\text{cm}^2$ 에서 Cu filling한 경우, 트렌치 비아의 폭이 $75\sim 35\ \mu\text{m}$ 범위에서는 95% 이상의 높은 Cu filling ratio를 나타내었으며, 트렌치의 폭이 $20\ \mu\text{m}$ 이하로 감소함에 따라 filling ratio가 감소하여 폭

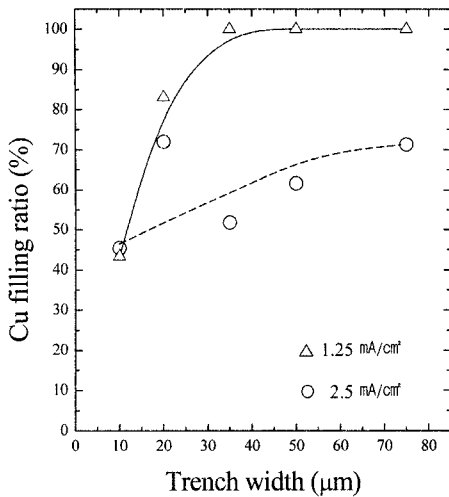


Fig. 6. Cu filling ratio of the trench vias at different direct current densities as a function of the trench width.

10 μm 의 트랜치 비아에서는 45%의 Cu filling ratio를 나타내었다. 폭 75~35 μm 의 트랜치에서 95% 이상의 높은 Cu filling ratio를 나타내는 이유는 이들 트랜치 비아를 Cu filling 시에는 도금계면의 확산층 두께가 트랜치 폭보다 작기 때문에 트랜치 내부로 conformal filling 또는 superfilling이 가능하기 때문이라고 사료된다^{14,15}. 반면 트랜치 비아의 폭이 20 μm 이하일 경우에는 확산층 두께가 이보다 크기 때문에 트랜치 내부에서 Cu^{2+} 이온이 고갈되는 것으로 판단된다^{14,15}. 전류밀도 2.5 mA/cm²에서 Cu filling한 경우에는 트랜치 비아의 폭이 75 μm 에서 10 μm 로 감소함에 따라 Cu filling ratio가 71%에서 45%로 감소하였다.

전류모드에 따른 트랜치 비아의 Cu filling 거동을 분석하기 위해 DC 모드의 전류밀도 1.25 mA/cm²와 2.5 mA/cm² 중에서 Cu filling이 좋지 않은 2.5 mA/cm²로 전류밀도를 설정하고 펄스(PC: pulse current) 전류모드를 인가하여 Cu filling 후, 이를 DC 전류모드와 비교하였다. 이때 사용한 펄스 모드는 동작전류(J_{on}) 2.5 mA/cm², 동작시간(t_{on}) 24 msec, 휴지시간(t_{off}) 6msec의 조건이었다. 펄스 전류모드로 2.5 mA/cm²의 전류밀도를 인가하여 전기도금한 트랜치들의 Cu filling 형상을 FESEM으로 관찰하였으며, 이를 Fig. 7에 나타내었다. 또한 이들 FESEM 사진을 바탕으로 분석한 트랜치 폭에 따

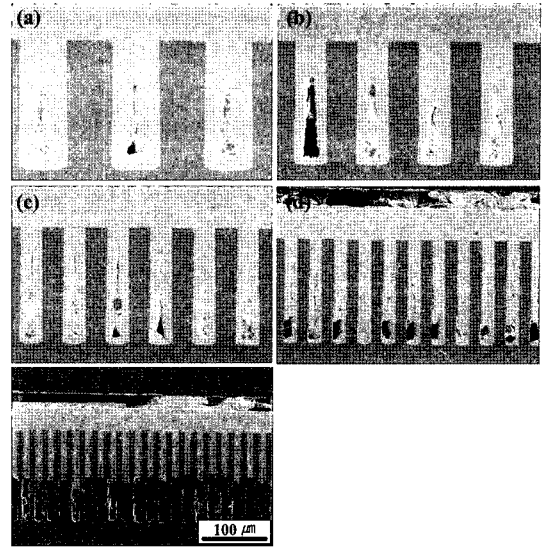


Fig. 7. Cross-sectional FESEM micrographs of the trench vias filled with Cu electroplating at 2.5 mA/cm² of pulse current mode. The width of the trench vias were (a) 75 μm , (b) 50 μm , (c) 35 μm , (d) 20 μm , and (e) 10 μm .

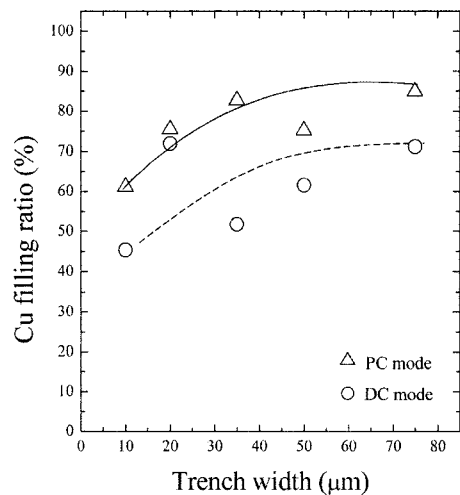


Fig. 8. Cu filling ratio of the trench vias at 2.5 mA/cm² of direct and pulse current mode as a function of the trench width.

른 Cu filling ratio를 DC 전류모드와 비교하여 Fig. 8에 나타내었다. Fig. 7에서 보는 것과 같이 전류모드를 펄스 모드로 할 경우 직류 모드로 전기도금한 것 보다 우수한 Cu filling 특성을 나타내었다. Fig. 8에 나타낸 것과 같이 트랜치 폭이 75 μm 인

경우 직류모드에서는 71%의 Cu filling ratio를 나타내었으나, 펄스모드에서는 83%로 Cu filling ratio가 향상되었다. 또한 직류모드에서는 트랜치 크기가 10 μm 로 감소함에 따라 Cu filling ratio가 45%로 감소한 반면에 펄스모드에서는 폭 10 μm 의 트랜치에서도 62%의 Cu filling ratio를 나타내어, 펄스모드에 의해 Cu filling ratio가 10~20% 향상됨을 알 수 있다. 동작 주기와 휴지 주기를 갖는 펄스모드를 이용하여 도금할 경우, 동작 주기에 발생되는 확산층의 두께가 휴지 주기 중에 감소되기 때문에, 트랜치 개구부에서의 전류 집중현상을 억제할 수 있어 직류모드보다 우수한 filling ratio를 나타내는 것으로 판단된다^{14,16)}.

4. 결 론

칩 스택 패키지의 삼차원 interconnection 공정에의 적용을 위해 폭 75~10 μm , 길이 3 mm의 트랜치 비아에 대해 전기도금전류밀도 및 전류모드에 따른 Cu filling 특성을 분석하여 다음과 같은 결론을 얻었다.

(1) Deep RIE를 이용하여 형성한 폭 75~10 μm 의 트랜치 비아의 실제 aspect 비는 2.63~10.0으로 측정되었다. DC 바이어스를 -100 V 인가하여 Ti/Cu 도금 씨앗층을 형성시 20 μm 이상의 트랜치 비아에서는 바닥면까지 씨앗층이 잘 형성되었다.

(2) 직류모드로 1.25 mA/cm²에서 Cu filling한 경우, 트랜치 비아의 폭이 75~35 μm 범위에서는 95% 이상의 높은 Cu filling ratio를 나타내었으며, 트랜치의 폭이 20 μm 이하로 감소함에 따라 filling ratio가 감소하여 폭 10 μm 의 트랜치 비아에서는 45%의 Cu filling ratio를 나타내었다. 직류 전류밀도 2.5 mA/cm²에서 Cu filling한 경우에는 1.25 mA/cm² 조건에 비해 열등한 Cu filling ratio를 나타내었으며, 트랜치의 폭이 75 μm 에서 10 μm 로 감소함에 따라 Cu filling ratio가 71%에서 45%로 감소하였다.

(3) 펄스 전류모드가 직류 모드에 비해 우수한 Cu filling 특성을 나타내었다. 전류밀도 2.5 mA/cm²에서 Cu filling시 트랜치 비아의 크기가 75~10 μm 로 감소함에 따라 직류모드에서는 71%~45%의 Cu filling ratio를 나타내었으나, 펄스모드에서는 이보다 우수한 83%~62%의 Cu filling ratio를 나타내었다.

감사의 글

본 연구는 과학기술부/한국과학재단 전자패키지재료연구센터(우수연구센터) 지원(세부과제번호: R11-2000-085-08003-0) 및 CEPM-Fraunhofer IZM 해외 현지연구실과제의 지원(세부과제번호: R11-2000-085-00001-0)으로 수행되었음.

참고문헌

1. S. F. Al-Sarawi, D. Abbott, and P. D. Franzon, "A review of 3-D packaging technology", IEEE Trans. on Comp. Packag. Manufact. Technol. B, 21, (1988) 2-14.
2. M. Hirano, K. Nishikawa, I. Toyoda, S. Aoyama, S. Sugitani, and K. Yamasaki, "Three-dimensional interconnect technology for ultra-compact MMICs", Solid-State Electro., 41 (1997) 1451-1455.
3. S. Sheng, A. Chandrakasan, and R. W. Brodersen, "A portable multimedia terminal", IEEE Commun. Mag., 30 (1992) 64-75.
4. R. E. Terrill, "Aladdin: Packaging lessons learned", Proc. 1995 Int. Conf. Multichip Modules, (1995) pp.7-11.
5. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep. TechSearch Int. Inc. Austin, (1995) pp.7-11.
6. K. Takahashi, T. Hiroshi, T. Yoshihiro, Y. Yasuhiro, H. Masataka, S. Tomotoshi, M. Tadahiro, S. Masahiro and B. Manabu, "Current status of research and development for three-dimensional and chip stack technology", Jpn. J. Appl. Phys., 40 (2001) 3032-3037.
7. T. Matsumoto, "Three-dimensional integration technology based on wafer bonding technique using micro-bumps", Ext. Abstr. 1995 Int. Conf. Solid State Devices Mater. Osaka, Japan, (1995) pp.1073-1074.
8. P. Ramm, "Three dimensional metallization for vertically integrated circuits", Microelectron. Eng., 37 (1997) 39-47.
9. R. Crowley, "Three-dimensional electronics packaging", Tech. Rep., Techsearch Int. Inc. Austin, TX, (1993) pp.159-161.
10. O. Ehrmann, K. Buschick, G. Chmiel, and A. Pareds, "3-D-multichip module", Proc. 1995 Int. Conf. Multichip Modules, Denver, CO, (1995).
11. H. Kanbach, J. Wilde, F. Kriebel, and E. Meusel, "3D Si-on-Si stack package", Int. Conf. on High Density Packaging and MCMs, (1999) pp.248-253.
12. M. Karnezos, F. Carson and R. Pendse, "3D packaging promises performance, reliability gains with small footprints and lower profiles", Chip Scale Review (2005).

13. C. H. Seah, S. Mridha, and L. H. Chan, "DC/pulse plating of copper for trench/via filling", *J. Mater. Process. Technol.*, 114 (2001) 233-239.
14. J. C. Puipe and F. Leaman, "Theory and practice of pulse plating", *American Electroplaters and Surface Finishers Soc.* (1998).
15. T. Kobayashi, J. Kawasaki, K. Mihara, H. Honma, "Via-filling using electroplating for build-up PCBs", *Electrochimica Acta*, 47 (2001) 85-89.
16. D. Varadarajan, C. Y. Lee, A. Krishnamoorthy, D. J. Duquette, and W. N. Gill, "A tertiary current distribution model for the pulse plating of copper into high aspect ratio sub-0.25 μm trenches", *J. Electrochem. Soc.*, 147 (2000) 3382-3392.