

전류인가 방법이 3D-SiP용 Through Via Hole의 Filling에 미치는 영향

장근호 · 이재호*

홍익대학교 신소재 공학과

The Effects of Current Types on Through Via Hole Filling for 3D-SiP Application

Gun-Ho Chang and Jae-Ho Lee*

Dept. of Materials Science and Engineering, Hongik University
72-1 Sangsu-dong, Mapo-gu, Seoul 121-791 Korea

초 록: 3D package의 SiP에서 구리의 via filling은 매우 중요한 사항으로 package 밀도가 높아짐에 따라 via의 크기가 줄어들며 전기도금법을 이용한 via filling이 연구되어왔다. Via filling시 via 내부에 결함이 발생하기 쉬운데 전해액 내에 억제제, 가속제 등 첨가제를 첨가하고 펄스-역펄스(PRC)의 전류파형을 인가하여 결함이 없는 via의 filling이 가능하다. 본 연구에서는 건식 식각 방법 중 하나인 DRIE법을 이용하여 깊이 100~190 μm , 직경이 각각 50 μm , 20 μm 인 2가지 형태의 via를 형성하였다. DRIE로 via가 형성된 Si wafer위에 IMP System으로 Cu의 Si으로 확산을 막기 위한 Ta층과 전해도금의 씨앗층인 Cu층을 형성하였다. Via시편은 직류, 펄스-역펄스의 전류 파형과 억제제, 가속제, 억제제의 첨가제를 모두 사용하여 filling을 시도하였고, 공정 후 via의 단면을 경면 가공하여 SEM으로 관찰하였다.

Abstract: Copper via filling is the important factor in 3-D stacking interconnection of SiP (system in package). As the packaging density is getting higher, the size of via is getting smaller. When DC electroplating is applied, a defect-free hole cannot be obtained in a small size via hole. To prevent the defects in holes, pulse and pulse reverse current was applied in copper via filling. The holes, 20 and 50 μm in diameter and 100~190 μm in height. The holes were prepared by DRIE method. Ta was sputtered for copper diffusion barrier followed by copper seed layer IMP sputtering. Via specimen were filled by DC, pulse and pulse-reverse current electroplating methods. The effects of additives and current types on copper deposits were investigated. Vertical and horizontal cross section of via were observed by SEM to find the defects in via. When pulse-reverse electroplating method was used, defect free via were successfully obtained.

Keywords: via filling, copper, electrodeposition, PRC

1. 서 론

최근 휴대폰, 노트북, PDA 등의 휴대용 전자제품들의 소형화로 인해 반도체 소자들의 미세화,

고밀도화가 요구되고 있다. 이러한 요구에 따라 크기와 무게의 감소 및 생산비용의 감소 등을 이룰 수 있으며, 전체적인 시스템의 크기를 줄일 수 있는 장점을 가진 3D package가 각광을 받고 있다.¹⁾ 현재 상용되는 SiP의 칩과 칩, 칩과 기판 사이는

*Corresponding author
E-mail: jhlee@hongik.ac.kr

wire bonding 방식에 의한 연결이 대다수 이루어져 왔다. 와이어로는 Au가 쓰여 왔는데 Au는 전기 전도도가 우수하나 값이 비싸고 와이어에 의한 본딩 방식은 칩과 칩 또는 칩과 기판 사이의 신호전달이 외부의 와이어에 의하여 전달되기 때문에 그 길이가 길다. 긴 신호와 전류의 전달 길이는 저항을 높이고 신호와 전류의 손실이 높아져 결국 고주파특성이 나빠지게 된다. 또한 칩의 가장자리와 칩의 footprint 외에 와이어와 기판의 본딩에 필요한 공간이 더 필요하기 때문에 전체적인 package의 사이즈가 커지게 된다.

반면 through via filling에 의한 상호연결의 방식에 경우 칩 내부의 via에 의한 최단거리의 신호전달 길이를 가지기 때문에 전류와 신호의 손실이 적어 고주파 특성이 좋아지게 된다. 또한 비싼 Au 대신에 도금 특성이 우수한 Cu를 이용하기 때문에 공정 비용을 낮출 수 있다. 무엇보다도 와이어 본딩과는 달리 칩 footprint 외부의 기판에 본딩을 위한 공간이 필요하지 않기 때문에 전체적인 패키지의 크기를 약 20~40%까지 줄일 수 있는 장점이 있다.²⁾

우리는 먼저 DRIE(Deep Reactive Ion Etching)법으로 Si-wafer에 via/hole을 형성한 뒤 구리 전기도금을 위한 확산 방지 층(Ta) 및 씨앗 층(Cu)을 형성한다. 확산 방지 층 및 씨앗 층은 CVD, IMP(Ionized Metal Plasma) sputtering 등의 방법으로 형성 가능하다. 이 확산 방지 층과 씨앗 층은 두께의 균일함 및 기판과의 좋은 접착력이 요구된다. 그 이후 전기 도금 법으로 via/hole을 채운 뒤 CMP(Chemical Mechanical Polishing) 방법으로 wafer thinning한 후 micro bump를 형성하여 3D SiP의 한 층을 이루게 되는 방식이다.^{3,9)}

Via/hole내의 결함은 비저항이나 electromigration 등 회로의 전기적 특성을 떨어뜨리고 후속 bumping 공정에서 contact failure 문제 등을 일으킬 수 있다. 특히 via의 직경이 작아지고 종횡비가 증가하면서 void-free filling이 어려워지기 때문에 void 같은 결함 없이 via를 filling하는데 대한 연구가 절실히 요구된다. 또한 via filling에 사용되는 시간 및 비용이 전체 SiP 공정에서 매우 높은 비중을 차지하기 때문에 via filling의 속도를 향상시키고 그 비용을 줄이기 위한 노력이 절실히 요구된다.

Via내의 결함이 생기는 문제는 accelerator, suppressor, leveler 등의 첨가제를 사용하고 PC나 PRC의 전류를 인가함으로써 해결이 가능하다.

첨가제는 도금 시에 음극의 표면에 흡착되어 역할을 하는데 분자량이 큰 억제제 PEG는 확산속도가 상대적으로 느려서 via/hole의 바닥 면까지 확산되는 농도가 적고 표면에 높은 농도로 존재한다. 분자량이 작은 가속제 SPS 또는 MPSA는 확산속도가 빨라서 상대적으로 via의 바닥 면까지 확산되는 농도가 높다. 이러한 via내의 첨가제들의 농도 차이로 Fig. 1과 같이 상대적으로 억제제의 농도가 높은 via의 입구 쪽은 도금 층의 성장이 억제되고 가속제의 농도가 높은 via의 바닥 쪽은 도금 층의 성장이 촉진되어 도금 층이 아래쪽부터 결함 없이 채워 올라오도록 유도한다.^{4,5)}

결함 없는 via filling을 위해 첨가제와 함께 전류 인가 방식 또한 중요하다. 전류 인가 방식에는 DC, PC, PRC의 종류가 있는데 via 내에는 Fig. 2에서와 같이 저항 R값의 차이로 흐르는 전류의 세기가 달라진다. 저항이 높은 via의 벽면과 바닥 면 보다는 저항이 낮은 입구 쪽 도금 층의 성장이 빨라 DC의 전류 인가방식으로는 입구가 먼저 막혀서 via 내부에 결함이 생기게 된다. PC는 전류가 인가되는 on-time과 전류가 인가 되지 않는 off-time을 가지면서 off-time동안 확산 방지 층 내로 Cu이온 및 첨가제들의 확산이 이루어지고 음극표면에서는 Cu의 확산 및 결정화가 이루어지며 다음 주기

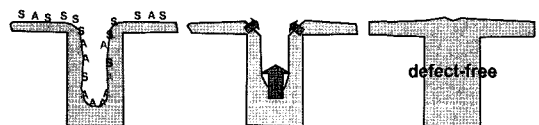


Fig. 1. Schematic view of the role of additives and "super-filling".

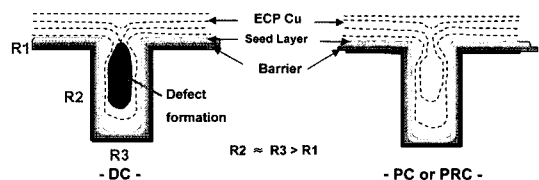


Fig. 2. Schematics of the effect of current type for via filling.

의 on-time에서 기존 입자들의 성장보다는 새로운 입자의 생성을 유도함으로써 입구가 우선적으로 막히는 것을 막을 수 있다. PRC도 PC의 장점인 on-time과 off-time을 가지므로 PC의 효과를 얻을 수 있고, 역 펄스가 진행되는 동안 저항이 낮은 입구 쪽 Cu도금 층이 Cu^{2+} 으로 선택적인 용해가 되기 때문에 이러한 주기를 반복하면서 입구가 막힘을 방지하여 결함 없는 filling이 이루어 지도록 유도한다.

2. 실험 방법

본 실험에서는 p-type(100) Si기판에 DRIE법으로 깊이 170~190 μm , 지름 50 μm 의 약 3.5:1의 종횡 비를 가지는 via와 깊이 100 μm , 지름 20 μm 의 약 5:1의 종횡 비를 가지는 via를 형성시킨 후 IMP(Ionized Metal Plasma)의 방법을 이용하여 확산 방지 층으로 Ta층(200nm)과 씨앗 층으로 Cu(700nm)가 증착 된 시편을 사용하여 전류인가 방식 및 첨가제, 펄스-역 펄스 전류(pulse-reverse current)에서 환원전류밀도와 산화전류밀도의 비와 t_c (환원전류밀도 인가시간)와 t_A (산화전류밀도 인가시간)의 비를 변수로 하여 실험을 하였다. 첨가제로는 chloride ion(Cl^-), JGB, PEG, MP5A, SPS등이 이용되었다⁹⁾.

전류 인가 방식은 직류전류(direct current), 펄스-역 펄스 전류(PRC, pulse-reverse current)가 이용되었고, 공정 후 시편의 종단면과 횡단면을 경면 가공하여 SEM, FESEM으로 관찰하였다.

3. 실험 결과

3.1 용액내의 O_2 포화도 측정

전해 도금 중 전해액 내의 산소는 via의 안쪽보다는 바깥쪽으로 원활히 공급되면서 전위를 더 낮추고 식[1]과 같이 Cu^+ 을 Cu^{2+} 로 산화시켜 Cu의 환원을 막는 억제제로 역할을 한다.⁶⁾ 그러므로 용액 내의 산소에 의한 변수를 고정하기 위해 산소 포화도에 대한 관찰을 전위 측정을 통하여 실시하였다.

먼저 첨가제가 다 첨가된 2L의 전해액을 제조 후 용액을 1L씩 나누어 하나는 인위적으로 O_2 가스를 전해액 내에 주입시켜 주고 다른 하나의 전

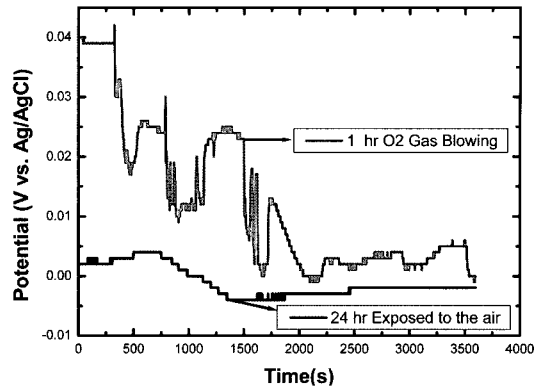


Fig. 3. Effect of O_2 saturation of electrolyte on electrode potential.

해액은 24시간 동안 공기 중에 노출시켜 대기 중의 O_2 가스가 녹아 들어가도록 한 후 전위측정을 하였다. 그 결과 인위적으로 O_2 가스를 전해액 내에 주입시켜 준지 약 50분이 지난 후 전위 0V (vs. Ag/AgCl)에서 포화되는 것을 알 수 있었고 24시간 공기 중에 노출 시킨 용액의 경우에도 0(V vs. Ag/AgCl)근처에서 포화되는 것을 알 수 있었다. Fig. 3은 O_2 가스를 포화시킨 경우와 공기중에 노출 시킨 경우 시간에 따른 전극 전위의 변화를 나타낸 그림이다.

실험에 쓰인 전해액은 O_2 가 포화 됐을 경우 0(V vs. Ag/AgCl)정도의 전위를 가지며 50여분 이상의 인위적인 O_2 주입이나 대기 중에 전해액을 24시간 이상 노출 시킴으로써 얻을 수 있다. 이 결과를 바탕으로 실험에 쓰인 전해액은 공기 중에 24시간 이상 노출 시켜 O_2 가 포화된 상태를 만들어 사용하였다.

3.2 Via filling시 첨가제와 PRC의 영향

Fig. 4는 전해액에 첨가제가 첨가되지 않고 DC의 전류 인가를 했을 때의 SEM 사진이다. DC의 경우 PC처럼 off time이나 PRC처럼 전해에칭되는 시간이 없기 때문에 상대적으로 도금속도는 빠르다. 하지만 도금 층의 균일성이 떨어지고 via filling시 상대적으로 높은 이온 농도를 가지고 높은 전류밀도를 가지는 via의 입구 쪽의 도금 층 성장이 바닥부분보다 빨라서 Fig. 4(a)에서처럼 바닥의 도금 층이 미처 성장하기 전에 입구가 막혀 via내부에 결함을 발생시키게 된다. 그러나 전해액에

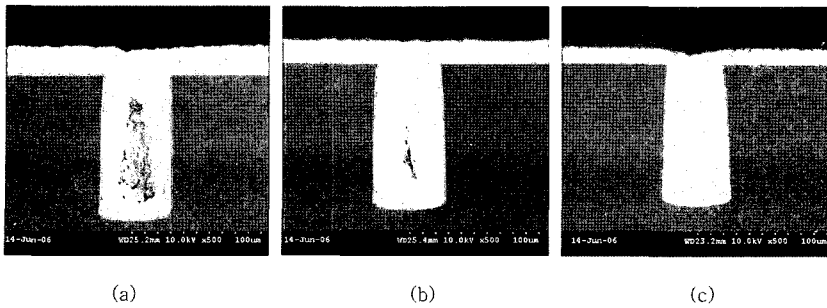


Fig. 4. Effects of current types and additives (a) No additives and DC, (b) No additives and PRC, (c) Full additives and PRC

첨가제의 첨가 없이 PRC의 전류인가만 해 주어도 Fig. 4(b)에서 보듯이 결함을 상당부분 줄일 수 있었다. Fig. 4(c)는 전해액에 첨가제를 첨가하고 PRC의 전류방식으로 via filling한 사진이다. PRC를 이용함으로써 via 입구의 모서리 쪽 도금 층의 빠른 성장을 주기적인 역전류로 전해에칭시켜 입구의 우선 막힘 현상을 막고 첨가제의 첨가로 via의 입구 쪽 도금 층 성장을 억제하고 via 바닥 쪽 도금 층 성장을 촉진하여 Fig. 4(c)와 같이 결함 없는 via의 filling을 이룰 수 있었다.

3.3 50 μm via filling 시 전류밀도의 영향

전류밀도는 via filling에 있어서 가장 중요한 변수이다. 전류밀도가 클수록 도금 속도는 빠르나 도금 층 성장이 빨라지므로 입구가 우선적으로 막힐 확률이 높아지고 전류밀도가 낮으면 via의 결함 없는 채움은 가능하나 공정시간이 많이 걸리게 된다. Fig. 5는 전류밀도를 각각 $5\text{mA}/\text{cm}^2$, $2.5\text{mA}/\text{cm}^2$ 로 하고 PRC를 이용하여 실험한 직경 $50\mu\text{m}$, 종횡비 약 3.5:1를 가지는 via의 단면사진의 결과이다. 그림에서 볼 수 있듯이 $5\text{mA}/\text{cm}^2$ 의 경우 입구의 우선 막힘 현상이 발생하여 내부에 큰 결함이 발견되었다. 반면 $2.5\text{mA}/\text{cm}^2$ 의 전류밀도를 흘려주었을 경우 일부 작은 결함이 존재하고 있으나 $5\text{mA}/\text{cm}^2$ 의 경우 보다 훨씬 채움 능력이 좋음을 관찰하였다.

3.4 50 μm via filling 시 forward와 reverse 시간 주기 비의 영향

역전류의 시간 주기 비가 커질수록 전류밀도와 이온의 농도가 상대적으로 더 높은 via의 입구 코

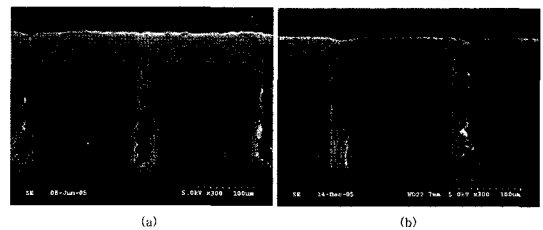


Fig. 5. Effects of current density on via filling. (a) $5\text{mA}/\text{cm}^2$, (b) $2.5\text{mA}/\text{cm}^2$

너부분의 에칭 속도는 더 커져 via의 입구를 더 오랜 시간 열어둘 수 있다. via의 입구의 도금 층 성장이 작아지고 에칭의 영향을 상대적으로 덜 받는 via 바닥 쪽의 도금 층은 계속 성장하여 결함 없이 via 바닥부터 위쪽으로는 채움이 가능해 진다.

Fig. 6은 전류밀도를 $2.5\text{mA}/\text{cm}^2$ 로 고정하고 도금전류와 역전류의 시간 주기 비를 각각 90:10, 85:15, 80:20로 변수를 주어 실험한 직경 $50\mu\text{m}$, 종횡비 약 3.5:1를 가지는 via의 단면사진의 결과이다.

그림에서 확인할 수 있듯이 직경 $50\mu\text{m}$, 종횡비 약 3.5:1를 가지는 via의 경우 도금전류와 역전류의 시간 주기 비가 각각 85:15이상으로 역전류의 시간비가 늘어날 경우 via를 결함 없이 채울 수 있었다. 그러나 85:15이상에서는 filling 소요시간이 너무 길어져 효율성이 떨어지게 된다. 그러므로 직경 $50\mu\text{m}$, 종횡비 약 3.5:1 via의 경우 전류밀도는 $2.5\text{mA}/\text{cm}^2$, 도금전류와 역전류(에칭전류)의 비는 1:3, 도금전류와 역전류의 시간 주기 비가 85:15의 조건이 최적의 조건으로 관찰되었다.

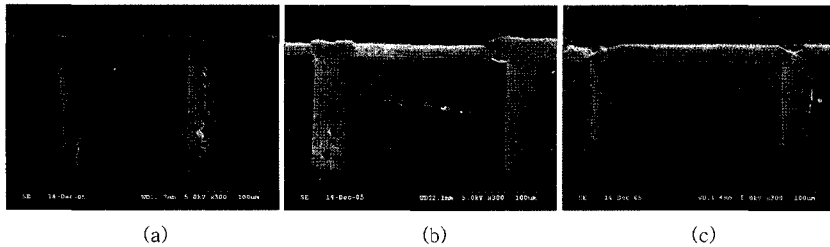


Fig. 6. Effect of forward to reverse time ratio in PRC electroplating (a) 90:10, (b) 85:15, (c) 80:20

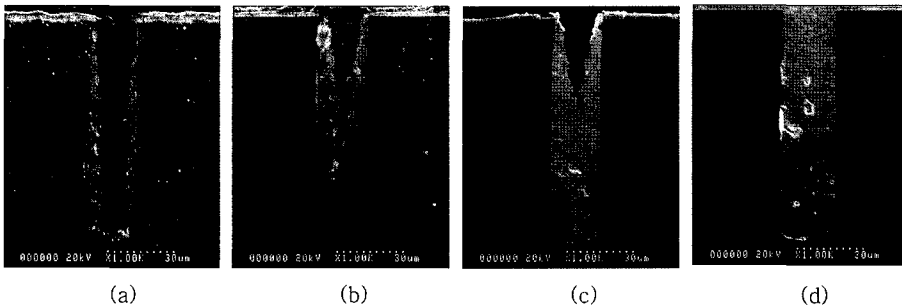


Fig. 7. Sequence of 20 μm via filling with time. (a) 2hr, (b) 5hr, (c) 10hr, (d) 15hr

3.5 직경 20 μm 종횡비 1:5를 갖는 via의 filling

Via의 직경이 작아지고 종횡비가 커질수록 결합 없이 Cu filling하기가 더 어려워진다. 앞서 언급한 바와 같이 입구가 작을수록 입구가 조기에 막힐 확률이 높고 용액 내 Cu이온과 첨가제들의 via내 부까지의 확산이 어렵기 때문이다. 그러나 Fig. 7과 같이 PRC 2mA/cm²의 도금전류를 인가하고 도금전류와 역전류의 시간 주기 비를 85:15로 고정하고 및 첨가제의 농도를 최적화 하였을 때 직경 20 μm 종횡비 5:1를 갖는 via의 결합이 없는 filling을 이룰 수 있었다. Fig.7에서 알 수 있듯이 via filling이 진행되는 동안 via의 입구부분의 도금층 성장은 거의 없는 반면 via 바닥 쪽의 도금층 성장은 입구에 비해 빨라서 Bottom-up으로 결합이 없이 via를 채워지는 것을 알 수 있다.

4. 결 론

직류 전류를 인가하여 도금한 결과, via의 입구에 높은 전류밀도와 높은 이온농도로 인해 입구 도금층 성장이 빨라 입구가 우선적으로 막혀 via 내부에 void와 같은 결합이 생기는 현상이 관찰

되었다. 펄스 리버스 전류를 인가하여 도금한 결과 내부에 결합은 줄었으나 여전히 존재하였다. 펄스 리버스 전류와 첨가제를 동시에 사용하여 via를 filling하였을 때 결합이 없는 via의 충전이 가능하였다. 직경 50 μm , 종횡비 약 3.5:1를 가지는 via의 경우 전류밀도는 2.5mA/cm², 도금전류와 역전류의 시간 주기 비가 85:15의 조건이 최적의 조건으로 관찰되었다. 직경 20 μm , 종횡비 약 5:1를 가지는 via의 경우 전류밀도 2mA/cm², 도금전류와 역전류의 시간 주기 비가 85:15의 조건이 최적의 조건으로 관찰되었다.

감사의 글

본 연구는 한국학술진흥재단의 선도연구자 지원 사업(2005-041-D00943)으로 수행되었음.

참고문헌

1. S. F. A. Sarawi, D. Abbott, and P. D. Franzon, *IEEE Trans. on Components, Packaging and Manufacturing Technol., part B*, 21, (1988), 2

2. K. Tanida. et. al, *Jpn. J. Appl. Phys.*, 43, (2004), 2264
3. C. -K. Hu, L. Gignac, E. Liniger and R. Rosenberg, *J. Electrochem. Soc.*, 149, (2002), G408
4. K. Kondo, T. Matsumoto, and K. Watanabe, *J. Electrochem Soc.*, 151, (2004), C250
5. M. Vereecken, R. A. Binstead, H. Deligianni, P. C. Andricacos, *IBM J. Res. & Dev.*, 49, (2005), 3
6. K. Kondo, T. Yonezawa, D. Mikami, T. Okubo, Y. Taguchi, K. Takahashi, and D. P. Barkeye, *J. Electrochem. Soc.*, 152, (2005), H173
7. P. C. Andricacos, C. Uzoh, J. O. Dukovic, J. Horkins, and H. Deligianni, *IBM J. Res. Dev.*, 42, (1998), 567
8. M. Schlesinger, M. Paunovic, *Modern Electroplating*, 4th ed., Wiley New York, (2000), 63
9. J.S. Bae, G.H. Chang, and J.H. Lee, *J. of Microelectronics and Packaging Soc.*, 12 (2005) 129