

DLL 보드 상에 코어 및 I/O 잡음에 의한 칩의 성능 분석

조성곤 · 하종찬 · 위재경*

숭실대학교 전자공학과

Analysis of Chip Performance by Core and I/O SSN Noise on DLL Board

Sung-Gon Cho, Jong-Chan Ha and Jae-Kyung Wee*

Electronic Engineering, Soongsil University, 1309, Hyunnam Memorial Engineering Building,
Soongsil Univ., Sangdo 5(o)-dong, Dongjak-gu, Seoul

초 록: 이 논문은 코어와 I/O 회로가 포함된 PEEC(Partial Equivalent Electrical Circuit) PDN(Power Distribution Networks)의 임피던스 변화에 따른 칩의 성능 분석을 나타내었다. I/O 전원에 연결된 코어 전원 잡음이 I/O 스위칭에 어떠한 영향이 미치는지 시뮬레이션 결과를 통하여 보였다. 또한 직접 설계한 7×5인치 DLL(Delay Locked Loop) 시험 보드를 사용하여 칩의 동작 지점에 따른 전원 잡음의 효과를 분석하였다. 50~400MHz에 주파수 대역에 따른 DLL의 지터를 측정하고 시뮬레이션 결과로 얻어진 임피던스 값과 비교하였다. PDN의 공진 피크가 100MHz 주파수에서 1옴보다 큰 임피던스를 갖기 때문에 DLL의 지터는 주파수가 100MHz 근처에서 증가함을 보여준다. 타겟 임피던스를 줄이기 위한 방법인 디커플링 커패시터에 따른 칩과 보드의 임피던스 변화를 보였다. 따라서 전원 공급망 설계는 디커플링 커패시터와 함께 코어 스위칭 전류와 I/O 스위칭 전류를 같이 고려해야 한다.

Abstract: This paper shows the impedance profile of PEEC(Partial Equivalent Electrical Circuit) PDN(Power Distribution Networks) including core and I/O circuit. Through the simulated results, we find that the core power noise having connection with I/O power is affected by I/O switching. Also, using designed 7×5inch DLL(Delay Locked Loop) test board, we analyzed the effect of power noise on operation region of chip. Jitter of a DLL measure for frequency of 50~400MHz and compared with impedance obtained result of simulation. Jitter of a DLL are increased near about frequency of 100MHz. It is reason that the resonant peak of PDNs has an impedance of more the 1ohm on 100MHz. we present the impedance profile of a chip and board for the decoupling capacitor reduced the target impedance. Therefore, power supply network design should be considered not only decoupling capacitors but also core switching current and I/O switching current.

Keywords: Power Distribution Network, Impedance, Simulation

1. 서 론

현재의 고속 디지털 시스템에서 동작주파수, 신호대역폭, 집적도가 증가함에 따라 전력소모가 크게 증가하고 있는 반면에 동작전압이나 신호의 크

기는 점점 낮아지고 있다. 이런 고속 시스템에서 전원 안정화를 하기 위해서는 전원전압 감소 기법과 잡음 발생 및 전달 분석이 시스템 설계 단계에서 함께 고려해야 하는 요소들이 되고 있다. 따라서 시스템에서의 잡음 분석은 자체 임피던스(Self

*Corresponding author
E-mail: wjk@ssu.ac.kr

Impedance)와 전달 임피던스(Transfer impedance)를 동시에 분석해야 한다.

일반적인 전원 전달망(Power Distribution Network)의 잡음은 칩 안에 코어 회로와 I/O 회로의 순간적인 전류 소모로 인하여 전원 전압의 흔들림을 유발시키는 자체 잡음과 스위칭 되는 칩에서 나타나는 잡음이 다른 칩 또는 보드나 모듈시스템으로 전달되어 발생하는 전달 잡음으로 구성된다. 이러한 전원 잡음을 줄이기 위한 방법은 전원 공급 전달망의 임피던스를 낮추는 것이 중요하다. 하나의 칩에서의 자체 전원 잡음은 I/O 회로에서의 동시 동작 잡음 SSN(Simultaneous Switching Noise)과 로직 동작에 의한 코어 스위칭 잡음으로 분류될 수 있다. 과거에는 I/O 스위칭 전류가 코어 스위칭 전류에 비해 작기 때문에 전혀 고려하지 않았다. 하지만 최근 들어서 고속 동작을 원하는 회로에서는 식 (1)에서 볼 수 있듯이 I/O 스위칭에 따른 잡음을 무시할 수 없게 되었다.

$$V_n = L_{eff} \frac{di}{dt} \quad (1)$$

일반적으로 자체 잡음은 코어 회로나 I/O 회로들이 동시 스위칭 될 때 발생하는 전류가 패키지 및 전원 전달망을 통해 전달할때 칩 상의 전원라인에 발생하는 잡음으로 볼 수 있다. 전원 잡음에 대한 분석은 칩의 특성에 따라 코어 스위칭에 의한 전원 잡음이나 I/O 스위칭에 의한 전원 잡음 분석으로 단편적으로 연구되어 있다. 통상적인 I/O 스위칭 잡음은 I/O 스위칭 전류에 비례하여 발생되기 때문에 고속으로 동작하는 I/O 회로에 의해 발생하는 고주파 성분으로 구성되어 있다. 그러나 코어 잡음은 온-칩 디커플링 커패시터에 의해 고주파 성분의 병렬 피크 잡음을 낮춰주어 고주파 성분의 잡음이 나타나지 않는다. I/O 전원 선과 연결된 코어 전원은 I/O 스위칭에 의한 영향으로 전원 잡음이 나타나고 이것은 내부의 로직 회로나 아날로그 회로의 성능저하를 유발시킨다. 따라서 I/O 전원 선은 코어 전원 선과 같이 고려하여 설계되어야 한다. 이 논문에서는 PEEC 전원 전달 망을 모델링한 2D-시뮬레이션(SPICE)과 3D-시뮬레이션(SI-wave)을 이용하여 코어 및 I/O에서의 자체 임피던스와 전달 임피던스 프로파일을 비교함과 동시에 전원 전달 망에서의 잡음이 실제 칩의 동

작영역에서 어떠한 영향을 미치는지에 대한 효과를 분석한다.

2. 전원/그라운드 평면 기판 모델

2.1. 2D-시뮬레이션과 3D-시뮬레이션 모델링

측정과 시뮬레이션의 정확한 비교를 위해 2D-시뮬레이션(SPICE)과 3D-시뮬레이션(SI-Wave)을 실행하였다. 2D-시뮬레이션은 연결선 분석과 모델링에 가장 유용한 도체의 길이에 대한 함수로 구성된 인덕턴스와 커패시턴스의 행렬로 풀이된다. 3D-시뮬레이션은 설계자가 실제와 비슷한 구조를 만들고 지정된 S 파라미터로 풀이하여 해석된다.

가. 2D-시뮬레이션(SPICE)의 단위 셀 모델링

전원/그라운드 평면 기판 모델링은 SPICE Element TLM(Transmission Line Model)을 이용하여 단위 셀로 나누어 구성된다.¹⁻³⁾ 그림 1(a)에서 각 단위 셀들은 R, L, G, C 값을 갖는 회로들로 구성되며 각각의 R, L, G, C 값은 단위 셀의 크기(w), 두 기판 사이의 거리(d), 유전상수(ϵ), 유전체의 loss tangent($\tan(\delta)$), 기판 두께(t), 기판투자율(σ_c)의 파라미터 값을 이용하여 식 (2)으로부터 얻어진다.

$$C = \epsilon_0 \epsilon_r \frac{w^2}{d}, \quad L = \mu_0 d, \quad R_{dc} = \frac{2}{\sigma_c t} \quad (2)$$

$$R_{ac} = 2 \sqrt{\frac{\pi f \mu_0}{\sigma_c}}, \quad G_d = w C \tan(\delta)$$

위 식에서 ϵ_0, μ_0 는 공기 중의 유전율과 투자율이며, ϵ_r 은 유전체의 유전율을 나타낸다. R_{dc} 는 전원/그라운드의 DC 저항 값이며, R_{ac} 는 두 기판상의 skin 효과에 의한 AC 저항 값이다. shunt conductance G_d 는 두 기판 사이의 dielectric loss를 나타낸다. 그림 1(b)에서 보여지듯이 TLM을 이용하여 단위 셀로 배열된 전체 전원/그라운드 평면 기판의 크기는 7x5인치이며 단위 셀의 크기는 6mm 이고 총 셀의 구성은 29x21개가 된다. 단위 셀의 크기는 시뮬레이션 정확도를 위하여 최고 주파수 파장의 $\lambda/20$ 이하로 계산되었다. 이와 같이 2D-시뮬레이션은 설계자가 PDN를 구성하고 각각에 파라미터 값에 대해 정의하여 정확한 회로 모델링을 통하여 구성을 해야만 완벽한 시뮬레이션 결과를

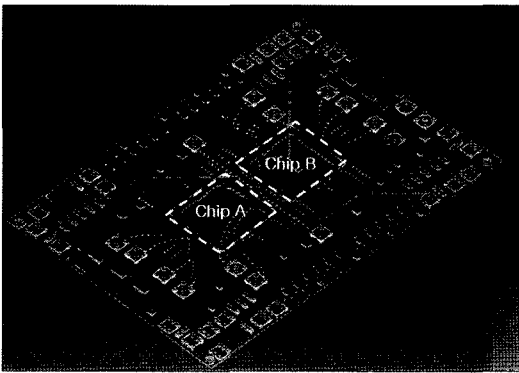
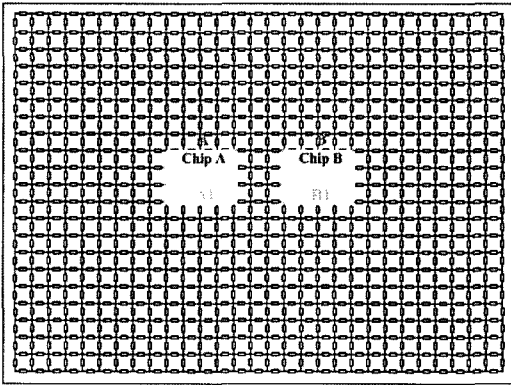
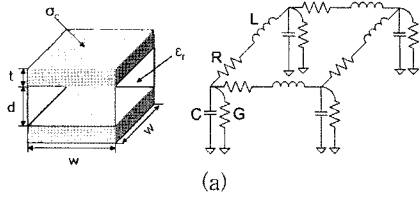


Fig.1. (a) PCB layers of a unit cell and Equivalent circuit of a unit cell (b) Power/Ground plane model using TLM (c) Power/Ground plane model using SI-wave Simulator

추출할 수 있다.

나. 3D-시뮬레이션(SPICE)의 모델링

2D-시뮬레이션 모델링과 달리 3D-시뮬레이션 모델링은 사용자가 따로 회로로 구성할 필요없이 실제 보드의 모습을 그대로 만들어 그림 1(c)와 같이 표현 할 수 있다. SPICE 모델링처럼 R, L, G, C 를 이용하지만 프로그램 내에서 설계자가 지정한

Table 1. RLGC 파라메타

Parameter		Value
Resistance (R)	DC	319 [mΩ/m]
	AC	275 [uΩ/mHZ]
Inductance (L)		75.36 [nH/m]
Conductance (G)		44.48 [mΩ/mHZ]
Capacitance (C)		354 [pF/m]

포트를 인식하여 다음과 같이 식 (3)으로 S-파라메타로 계산하여 해석된다.⁸⁾

$$A_n = \left(\frac{1}{2}\right) \left(\frac{1}{\sqrt{Z_{0n}}}\right) (V_n + Z_{0n} \times I_n) \tag{2}$$

$$B_n = \left(\frac{1}{2}\right) \left(\frac{1}{\sqrt{Z_{0n}}}\right) (V_n - Z_{0n} \times I_n)$$

$$\begin{bmatrix} B_1 \\ B_2 \\ \vdots \\ B_n \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & \dots & S_{1m} \\ S_{21} & S_{22} & \dots & S_{2m} \\ \vdots & \vdots & \ddots & \vdots \\ S_{n1} & S_{n2} & \dots & S_{nm} \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \\ \vdots \\ A_n \end{bmatrix}$$

A_n 은 n 포트의 초기 전력, B_n 은 n 포트의 반사 전력 Z_{0n} 은 모든 포트의 임피던스 값, 주로 50Ω로 사용된다. n은 설계자가 지정한 포트의 총 수이다. 설계자는 단지 실제적인 기판의 두께(t)와 두 기판 사이의 거리(d), 유전층과 기판의 종류, Mesh를 지정한다. 해석의 정확성을 위하여 2D-시뮬레이션과 마찬가지로 최고 주파수 파장의 λ/20로 Mesh의 크기를 지정하였다. 3D-시뮬레이션에서는 Mesh의 크기를 조정하는 것이 가장 중요한 작업 중에 하나이다. 이처럼 3D-시뮬레이션은 간단히 모델링할 수 있는 반면에 2D-시뮬레이션처럼 설계자가 계산을 하여 비교하기가 어렵고 Mesh 조건에 따른 정확성과 해석 속도에 대한 문제점이 있다.

다. 회로 모델링

코어 전원 잡음과 I/O 전원 잡음을 고려한 전체 칩 회로 모델링은 그림 2에서 보인바와 같이 구성하였다.

회로에서 흐르는 전류 패스는 High에서 Low 혹은 Low에서 High로 바뀔때 생기는 I/O 스위칭 전류와 전원에서 그라운드로 직접 흐르는 코어 스위

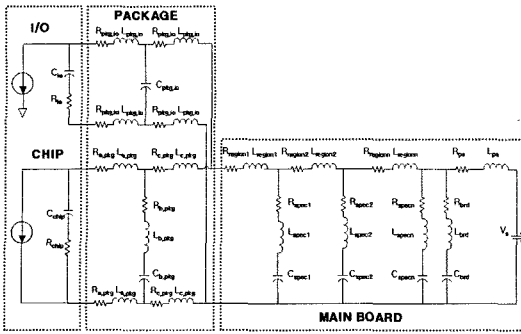
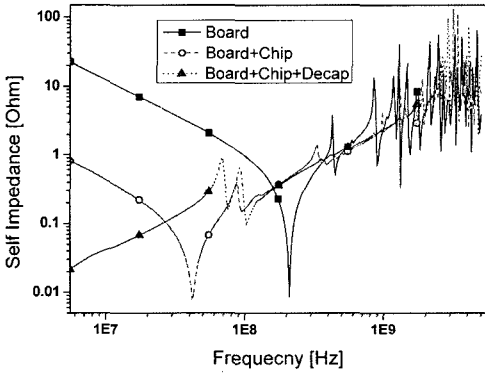


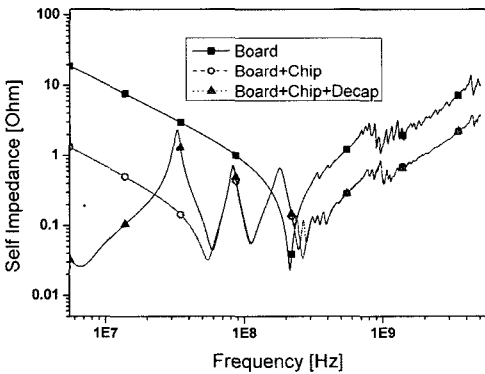
Fig. 2. Chip and Package circuit modeling

칭에 따른 두 가지가 존재한다. 이때 I/O 전류 소스는 한쪽 방향으로만 루프를 그리는 전류이므로 가상 그라운드를 이용하여 모델링하고 코어 전류 소스는 전원에서 그라운드로 루프를 그리는 전류이므로 그림 2과 같이 모델링을 하였다.⁶⁾ 그림 3

는 실제 제작된 7×5인치 PCB(printed Circuit Board)에 대하여 보드 모델링, 칩을 포함한 모델링에 대하여 2D 3D-시뮬레이션을 통한 보드 상에서의 주파수 영역 자체 임피던스 프로파일을 보여준다. 그림 4에서 보인바와 같이 온-칩 디커플링 커패시터(Chip)와 오프-칩 디커플링 커패시터(DeCap)에 의하여 저주파수대에서의 임피던스가 낮아지고 고주파수대로 갈수록 패키지와 보드상의 인덕턴스 성분에 의하여 임피던스가 높아짐을 알 수 있다. 그러나 실제 칩 상에서의 발생하는 자체 잡음은 주로 온-칩 디커플링 커패시터(Chip)와 패키지의 인덕턴스에 의한 병렬 공진 주파수에 의하여 영향을 받으므로 칩의 내부 회로 동작에 의한 잡음 발생에 대한 분석을 위해서는 칩 상에서의 임피던스 프로파일이 필요하다.

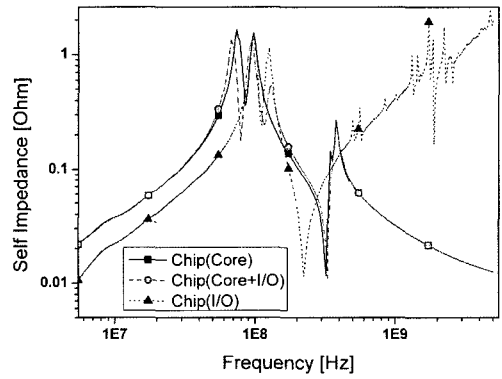


(a)

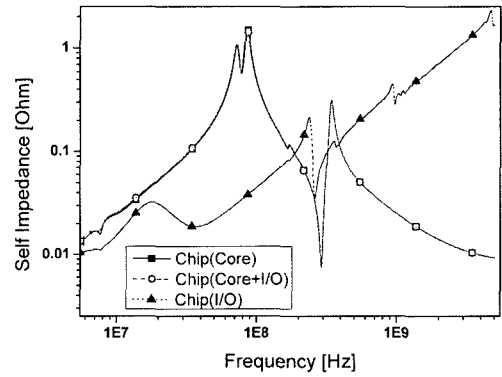


(b)

Fig. 3. Self Impedance profile on Board(Z11) (a) SPICE Simulation (b) SI-wave Simulation



(a)



(b)

Fig. 4. Self Impedance on Chip(Z11) (a) SPICE Simulation (b) SI-wave Simulation

3. 실험결과 및 토의

그림 4는 칩 내부의 회로들이 느끼는 온-칩 전원 선부터 보드의 전원 면까지 전원 전달 시스템의 임피던스 프로파일을 보여주고 있다. 이 모델링에서는 코어 회로 및 I/O 회로와 디커플링 커패시터가 모두 포함되어 있다. 그림 4에서 보인바와 같이 3가지 경우에 대하여 모델링되었다. 코어회로와 I/O 회로를 포함한 코어회로 그리고 I/O회로만을 모델링하여 자체 임피던스를 확인하였다. 코어회로와 I/O회로를 포함한 모델링에서 임피던스 차이가 거의 없음을 볼 수 있다. 이것은 I/O 회로가 단지 디커플링 커패시터로서의 역할을 하기 때문이다. 식 (2)에서 코어회로와 I/O회로가 동시에 스위칭 될 때 코어 잡음이 변화됨을 알 수 있다.⁴⁾

$$V_n = I_{core}Z_{11} + I_{io}Z_{12} \quad (2)$$

따라서, 코어 전원 전압은 I/O 스위칭 전류와 전달 임피던스에 의한 I/O 스위칭 잡음에 의하여 변동하게 된다. 그림 5은 3가지 경우에 대한 전달 임피던스를 나타낸다. 그림 4와 그림 5에서 보인바와 같이 병렬 공진 주파수는 100MHz이며 이때의 공진 피크는 1Ω 이상이다. 실제 칩이 동작할 때 100MHz 근처에서 동작 영역이 조성된다면 전원 잡음이 가장 크게 되며 이 때 칩의 성능을 저하시키는 가장 큰 요인이 된다. 그림 6에서 보인바와 같이 DLL(Delay Locked Loop) 칩을 이용하여 7×5 인치 시험 PCB 보드를 설계 제작하여 실제 PCB 상에서 두 개 의 칩 A, B를 올려놓고 50MHz~400 MHz 대의 동작주파수에 따른 지터 측정을 하였다. 그림 8은 칩 A의 DLL 회로의 동작주파수에 따른 피크-피크 지터를 나타낸다. 그림 7에서 알 수 있듯이 칩 A가 동작할때 100MHz의 동작주파수에 대하여 DLL의 피크-피크 지터는 크게 증가 되는 것을 확인 할 수 있다. 이것을 통해 100MHz의 동작 주파수가 자체 임피던스 병렬 공진 피크와 일치하게 됨으로써 칩의 전원 잡음이 크게 증가하여 내부 블록 회로의 성능을 저하시키는 원인이 됨을 확인할 수 있다. 이러한 임피던스를 낮추기 위한 방법으로 디커플링 커패시터를 사용하는 것이다. 하지만 그림 8에서 보는바와 같이 디커플링 커패시터를 사용할 때 $Z_0=1/sC$ 에 영향으로 저주파 대

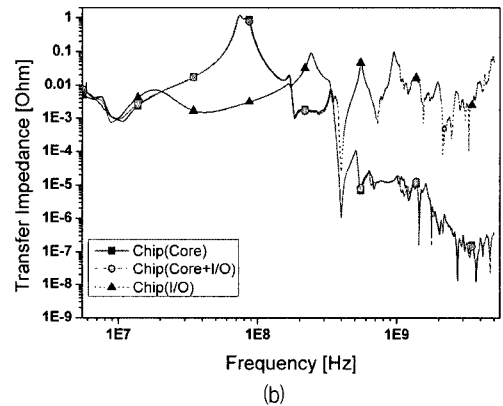
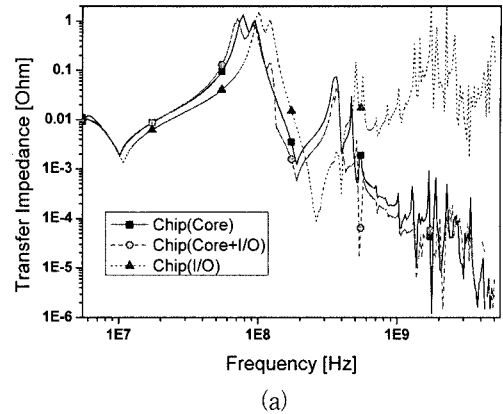


Fig. 5. Transfer Impedance on Chip(Z12) (a) SPICE Simulation (b) SI-wave Simulation

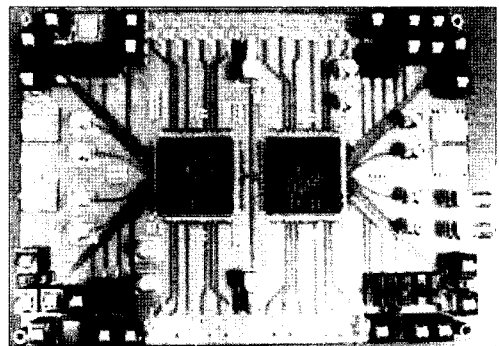


Fig. 6. 7×5inch DLL test board

역의 임피던스가 낮아지는 것을 볼 수 있다. 하지만 디커플링 커패시터를 많이 사용한다고 고주파 대역의 임피던스는 낮아지지 않는다. 오히려 용량이 큰 커패시터를 사용할 경우 공진 부분이 바뀌

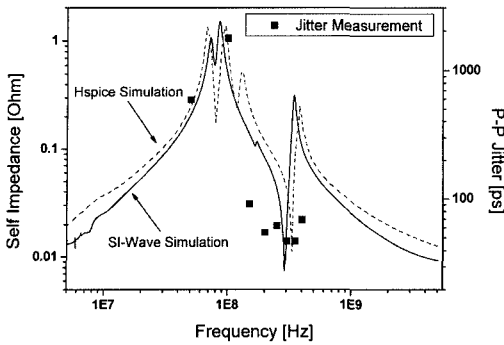


Fig. 7. Peak to peak Jitter of DLL for operation frequency of Chip and Self impedance for 2D- and 3D-simulation

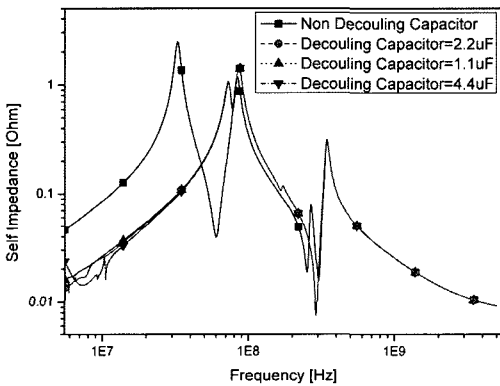


Fig. 8. Self impedance profile for decoupling capacitance on DLL board

게 되어 저주파 대역에서 더 높은 임피던스 얻어짐을 볼 수 있다. 고주파 대역의 임피던스는 $Z_0 = sL$ 에 영향으로 증가하게 된다. 따라서 고주파 대역의 임피던스를 낮추기 위해서는 패키지의 모델링을 통하여 전체적인 인덕턴스를 줄여야 한다.⁹⁾

4. 결 론

본 논문에서는 2D 3D- 시뮬레이션을 이용하여 PEEC (Partial Equivalent Electrical Circuit) 전원 전달망과 코어 및 I/O 회로를 포함한 모델링을 통해 자체 임피던스와 전달 임피던스 프로파일을 비교함으로써 실제 I/O 잡음이 코어 전압 잡음에 어떠한 영향을 미치는지를 분석하였다. 2D 3D- 시뮬레이션의 약간의 차이는 각각 풀이하는 방법의 차이로 보인다. 하지만 공진 피크에 대한 정보는 두 시뮬레이션이 상당히 일치하는 것으로 보이고 측정

결과와도 일치함을 보여준다. 또한 칩의 동작영역에 대하여 전체 전원/그라운드 전달망의 병렬 공진 주파수에 부합되지 않도록 임피던스를 낮추거나 피하도록 설계가 되어야 한다는 사실을 알 수 있었다. 이 분석된 실험을 통하여 향후 고속 고집적 모듈 및 보드 시스템 설계 시 패키지, 온-오프 디커플링 커패시터뿐만 아니라 코어 및 I/O 회로의 모델링과 함께 동작 주파수를 고려해서 작업이 이루어져야 한다.

감사의 글

이 논문은 2006년도 숭실대학교 교내연구비에 의하여 연구되었으며, 이에 감사드립니다.

참고문헌

1. K. Lee and A.Barber, "Modeling and Analysis of Multichip Module Power Supply Planes" IEEE Trans. Comp., Packag., Manufact. Techno. B, vol.18 pp. 628-639, Nov. 1995
2. L.D. Larry, et. al, "Power Plane SPICE Models and Simulated Performance for material and geometries," IEEE Trans. Adv. Packag., vol.24, pp.277-287, Aug. 2001
3. J. Kim and M. Swaminathan, "Modeling of Irregular Shaped Power Distribution Planes Using Transmission Matrix Method" in Proc. 9th Topical Meeting Elect. Perform. Electron. Packag., Oct. 2000, pp.83-86.
4. 위재경 "고속 메모리 모듈에서 칩 간의 파워커플링에 의한 파워 잡음 분석", 전자공학회논문지, 제 41권 SD 10호, pp.31-39, 2004
5. Yong-Ju Kim, Seong-soo Lee and Jae-Kyung Wee, "Power distribution Network Design through Network Synthesis in High-Speed Digital Systems" IEICE trans. on Electronics, vol. E87-C, No. 11, pp. 2001-2005, Nov. 2004.
6. Yong-Ju Kim, Seong-Woo Han, Kun-Woo Park, Jae-Kyung Wee, Jung-Sik Ki, "Analysis of simultaneous switching noise by short-circuit current in CMOS-single ended Driver", IEEE Electronic Components & Technology Conference 2005, (Orlando, Florida), pp. 1748-1751, 2005
7. Tae-Jin Hwang, Gyu-Sung Yeon, Chi Hoon Jun, Yong Moon, and Jae-Kyung Wee, "DLL-Based Multi-Clock Generator Having Fast-Relocking and Duty-Cycle Correction Scheme", International SOC Conference 2004, pp. 317-320

8. Ansoft Si-wive Simulation manual
9. Yong-Ju Kim, Seong-soo Lee and Jae-Kyung Wee, "Power distribution Network Design through Network Synthesis in High-Speed Digital Systems", IEICE trans. on Electronics, Vol.E87-C, No.11, pp. 2001-2005, Nov. 2004.[SCI]