

공유형 광 지연 선로 버퍼를 갖는 광 패킷 스위치에서 튜닝 가능한 파장 변환기와 내부 파장 개수의 최적화에 의한 스위치 비용 감소

Reduction of Switch Cost by Optimization of Tunable Wavelength Converters and Internal Wavelengths in the Optical Packet Switch with Shared FDL Buffer

황 일 선*
Il-Sun Hwang

임 헌 국**
Huhn-Kuk Lim

유 기 성***
Ki-Sung Yu

정 진 욱****
Jin-Wook Chung

요 약

스위치 비용을 감소시킬 연구의 일환으로 공유형 광 지연 선로 버퍼를 갖는 광 패킷 스위치에서 인터넷 트래픽과 같은 비동기 가변길이 패킷들의 경합 해결을 위해 요구 되어지는 최적화된 튜닝 가능한 파장 변환기의 개수와 내부 파장 개수가 도출 되어 진다. 광 패킷 스위치 디자인 비용에 관련된 튜닝 가능한 파장 변환기의 개수와 내부 파장 개수를 도출하기 위해 스위치 내부에 한정된 수의 파장 변환기와 내부 파장을 고려해 주는 새로운 형태의 스케줄링 알고리즘을 제안하였다. 세 가지 튜닝 가능한 파장 변환기 구조들에 대해서 최소의 패킷 로스를 보장해 주는 최적화된 파장 변환기의 개수와 내부의 파장 개수가 자원 낭비를 예방해 주기 위해 평가 되어졌다. 하나의 주어진 로드 하에서 파장 변환기 개수와 내부의 파장 개수가 의미 신장하게 감소되어 질 수 있었으며 또한 파장 변환기의 수와 내부 파장의 수를 완전히 갖는 광 패킷 스위치의 성능과 같은 패킷 손실 확률을 보장해 주었다.

Abstract

To reduce switch cost, the optimum numbers of tunable wavelength converters (TWCs) and internal wavelengths required for contention resolution of asynchronous and variable length packets like internet traffics, is presented in the optical packet switch (OPS) with the shared fiber delay line (FDL) buffer. To optimize TWCs and internal wavelengths related to an OPS design cost, we proposed a scheduling algorithm for the limited TWCs and internal wavelengths. For three TWC alternatives (not shared, partially shared, and fully shared cases), the optimum numbers of TWCs and internal wavelengths to guarantee minimum packet loss are evaluated to prevent resource waste. Under a given load, TWCs and internal wavelengths could be significantly reduced, guaranteeing the same packet loss probability as the performance of an OPS with full TWCs and internal wavelengths.

☞ Keyword : Tunable wavelength converters (TWCs), internal wavelengths, contention resolution, optical packet switch (OPS), fiber delay line (FDL) buffer.

1. 서 론

광 패킷 스위칭의 대부분의 연구들은 동기화된 네트워크상에서 고정된 패킷 사이즈를 갖는 패킷들에 대해 이루어져 왔다. 하지만 최근 들

* 정회원 : 한국과학기술정보연구원 연구기획부장
his@kisti.re.kr

** 정회원 : 한국과학기술정보연구원 슈퍼컴퓨팅센터
선임연구원
hklim@kisti.re.kr

*** 정회원 : 한국과학기술정보연구원 슈퍼컴퓨팅센터
책임연구원
ksyu@kisti.re.kr

**** 정회원 : 성균관대학교 전기전자 및 컴퓨터공학부 교수

jwchung@songgang.skku.ac.kr

[2006/05/03 투고 - 2006/05/18 심사 - 2006/08/16 심사완료]

어 인터넷 트래픽을 보다 유동적으로 서비스 해주기 위해 비동기 가변길이 패킷 들을 다루는 광 패킷 스위칭의 연구가 활발히 진행 되고 있다 [1-6].

광 패킷 스위치에 입력 패킷들의 경합 해결 시 보다 더 많은 수의 파장 변환기와 내부의 파장 개수는 고정된 광 버퍼 사이즈 하에서 더 낮은 패킷 로스를 보장한다는 장점을 갖는다. 대신 광 패킷 스위치의 시스템 비용은 보다 더 많은 수의 파장 변환기와 보다 더 넓은 범주의 파장 변환의 원인으로 증가 되어 진다.

[5, 6] 안에 FWCs (Fixed Wavelength Converters)를 사용하는 광 패킷 스위치 구조가 소개되었고 FWC 구조는 FWC 수를 감소시키기 위해 Partially 혹은 Fully 공유 되어 질 수 있었다. 그러나 광 패킷 스위치 내부에 FWCs를 사용하는 것은 광 지연 선로 버퍼 안에 WDM (Wavelength Division Multiplexing) 기술을 완전하게 이용하는데 하나의 장애가 되어 질 수 있다. 따라서 일반적으로 TWCs(Tunable Wavelength Converters)가 입력 패킷들의 파장 들을 광 지연 선로 버퍼 내부에 이용 가능한 특정한 파장들로 변환 하는데 사용 되어 진다 [4,7,8]. 이 경우 이용 가능한 내부 파장 개수 (L)는 TWC의 CR(Conversion Range)에 의해 결정 되어 진다.

이미 보고된 연구들은 TWCs와 내부 파장 들과 같은 스위치 자원들을 Fully 가정하고 입력 패킷에 대해 나아가고자 하는 출력 파이버 에 이용 가능한 하나의 채널을 찾는데 오로지 초점을 맞추어 왔다[1-4]. 그러나 많은 수의 출력 단자를 갖는 혹은 입/출력 단자 당 많은 수의 채널을 갖는 대용량의 광 패킷 스위치에서는 TWC와 CR(Conversion Range)가 시스템 비용과 밀접히 연관되어 지기 때문에 중요한 디자인 이슈가 되어 진다. 그러므로 TWC 수와 CR을 최적화시키기 위한 노력들이 패킷 손실 확률을 감소시키기 위한 노력과 함께 요구

되어 진다.

따라서 본 논문에서는 최소의 패킷 손실 확률을 보장하는 최적의 TWC 개수와 내부의 파장 개수가 제한된 수의TWC와 내부 파장 개수를 고려해 주는 제안된 스케줄링 알고리즘에 의해 세 개의 TWC 구조 (not shared, partially shared, fully shared)에 대하여 도출 되어 진다.

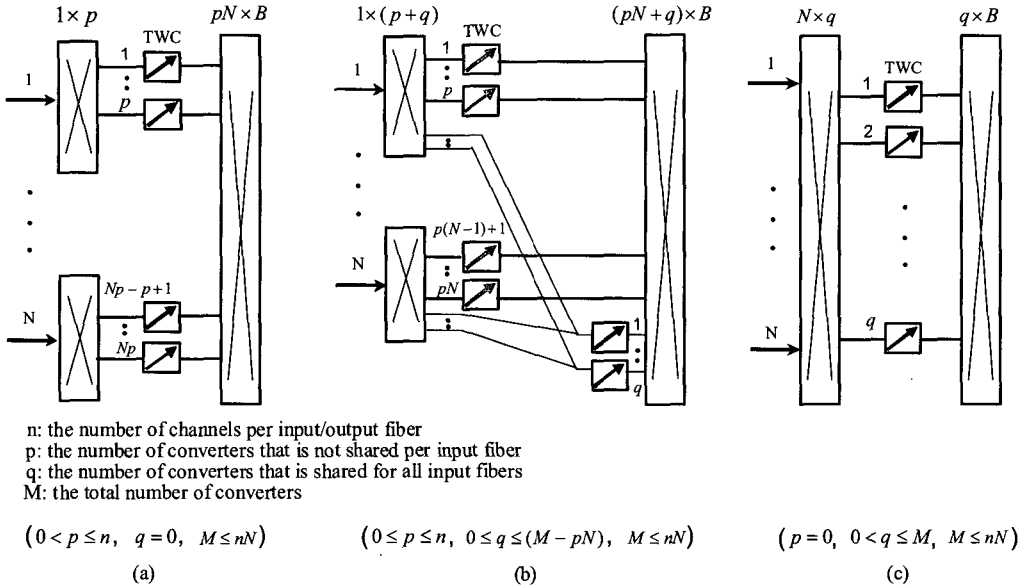
2. 최적화 평가를 위한 공유형 광 지연 선로 버퍼를 갖는 광 패킷 스위치 구조

최적화 평가를 위한 공유형 광 지연 선로 버퍼를 갖는 광 패킷 스위치는 네 개의 주요한 기능 블록 (인풋 파트, 광 지연 선로 버퍼, 아웃풋 파트, 스위치 제어 파트)로 구성 되어 지며 각각은 공간 스위치에 의해 연결되어 진다.

인풋 파트 안에 $\lambda_1, \lambda_2, \dots, \lambda_L$ 의 파장 변환 범주를 갖는 TWCs는 입력 패킷들에게 L 개의 내부 파장을 제공하기 위해 적용되어 지며 각각의 입력 패킷이 광 지연 선로 버퍼 안에 L 개의 WDM 채널 중 유용한 하나의 채널을 이용할 수 있도록 가능케 한다.

인풋 파트 안에 <그림 1>에서 보여지는 것처럼 세 개의 TWC 구조(not shared, partially shared, fully shard)가 가능하다. 광 지연 선로 버퍼를 이용하여 입력 패킷의 출력 파이버 내부에 유용한 하나의 채널을 발견 할 시, TWC 개수의 부족으로 기인한 패킷 손실을 완벽하게 제거하기 위해서는 nN 개의 TWCs(입력 파이버 당 n TWCs)가 고려되어 질 수 있다. 그러나 시스템 비용과 연관된 자원 낭비를 막아주기 위해 최적화된 수의 TWC가 각각의 TWC 구조 대안들에 대해서 평가 되어 져야 한다.

공유형 광 지연 선로 버퍼는 광 지연 선로들의 일련의 셋($1, 2, \dots, i, \dots, B-1, B$)으로 구성되



<그림 1> 가능한 TWC 구조, (a) Not shared, (b) Partially shared, (c) Fully Shared.

어 지며 i_{th} 광 지연 선로는 광 지연 선로 버퍼의 가장 기본이 되는 지연 선로(Delay line length D)의 i 배에 해당하는 길이 D_i 를 갖는 광 지연 선로를 나타낸다 ($1 \leq i \leq B$).

스위치 안에 내부 파장 개수는 광 지연 선로 버퍼 안에 이용 가능한 WDM 채널의 개수와 같으며, 공유형 광 지연 선로 버퍼 내부에 WDM 채널의 부족으로 기인한 패킷 손실을 완벽하게 제어하기 위해서는 역시 nN 개의 내부 파장 개수가 고려되어 질 수 있다. 그러나 하나의 파이버 내부에 가능한 WDM 채널의 수는 100Ghz의 채널 스페이싱을 갖는 파이버 안에서 수십 채널로 제한되어 지므로 내부 파장 개수는 하나의 파이버 안에 이용 가능한 WDM 채널 개수 아래 하나의 값으로 최적화 되어야 한다

아웃풋 파트 안에 FWCs(Fixed Wavelength Converters)는 광 지연 선로 버퍼에 의해 지연 되어진 각각의 패킷에 대해 출력 파이버 상에 예약되어진 하나의 채널로 파장 변환을 수행한다.

SCU(Switch Control Unit)는 패킷 스케줄링 이후 스케줄링 되어진 패킷의 라우팅을 위해 스위치 요소들을 제어, 관리한다.

3. 최적화 평가를 위한 제안된 알고리즘

비동기 가변길이 패킷 들을 위한 기존의 스케줄링 알고리즘들이 광 패킷 스위치 내부에 TWC와 내부 파장 개수를 Fully 가정하고 나아가고자 하는 출력 파이버 안에 하나의 채널을 찾는 데에만 오로지 초점을 맞춘 반면, 제안된 알고리즘은 아웃풋 채널뿐 아니라 하나의 이용 가능한 TWC와 광 지연 선로 버퍼 안에 하나의 이용 가능한 내부의 파장을 찾는다. 즉 제안된 알고리즘을 사용하여 최소의 패킷 로스를 보장 해 주며 자원 낭비를 막아주는 최적의 TWC 개수와 내부 파장 개수를 평가 할 수 있었다.

제안된 알고리즘이 <그림 2>안에 표현되었다. 먼저 t 가 패킷이 스위치에 도착한 시간이라고 하고, q 가 하나의 입력 패킷을 전송하기 위해 선택된 채널이라 정의한다. Channel_Search (k)

는 광 지연 선로들에 의해 지연된 시간 $k=t+D_i$ 과 각 채널 상에 과거에 스케줄 되어진 가장 최근의 패킷 사이에 가장 작은 Gap을 갖는 하나의 채널 q 가 발견 되어 진다면 선택된 채널 값 q 를, 그렇지 않으면 -1 값을 리턴해주는 함수라 정의 한다. 하나의 유용한 아웃풋 채널 q 를 찾을 시, 광 지연 선로 버퍼에 의해 제공 되어지는 모든 지연 시간들이 고려되어 진다. 따라서 LAUC(Latest Available Unscheduled Channel) [7] 알고리즘이 제안된 알고리즘 내부에 하나의 아웃풋 채널을 찾기 위해 사용 되어 진다. 이용 가능한 아웃풋 채널 q 가 지연 시간 $k=t+D_i$ 에서 발견 되어 진다면 선택된 i_{th} 광 지연 선로 안에 하나의 채널이 유용한지 검사한다. 하나의 채널이 이용 가능하다면, 하나의 TWC가 입력 패킷의 파장을 선택 되어진 i_{th} 광 지연 선로 안에 하나의 유용한 파장으로 변환하기 위해 이용 가능 한지 검사 되어 지고, 그렇지 않으면 도착한 입력 패킷이 손실되어 진다. 하나의 TWC가 이용 가능 하다면 선택된 q 채널의 WQI(Wavelength Queue Information)가 *Update_Information* (q) 함수에 의해 업데이트 되어 지고, 그렇지 않으면 도착한 입력 패킷은 손실 되어 진다. 마지막으로 이용 가능한 아웃풋 채널 q 가 광 지연 선로 버퍼의 가능한 모든 지연 시간 들을 사용하여 발견되어 지지 않을 시 도착 되어진 입력 패킷은 손실 되어 진다.

LAUC 알고리즘을 사용한 채널 선택의 하나의 예가 <그림 3> 안에 묘사 되어 졌다. 패킷 도착 시간 $k=t$ 와 첫 번째 광 지연 선로 버퍼에 의해 지연된 시간 $k=t+D_1$ 에서 입력 패킷을 수용할 하나의 채널은 존재 하지 않는다. 두 번째 광 지연 선로에 의해 지연된 시간 $k=t+D_2$ 에서 각 채널을 위한 Gap은 $t+D_2-t_1$, $t+D_2-t_2$, $t+D_2-t_3$ 이다.

$(t+D_2-t_2 < t+D_2-t_1 < t+D_2-t_3)$. 따라서 지연된 시간 $k=t+D_2$ 에서 가장 작은 Gap을 갖는 채널 λ_2 가 선택 되어 진다. 하지만 채널 λ_2 는 두 번째 광 지연 선로 내부에 하나의 이용 가능한 채널이 존재 할 때 그리고 파장 변환을 위한 하나의 이용 가능한 TWC가 존재 할 때 아웃풋 채널로써 최종적으로 결정 되어 질 수 있다.

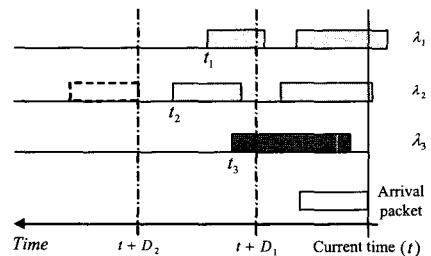
B: buffer depth, *t*: packet arrival time
n: # of channels per input/output

```

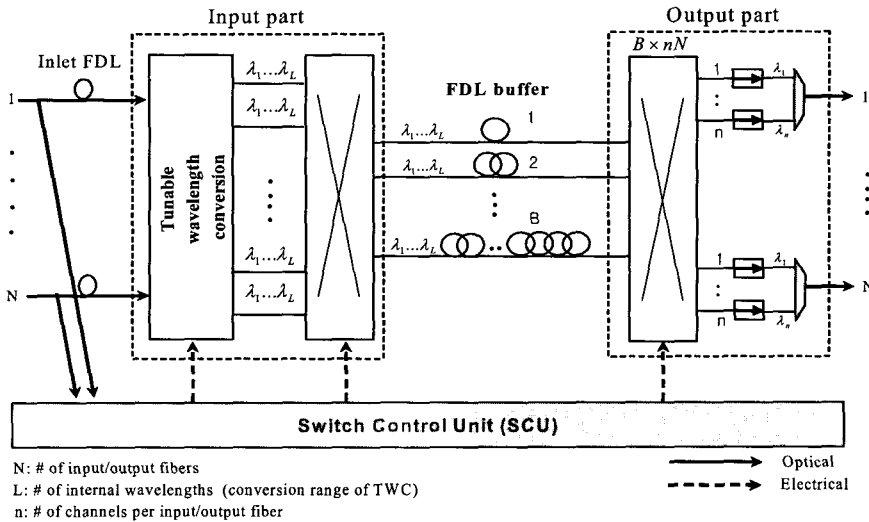
i=0; k=t;
While (i ≤ B)
{
    q = Channel_Search (k);

    if (q > -1 && q < n)
    {
        if (a channel in the selected i FDL is available)
        {
            if (a TWC is available)
            {
                Update_Information (q); break; /* Update wavelength queue
                information of q channel */
            }
            else { nl++; break; } /* Increment of # of loss packets */
        }
        else { nl++; break; } /* Increment of # of loss packets */
    }
    if (q == -1)
    {
        i=i+1;
        k=t+i×D; /* Let k be the time delayed as much as
        Di=i×D from packet arrival time t */
    }
}
if (i > B) { nl++; } /* Increment of # of loss packets */
    
```

<그림 2> 제안된 스케줄링 알고리즘



<그림 3> LAUC 알고리즘을 사용한 아웃풋 채널 선택의 예(하나의 입력 패킷을 위한 출력 파이버의 WQI(Wavelength Queue Information)가 묘사되어 진다).



<그림 4> 공유형 광 지연 선로 버퍼를 갖는 광 패킷 스위치

제안된 알고리즘에 대해 패킷 손실 요인은 세 가지로 구성 되어 지며 각각의 손실 요인에 대한 정의는 다음과 같다.

1. 버퍼링 공간의 부족으로 기인한 손실: 입력 패킷이 아웃풋 채널을 찾을 시 D_B 보다 더 긴 지연 시간을 원할 때
2. 내부 파장 개수의 부족으로 기인한 손실: 도착한 입력 패킷에 대해 선택된 광 지연 선로 버퍼 내부에 하나의 채널이 유용 하지 않을 때
3. TWC 개수의 부족에 기인한 손실: 도착 패킷의 파장을 변환하기 위한 이용 가능한 TWC가 존재 하지 않을 때.

4. 최적화 평가

4.1 최적화 평가를 위한 시뮬레이션 모델

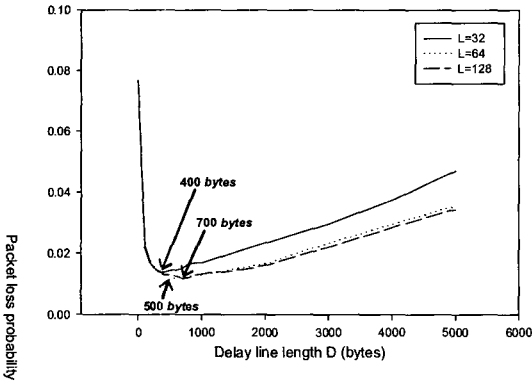
<그림 4> 안에 세 개의 TWC 구조를 허용 하는 광 패킷 스위치가 시뮬레이션을 위해 고려 되었다. 입력 트래픽은 ON과 OFF의 구간

이 $T_{on} = \lfloor bytes / U^{1/\alpha} \rfloor$ 와 $T_{off} = \lfloor bytes' / U^{1/\alpha} \rfloor$ 으로 정의되는 Self similar 트래픽을 적용하였다 [1,2,4]. ON 구간은 Packet burst를 나타내며, OFF 구간은 Inter-arrival times을 나타낸다. U 는 (0,1]위에 유니폼 랜덤 변수를, $\lfloor \cdot \rfloor$ 는 floor 함수를 나타낸다. Hurst parameter H 와 α 는 $H = (3-\alpha)/2$ 의 관계를 가지며 bytes는 400 바이트로 선택하였다 ($0.5 \leq H \leq 1$) [1,2,4].

4.2 최적화된 TWC 와 내부 파장 개수 결과

먼저 광 지연 선로 버퍼의 최적의 Delay line length (D)가 결정 되어 졌다. 공유형 광 지연 선로 버퍼 ($B=10$)를 갖는 광 패킷 스위치에 제안된 알고리즘을 적용하였고, Delay line length (D)의 함수로서의 패킷 손실 확률이 각각의 다른 내부 파장 개수 (L)에 대해서 시뮬레이션 되어 졌다 ($N=16, n=16, B=10, \alpha=1.2, \rho=0.8$). <그림 5>에서 보여 지는 것처럼 최소의 패킷 손실 확률을 보장하는 최적의 Delay line length는 내부 파장 개수가 증가함에 따라

서 함께 증가하였다. 각각 32, 64, 128 개의 내부 파장들에 대해서 최적의 Delay line length는 각각 400, 500, 700 bytes이었다. 최적의 Delay line length는 TWC의 구조와 TWC 개수하고는 무관하였다.

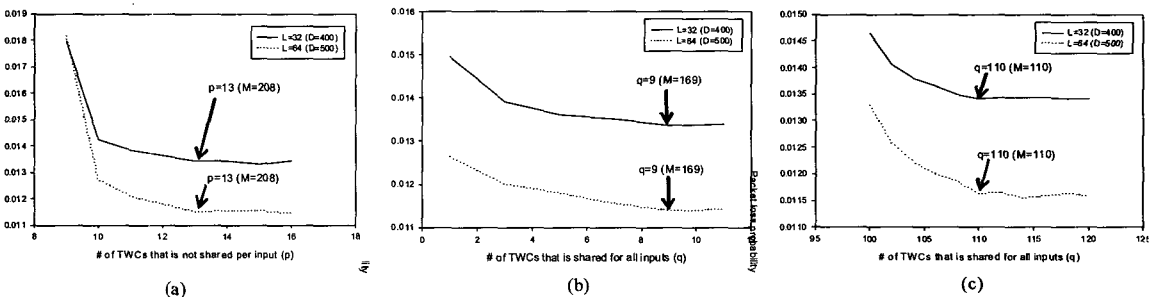


<그림 5> Delay line length (D)의 함수로서의 패킷 손실 확률 (Not shared TWC 구조 ($p=16$)가 고려되어 진다 $N=16, n=16, B=10, \alpha=1.2, \rho=0.8$)

<그림 6>은 각각의 TWC 구조에 대해서 p (입력 파이버 당 공유되지 않은 TWC 개수) 혹은 q (모든 입력 파이버에 대해 공유된 TWC 개수)의 함수로서의 패킷 손실 확률을 보여준다. Not shared TWC 구조 <그림 6(a)>의 경우, 패킷 손실 확률은 내부의 파장 개수에 관계없이 $p=13$ 에서 수렴하였고, 이러한 결과는

입력 파이버 당 13 개의 TWC ($p=13$)가 최소의 패킷 손실을 보장하는 충분한 자원임을 입증한다 ($N=16, n=16, B=10, \alpha=1.2, \rho=0.8$). Partially shared TWC 구조 <그림 6(b)>의 경우 모든 입력 파이버에 대해 공유 되어진 9 TWC ($q=9$)가 $p=10$ 일 때 최소의 패킷 손실을 보장하는데 기여 할 수 있었다. Fully shared TWC 구조 <그림 6(c)>의 경우 모든 입력 파이버에 대해 공유되어진 110 개의 TWC ($q=110$)가 최소의 패킷 손실을 보장하는 자원 이었다. 따라서 자원의 낭비 없이 최소의 패킷 손실 확률을 보장해 주는 총 TWC 개수 (M)는 Not shared TWC의 경우 $M=16 \cdot 13=208$, Partially shared TWC의 경우 $M=16 \cdot 10+9=169$, 그리고 Fully shared TWC의 경우 $M=110$ 였다.

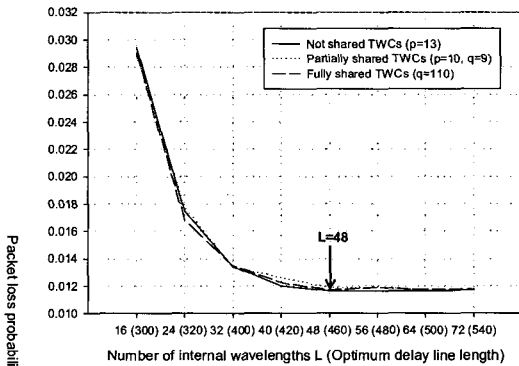
<그림 7>은 각각의 TWC 구조에 대해 내부 파장 개수 (L)의 함수로서의 패킷 손실 확률을 보여준다. <그림 6>으로부터 최적화된 수의 TWC들을 갖는 각각의 TWC 구조에 대해, 패킷 손실 확률이 내부의 파장 개수 (L)의 증가에 따라서 시뮬레이션 되어 졌다. 결과의 도출시 L 에 매치되는 최적의 Delay line length (D)가 사용되었다. 모든 TWC 구조들에 대해서 광 지연 선로 버퍼 안에 오로지 48개의 내부 파장 (48 WDM 채널)이 입력 패킷 들을 수용하는데 그리고 최소의 패킷 손실 확률을 보장하는데 기여 할 수 있었다.



<그림 6> 각각의 TWC 구조에 대해 p 혹은 q 의 함수로서의 패킷 손실 확률 ($N=16, n=16, B=10, \alpha=1.2, \rho=0.8$), (a) Not shared, (b) Partially shared, (c) Fully Shared.

<표 1> 각각의 다른 로드 (ρ) 에 대해 TWC 와 내부 파장의 최적화 된 값 ($N=16, n=16, B=10, \alpha=1.2, \rho=0.8$).

TWC 구조	최적화 된 값 ($\rho=0.7$)	최적화 된 값 ($\rho=0.8$)
Not shared	M=176, L=32	M=208, L=48
Partially shared	M=167 (p=10), L=32	M=169 (p=10), L=48
Fully shared	M=104, L=32	M=110, L=48



<그림 7> 각각의 TWC 구조에 대해 L의 함수로서의 패킷 손실 확률 ($N=16, n=16, B=10, \alpha=1.2, \rho=0.8$).

마지막으로 <표 1>은 각각의 다른 Load (ρ) 들에 대해서 최적의 TWC 개수와 내부의 파장 개수를 요약한다. Load가 0.7일 때 Fully shared TWC 구조에 대해 104 개의 TWC와 32 개의 내부 파장이 자원의 낭비 없이 최소의 패킷 손실 확률을 보장해주는 최적의 자원이 될 수 있었다 (32개의 내부파장 개수에 매치된 최적의 Delay line length (D)는 Load가 0.7 일 때 700 bytes였다).

5. 결 론

본 논문에서는 광 패킷 스위치 내부에서 세 개의 TWC 구조들에 대해 한정된 자원을 고려해주는 제안된 스케줄링 알고리즘을 이용하여

최적화된 수의 TWC와 내부의 파장을 평가 하였다. $N=16, n=16, B=10, \alpha=1.2$, 그리고 $\rho=0.8$ 일 때 Fully shared TWC 구조의 경우 110 개의 TWC와 48개의 내부 파장이 자원의 낭비 없이 최소의 패킷 손실 확률을 보장해주는 최적의 자원이 되어 질 수 있었다. 한편 Load가 0.7 일 때 Fully shared TWC 구조의 경우 104 개의 TWC와 32 개의 내부 파장이 최소의 패킷 손실 확률을 보장하는 최적의 자원이 되어 질 수 있었다.

참 고 문 헌

- [1] L. Tančevski, A. Ge, G. Castanon and L. Tamil, "A New Scheduling Algorithm for Asynchronous Variable Length IP Traffic Incorporating Void Filling," in *Proc. OFC'99*, pp. 180-182, Feb. 1999, Paper ThM7.
- [2] L. Tančevski, S. Yegnanarayanan, G. Castanon, L. Tamil, F. Masetti and T. McDermott, "Optical Routing of Asynchronous, Variable Length Packets," *IEEE J. Select. Areas Commun.*, Vol. 18, No. 10, pp. 2084-2093, Oct. 2000.
- [3] L. Tančevski, L. Tamil and F. Callegati, "Nondegenerate Buffers: An Approach for Building Large Optical Memories," *IEEE Photon. Technol. Lett.*, Vol. 11, No. 8,

- pp. 1072-1074, Aug. 1999.
- [4] H. K. Lim and C. -S. Park, "Performance Evaluation of the Optical Packet Switch with Hybrid Buffer Structure for the Contention Resolution of Asynchronous Variable Length Packets," *IEICE Trans. Commun.*, Vol. E87-B, No. 5, pp. 1421-1426, May 2004.
- [5] F. Callegati, G. Corazza, and C. Raffaelli, "Design of a WDM optical packet switch for IP traffic," in *Proc. IEEE GLOBE-COM. 2000*, Vol. 2, pp. 1283-1287, Dec. 2000.
- [6] F. Callegati, G. Corazza, C. Raffaelli, "Exploitation of DWDM for Optical Packet Switching with Quality of Service Guarantees," *IEEE J. Select. Areas Commun.*, Vol. 20, Issue 1, pp. 190-201, Jan. 2002.
- [7] Y. Xiong, M. Vandenhoute and Hakki C. Cankaya, "Control Architecture in Optical Burst-switched WDM Networks," *IEEE J. Select. Areas Commun.*, Vol. 18, No. 10, pp. 1838-1851, Oct. 2000.
- [8] S. L. Danielsen *et al.*, "WDM Packet Switch Architectures and Analysis of the Influence of Tuneable Wavelength Converters on the Performance," *IEEE/OSA J. Lightwave Technol.*, Vol. 15, No. 2, Feb. 1997.

◎ 저자 소개 ◎



황 일 선 (Il-Sun Hwang)

1983년 동국대학교 전자계산학과 (학사)
2001년 성균관대학교 전자공학과 (석사)
2004년~현재: 성균관대학교 컴퓨터공학과 박사과정
2001 ~ 2005년: 한국과학기술정보연구원 실장
2005년~현재: 한국과학기술정보연구원 연구기획부장
E-mail: his@kisti.re.kr



임 현 국 (Huhn-Kuk Lim)

1999년 2월 한국항공대학교 항공전자공학과 졸업 (학사)
2001년 2월 광주과학기술원 정보통신공학과 졸업 (석사)
2006년 2월 광주과학기술원 정보통신공학과 졸업 (박사)
2006년 3월~현재: 한국과학기술정보연구원 슈퍼컴퓨팅센터 선임연구원
관심분야 : Optical Internet, Optical Packet/Burst Switching,
MAC scheduling Algorithms for E-PON,
RWA Algorithms in Wavelength Routed Networks
E-mail: hklim@kisti.re.kr



유 기 성 (Ki-Sung Yu)

2004년 2월 성균관대학교 공과대학 정보공학 (석사)
2004년 3월 ~ 현재: 성균관대학교 공과대학 컴퓨터공학과 박사과정
2005년 9월 ~ 현재: 한국과학기술정보연구원 슈퍼컴퓨팅센터 연구망사업팀장
E-mail: ksyu@kisti.re.kr



정 진 옥 (Jin-Wook Chung)

1974년 성균관대학교 전기공학과 졸업 (학사)
1979년 성균관대학교 전자공학과 졸업 (석사)
1991년 서울대학교 계산통계학과 졸업 (박사)
1982년~1985년 한국과학기술 연구소 실장
1981년~1982년 Racal Milgo Co. 객원연구원
1985년~현재 성균관대학교 전기전자 및 컴퓨터공학부 교수
관심분야 : 컴퓨터 네트워크, 네트워크 관리, 네트워크 보안
E-mail: jwchung@songgang.skku.ac.kr