

이리듐 첨가에 의한 니켈모노실리사이드의 고온 안정화

윤기정[†] · 송오성

서울시립대학교 신소재공학과

Thermal Stability Enhancement of Nickel Monosilicides by Addition of Iridium

Kijeong Yoon[†] and Ohsung Song

Department of Materials Science and Engineering, University of Seoul, Cheonnong-dong,
Tongdaemun, Seoul 130-743, Korea

(2006년 8월 3일 접수, 2006년 9월 6일 최종수정본 접수)

Abstract We fabricated thermal evaporated 10 nm-Ni/(poly)Si and 10 nm-Ni/1 nm-Ir/(poly)Si films to investigate the thermal stability of nickel monosilicide at the elevated temperatures by rapid annealing them at the temperatures of 300~1200°C for 40 seconds. Silicides for silicide process was formed on top of both the single crystal silicon actives and the polycrystalline silicon gates. A four-point tester is used for sheet resistance. Scanning electron microscope and field ion beam were employed for thickness and microstructure evolution characterization. An x-ray diffractometer and an auger depth profile scope were used for phase and composition analysis, respectively. Nickel silicides with iridium on single crystal silicon actives and polycrystalline silicon gates showed low resistance up to 1200°C and 800°C, respectively, while the conventional nickel monosilicide showed low resistance below 700°C. The grain boundary diffusion and agglomeration of silicides led to lower the NiSi stable temperature with polycrystalline silicon substrates. Our result implies that our newly proposed Ir added NiSi process may widen the thermal process window for nano CMOS process.

Key words NiSi, Ir, thermal stability, silicide, silicide.

1. 서 론

반도체 소자의 고집적, 고속도화 추세에 따라 반도체 소자의 최소선폭이 100 nm 이하로 줄어들면서 집적회로를 최소화시키기 위한 실리사이드 물질의 채용이 일반화되고 있으며, 특히 65 nm 이하의 공정에서는 기존의 실리사이드 보다 더 얇은 50 nm 정도 두께의 고온안정성이 우수한 실리사이드가 요구되고 있다.¹⁾

실리사이드는 실리콘과 친이금속이 정량적인 화학비로 결합된 중간상 물질로서, CMOS 소자의 트랜지스터 게이트 상부와 소오스, 드레인 상부에 선택적으로 형성되어, 실리콘 하지층과의 지지항 오믹컨택을 유지시키고 상부 금속 배선층과 실리콘 사이의 확산 방지층으로서의 역할을 담당한다.^{2,4)} 이러한 실리사이드 물질은 살리사이드 공정으로 구현되는데, 살리사이드(self-aligned silicide)는 말 그대로 마스크 없이 게이트 양쪽에 스케이서를 형성시킨 후 기판 전면에 친이금속을 증착시키고 열처리하여 원하는 게이트와 활성화 영역의 상부만 실리사이드화 시

키고 잉여의 금속을 제거하는 공정으로 대부분의 최소선폭 0.25 μm 이하의 CMOS공정에 채택되고 있다.^{1,5,6)}

이러한 마스크 없이 활성화 영역의 상부와 게이트 상부에 선택적으로 지지항 실리사이드를 형성시키는 살리사이드 공정을 통하여 구현되는 기존의 실리사이드들은 TiSi₂, CoSi₂, NiSi 등이 있다. 그러나 TiSi₂는 선폭 의존성과 고온 용집성으로 나노급 살리사이드 공정에는 매우 부적합하며,^{7,8)} CoSi₂는 기본적으로 disilicide이므로 실리사이드화 이후 고온용집성과 부피팽창의 큰 분체와 실리사이드화 반응시 자연 산화막을 제거하기 위한 과도한 크리닝 공정이 필요한 분체가 있었다.⁹⁾ NiSi는 비교적 최근에 개발되어 나노급 공정에 적합하지만 700°C 이상에서 고저항의 NiSi₂로 변환되어 후속 공정온도를 700°C 이하로 한정시켜 살리사이드 공정 이후의 공정 온도가 한정되는 분체가 있었다.¹⁰⁾ 따라서 기존의 니켈모노실리사이드의 온도에 따른 상변태를 방지하기 위해 안정한 제 3원소를 첨가하여 상변태 온도를 높이고 니켈모노실리사이드의 안정화 온도 구간을 넓히려는 노력이 계속되어 왔다.

Wei 등은¹¹⁾ 기존 니켈 모노 실리사이드의 열적 안정

[†]E-Mail : ykj3946@uos.ac.kr

성을 개선하기 위해 살리사이드 공정을 위한 니켈층에 Zr 박막을 삽입하여 최종 형성된 NiZrSi 층의 면저항이 2Ω 보다 낮게 800°C까지 안정함을 보고하였다.

따라서 기존의 실험에서 보고된 바와 같이 열역학적으로도 니켈 외의 첨가원소를 넣은 것은 실리사이드의 상변태를 효과적으로 방지한다고 예상된다. 그러나 이러한 첨가물질의 특성으로는 첨가원소가 실리사이드가 되더라도 전기 저항을 크게 하지 않을 것, 계면 안정성을 부여하여 NiSi₂로의 상변태 핵생성에 영향을 주지 않을 것, NiSi₂상의 성장을 안정적으로 지연시킬 수 있을 것, 하부 활성화 영역의 도핑상태에 영향을 주지 않도록 안정적인 것 등의 요구조건을 필요로 한다. Ir을 중심으로 한 백금족 원소들은 상기 요구조건을 충족시키면서 역할을 할 수 있다고 예상된다.

실제의 트랜지스터는 단결정 실리콘으로 구성된 소오스와 드레인, 그리고 주로 폴리실리콘으로 형성되는 게이트로 구성된다. 실리사이드는 선택적으로 소오스와 드레인, 그리고 게이트의 상부에 형성되므로 실리사이드 공정에 따라 각각 단결정과 폴리실리콘 위에 형성되는 실리사이드의 특성이 확인되어야 한다. 특히 게이트를 가정한 폴리실리콘 상부의 실리사이드는 금속층과 실리콘층의 상대적인 두께가 달라지고, 결정립계에 의한 확산속도의 차이, 결정립계에 의한 표면 응집현상과 보고된 도치와 혼합현상 등이 예상되지만 나노급 두께의 박막으로 구성된 살리사이드 공정에서는 이러한 문제들이 아직 자세히 보고된 바 없다.

본 연구에서는 Sub-0.1 μm급 CMOS device에 실리사이드 공정으로 적용될 수 있는 두께 50 nm 이하의 저저항 니켈실리사이드를 단결정 실리콘과 다결정 실리콘 기판 위에 형성하고 이때 첨가원소로 이리듐을 첨가시켜 기존의 니켈모노실리사이드의 안정화 한계온도였던 700°C를 향상시켜 고온 안정성을 확보할 수 있는지 확인하였다.

2. 실험 방법

실험에 사용된 기판은 직경 100 mm, 두께 550 μm의 p-type(100) 단결정 실리콘 웨이퍼로서 크리닝이 완료된 기판은 소오스와 드레인을 상정한 활성화 영역을 상정하였고, 200 nm의 열산화막을 가진 실리콘 기판에는 LPCVD를 사용하여 폴리(poly)실리콘을 기판 전면에 70 nm의 두께로 성막하여 폴리실리콘으로 구성된 게이트를 상정하였다. 각 기판에 자연 산화막이 형성되기 전에 1 nm 두께의 이리듐금속과 10 nm 두께의 니켈금속을 열증착기로 연속적으로 증착시켜 Fig. 1과 같이 최종적으로 Ni(10 nm)/Ir(1 nm)/Si, Ni(10 nm)/Ir(1 nm)/poly-Si(70 nm)/SiO₂(200 nm)/Si 구조의 시편을 준비하였다. 한편 비교를 위하여 마찬가지로 방법으로 Ir이 삽입되지 않은 Ni(10 nm)/

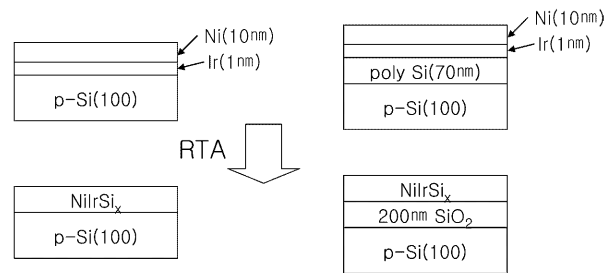


Fig. 1. Illustration of the experimental procedure.

Si, Ni(10 nm)/poly-Si(70 nm)/SiO₂(200 nm)/Si 구조의 시편도 완성하였다.

완성된 시편들은 10⁻³ torr의 진공에서 7쌍의 할로젠 램프로 구성된 RTA를 활용하여 300, 450, 500, 700, 800, 900, 1000, 1200°C의 8가지 조건에서 40초간 열처리하여 실리사이드가 생성되도록 하였다.

열처리가 완료된 시편들은 잉여금속을 제거하기 위해서 80°C에서 30%-황산(H₂SO₄)에 10분간 담가 처리하였다.

살리사이드 공정이 완료된 시편은 각 구조별, 실리사이드 온도별로 사점면저항측정기(four point probe, Changmin 사, CMT-SR1000N)를 사용하여 면저항(R_s)을 측정하였다.

FEI사의 이온빔과 전자빔이 모두 장착된 dual beam-field ion beam Nano Lab200 모델을 써서 완성된 실리사이드층의 수직단면구조와 평면적인 미세구조를 확인하였다. 평면적인 미세구조는 고배율로 확대하여 전자현미경 모드로 촬영하였고, 수직단면 미세구조의 확인을 위해서는 Ga이온을 30 kV로 가속시켜 표면전류가 10 pA가 되도록 유지하고 150 nm 깊이를 목표값으로 1.2×1.0 μm² 면적의 트랜치를 가공하였다. 가공된 트랜치를 52°로 기울여 실리콘과 도전성 실리사이드 층의 두께가 다른 것을 이용하여 실리사이드 층의 52° 틸트를 고려하여 두께를 결정하였다. 장비에 부착된 energy dispersive spectroscope를 이용하여 Ir의 분포를 확인하였으나 본 장비로는 확인되지 못하였다.

실리사이드 공정에 따른 표면조도의 변화를 확인하기 위해 주사탐침현미경(Scanning Probe Microscope: SPM, PSIA CP)을 이용하여 5×5 μm² 범위를 콘택 모드로 스캔 분석하여 root mean square(rms)를 측정함으로써 정량화 하였다.

생성된 상을 확인하기 위해서 X-선 회절분석(RIGAKU 사)을 이용하였는데, X선 source는 니켈 필터를 통과시켜 얻은 Cu Kα로 파장은 1.5406 Å이었고, 이 때 필라멘트 전류는 20 mA, 가속전압은 30 kV이었다. 스캔영역은 JCPDS(Joint Committee Powder Diffraction Standards)카드 상에 나타나있는 니켈실리사이드를 고려하여 2θ를 20°~80° 범위에서 300, 700, 800, 1000°C에서 40초간

열처리한 시편의 상을 분석하였다. 얻어진 rocking curves 에서 JCPDS 카드를 이용하여 상을 확인하였다.

또한, AES(Auger Electron Spectroscopy, Perkin-Elmer 사)를 이용하여 각 어닐링 온도의 시편에 대해 Si, Ni, Ir의 조성변화를 스퍼터링 속도를 유지하면서 표면부로부터 측정하여 온도에 따라 생성된 실리사이드층의 화학조성의 정량분석을 시도하였다.

3. 결과 및 고찰

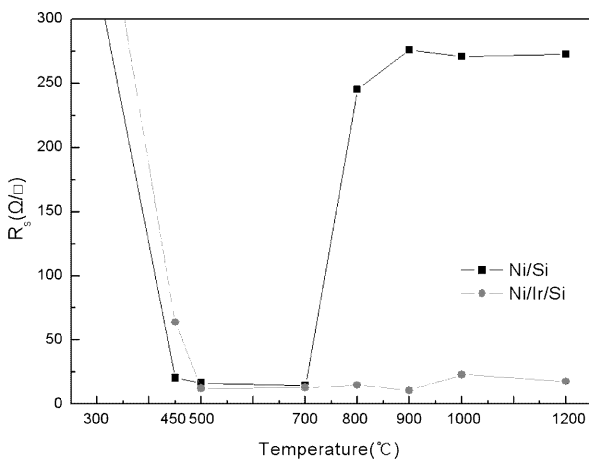
Fig. 2(a), (b)에는 각각 활성화 영역을 가정한 단결정 실리콘과 게이트를 상정한 폴리실리콘 위에 기준으로 정한 10 nm-Ni/Si와 10 nm-Ni/1 nm-Ir/Si 적층 형태 구조를 300°C부터 1200°C까지 RTA 온도를 달리하여 실리사이드화 시킨 실리사이드층의 면저항 측정 결과를 나타내었다.

단결정인 (a)의 경우를 보면 10 nm의 나노급 Ni 박막으로부터 형성된 니켈실리사이드는 이미 알려진 바와 같

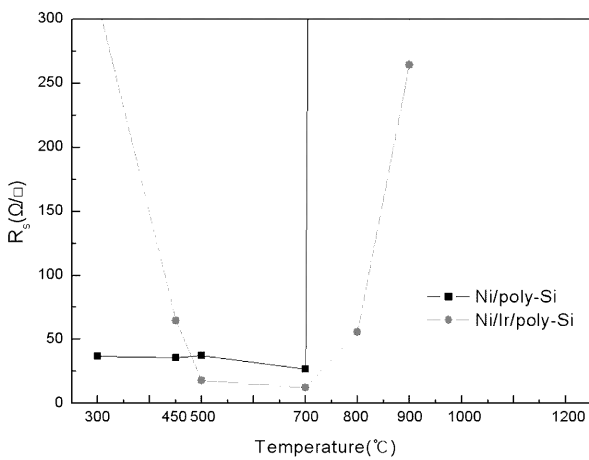
이 450°C 이하에서는 Ni₂Si에 의한 고저항이, 450~700°C까지는 NiSi의 안정한 저저항이, 800°C 이상에서는 NiSi₂로 상변태 하면서 급격한 고저항을 보이는 전형적인 니켈실리사이드의 면저항 변화를 보이고 있다. 통상 8Ω/sq. 정도인 NiSi의 저항이 15Ω/sq. 정도로 측정된 것은 기존 30 nm 정도의 Ni 박막으로 100 nm 이상 두께의 NiSi 층이 형성된 것에 비해 본 실험에서는 약 40 nm 정도 두께의 나노급 실리사이드로 되어 상대적으로 면저항이 크게 측정된 것으로 판단된다. 1 nm Ir을 삽입한 경우는 450~700°C에서의 NiSi와 동일하게 1200°C까지 안정한 저저항을 보여서 Ir이 Ni(Ir)Si 형태로 NiSi₂로의 상변태를 적극적으로 억제하는 특성이 있음을 알 수 있다. 이는 단결정 실리콘에서 기존 NiSi의 고온 안정성을 1200°C 이상으로 획기적으로 향상시킬 수 있음을 보이고 있다.

(b)에는 (a)와 마찬가지로 폴리실리콘 기판 위에 형성된 각 실리사이드의 면저항을 나타내었다. 먼저 10 nm-Ni/poly-Si은 단결정 실리콘과는 달리 300~700°C까지 30Ω/sq. 정도로 면저항이 증가하는 특성이 있었다. 폴리실리콘에서는 결정립에 의해서 당연히 실리사이드 두께는 커지지만 응집효과와 도치효과에 의한 표면 산란에 의해 면저항이 크게 측정될 수 있었고 700°C 이후에는 NiSi₂로의 상변태가 결정립계를 통한 확산으로 빠르게 진행되어 급격한 고저항이 나타나기 때문이다.¹²⁾ 10 nm-Ni/1 nm-Ir/poly-Si 구조인 경우는 800°C 이후에 면저항이 증가하고 있으며 Ni/Ir/Si 구조와 비교하여 상대적으로 저온인 850°C부터 급격히 상변태가 일어나는 것을 알 수 있다. Ir의 Ni(Ir)Si 저저항 안정화 효과는 폴리실리콘 위에 형성된 경우 실리사이드층의 응집효과에 의해서 효과가 억제되어 궁극적으로 고저항을 보이게 된다. 기존 Ni/poly-Si구조의 실리사이드가 700°C부터 급격한 면저항 증가를 보여 접촉저항을 크게 하는 것에 비해서 이는 기존의 니켈모노실리사이드에 비해 저저항 안정구역을 약 150°C 정도 더 향상시켰음을 보이고 있다. 이러한 결과는 기존의 단결정 실리콘 기판에서 NiSi의 고온안정성 향상을 위해 Ni층에 약 3% Zr을 첨가한 경우 NiSi와 ZrSi의 혼합 엔트로피의 증가로 상변태 온도를 800°C 정도로 NiSi 안정화 구간을 100°C 정도 성공적으로 향상시켰음¹¹⁾에 비하여 단결정과 다결정 실리콘 기판 모두에 대해서 저저항 안정화 공정 범위를 크게 하였음을 의미한다.

Fig. 3에는 Ni/Ir/Si((a), (b)), Ni/Ir/poly-Si((c), (d)) 구조를 700°C와 1000°C에서 실리사이드화 처리한 후 30% H₂SO₄로 10분간 크리닝하여 FESEM으로 관찰한 표면 이미지를 나타내었다. (a)와 (b)에 보인 Ni/Ir/Si 구조로부터 생성되는 실리사이드에서는 응집상으로 볼 수 없었고, (a)의 700°C에서는 매우 균일한 표면상을, (b)의 1000°C에서는 폭 0.2 μm 정도의 미로형의 표면 응집이 있는 특징을 보이고 있다.



(a) Ni/Si, Ni/Ir/Si



(b) Ni/poly-Si, Ni/Ir/poly-Si

Fig. 2. Sheet resistance with silicidation temperatures.

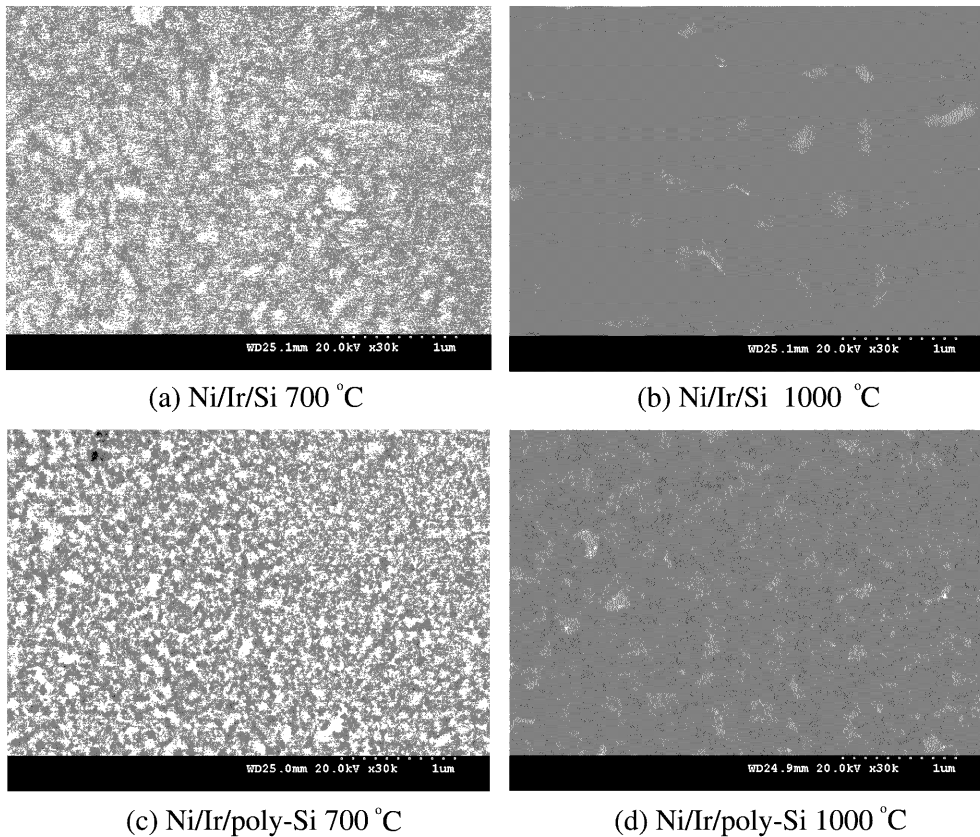


Fig. 3. FESEM images of nickel silicide layers with the process condition of (a) Ni/Ir/Si 700°C, (b) Ni/Ir/Si 1000°C, (c) Ni/Ir/poly-Si 700°C and (d) Ni/Ir/poly-Si 1000°C.

(c)와 (d)의 Ni/Ir/poly-Si 구조인 경우는 700°C에서는 약 100 nm 이하의 dot형 결정립을 볼 수 있고, 1000°C에는 앞서 보인 단결정에서와 다르게 더욱 미세한 미로형 미세구조를 가짐을 알 수 있다. 이러한 혼합(mixing)형 미세구조가 앞서 보인 고저항의 한 원인이라고 판단되었다. 이러한 급격한 고저항 현상의 원인이 폴리실리콘의 채용에 의한 구조적인 문제라고 하면 나노급 실리사이드 공정에서는 아몰퍼스 실리콘을 게이트로 채택한 후 실리사이드 공정에서 고온 실리사이드를 채용하여 혼합 효과를 비롯한 다결정 실리콘 게이트의 문제점을 완화시킬 수 있다고 기대되었다.

Fig. 4에는 앞서 보인 Fig. 3의 FESEM 이미지의 시편에 Ga 이온으로 트랜치를 가공하고 드러난 수직 단면의 모습을 보였다. 이들의 확대 이미지로부터 정확한 실리사이드 층의 두께를 확인하였는데 각각 (a) 41 nm, (b) 38 nm, (c) 55 nm, (d) 55 nm를 확인할 수 있었다. 실리사이드화 온도에 따라 크게 실리사이드층의 두께는 달라지지 않았으며 단결정에서는 40 nm, 폴리실리콘에서는 약 55 nm 정도의 두께를 얻을 수 있음을 알 수 있다. 이러한 두께는 충분히 최소 선폭 100 nm급의 shallow junction transistor에 응용이 가능하다고 판단된다. 한편 (d)의 전

기저항이 커진 폴리실리콘 위에 형성된 이미지를 보면, 다른 이미지와 달리 Ga 이온에 의해 특정한 상(이미지에서 상대적으로 밝게 보이는 상)이 이온 빔에 의해서 촬영 중에 더 쉽게 제거되어 낮게 보임을 알 수 있는데 이는 서로 다른 상이 혼합되어 있음을 의미하는 강력한 증거로써, 폴리실리콘 위에 고온으로 실리사이드화된 경우고 혼합 형태로 실리사이드가 존재하며 서로 고립된 실리사이드가 효과적으로 전기전도체 역할을 못하고 고저항을 가지고 있음을 나타내고 있다.

Fig. 5에는 Ni/Ir/Si와 Ni/Si, Ni/Ir/poly-Si와 Ni/poly-Si 구조를 700°C와 1000°C에서 각각 형성시킨 실리사이드를 $2\theta=20^{\circ}\sim 80^{\circ}$ 에서 조사한 XRD 회절피크를 비교하였다.

(a)의 Ni/(Ir)Si 경우에는 모두 70°의 Si peak(* 표시)를 제외하고, Ni/Si의 경우 700°C에서 이미 알려진 2θ 값이 45° 정도인 NiSi(○ 표시)의 형성을 나타내는 피크가 존재하며, Ni/Si 1000°C에는 특유의 NiSi₂(☆ 표시)가 나타나면서 고저항상의 존재를 나타내고 있다. Ni/Ir/Si의 경우는 700°C과 1000°C에서 각각 Ir₃Si(□ 표시), IrSi₃상(△ 표시)이 나타났다. Kurt 등¹³⁾에 의하면 이러한 복잡한 Ir 실리사이드는 Ir₃Si₅를 비롯하여 모두 고온으로 갈

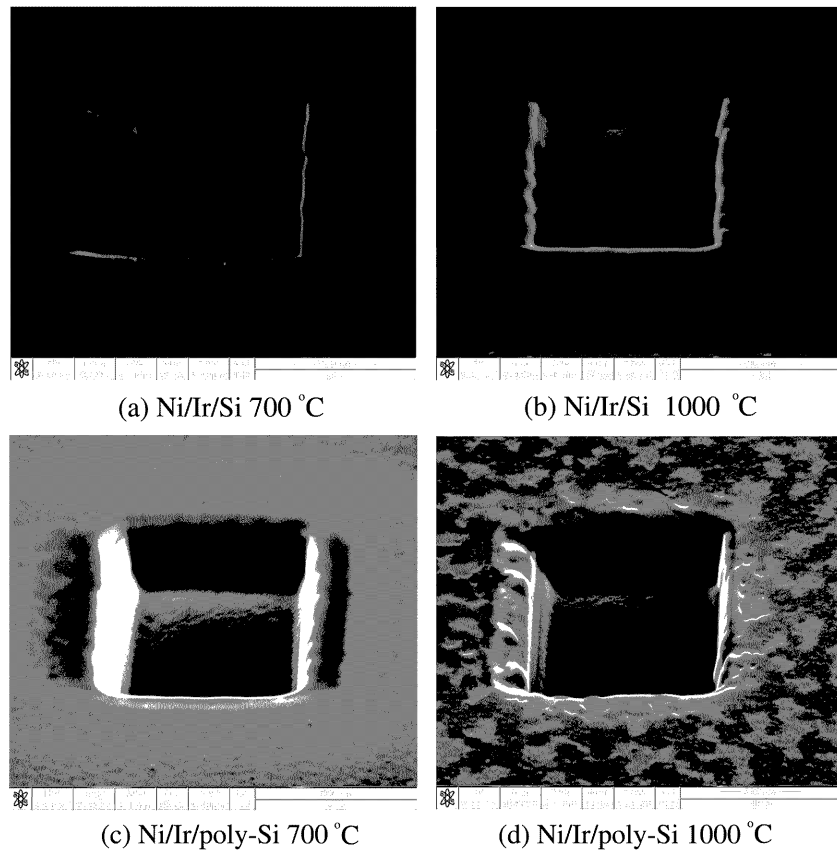


Fig. 4. FESEM images of silicides with FIB trenches by the process condition of (a) Ni/Ir/Si 700°C, (b) Ni/Ir/Si 1000°C, (c) Ni/Ir/poly-Si 700°C and (d) Ni/Ir/poly-Si 1000°C.

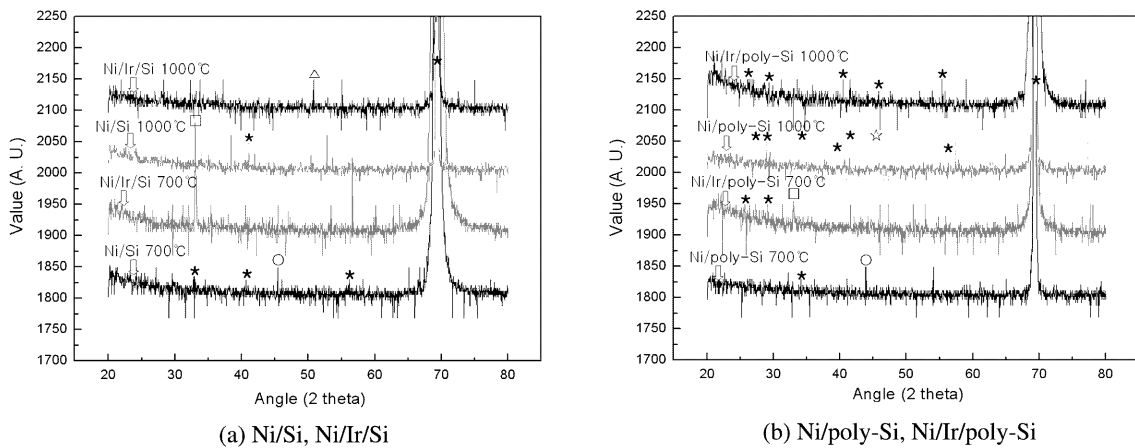


Fig. 5. XRD rocking curves of the silicides on (a) single-crystalline silicon and (b) poly-crystalline silicon substrates.

수록 저저항을 가지는 특성이 있는 것으로 알려졌다. 700°C의 Ni/Ir/Si 경우에서 NiSi의 특성피크와 Ir₃Si의 특성피크가 같이 나타나는 것은 비교적 저온에서의 Ir첨가 니켈실리사이드는 생성된 상 모두가 저저항을 가진 NiSi와 Ir₃Si의 혼합상으로 존재함을 의미한다. 한편 1000°C

의 Ni/Ir/Si으로부터의 실리사이드는 저저항상인 IrSi₃가 나타나고 NiSi 피크가 보이지 않는데, 이는 앞서 보인 면저항이 이 조건에서 저저항임을 고려하여, 이 온도에서는 NiSi에 Ir이 고용되어 Ni(Ir)Si형태의 실리사이드와 IrSi₃가 혼합되어 존재함을 의미한다.¹⁴⁾

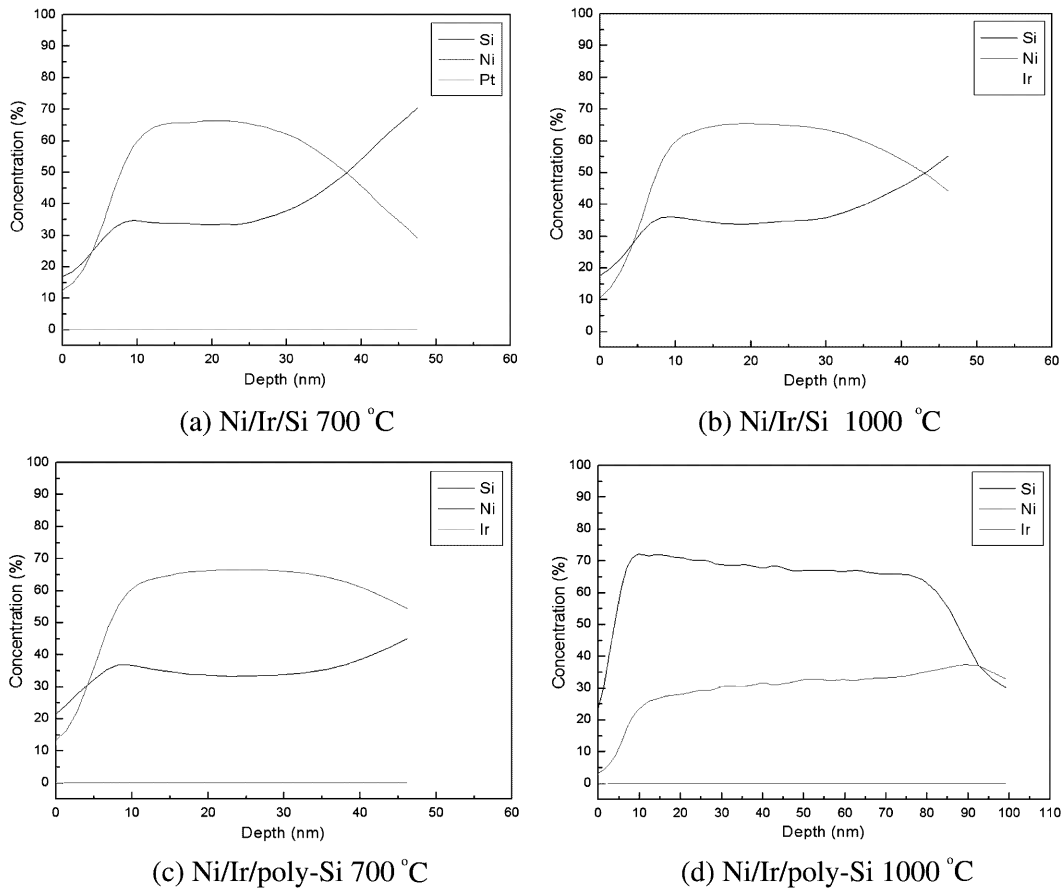


Fig. 6. Auger depth profiling of by the process condition of (a) Ni/Ir/Si 700°C, (b) Ni/Ir/Si 1000°C, (c) Ni/Ir/poly-Si 700°C and (d) Ni/Ir/poly-Si 1000°C.

(b)의 Ni(Ir)/poly-Si의 경우에는 (a)의 단결정 실리콘기판인 경우와 달리, 저온인 700°C에서 NiSi 특성피크가 보이지 않고 Ir₃Si의 특성피크가 보이고 있다. 따라서 다결정 실리콘기판을 가진 경우는 결정립계를 따라 빠른 확산이 발생, Ir이 NiSi에 고용된 형태의 Ni(Ir)Si와 Ir₃Si가 공동으로 혼재하면서 저저항을 보이게 된다고 판단된다. 반면에 1000°C에서는 이미 Ir이 첨가되지 않은 경우와 단결정기판에서 보여진 NiSi₂와 Ir₃Si가 보이지 않고 있는데 이는 대부분의 Ir이 빠른 결정립계 확산을 통하여 Ni(Ir)Si₂ 형태로 고저항인 NiSi₂로 고용되어 존재하여 특성피크의 이동을 가져오고 결과적으로 고저항인 면저항을 보이는 것으로 판단되었다.

Fig. 6에는 Ni/Ir/Si 구조로부터 700°C와 1000°C로 각각 열처리한 실리사이드층의 AES depth profiling 결과물을 나타내었다. 약 1 nm 두께로 증착된 Ir의 존재는 AES의 분해능 한계로 모두 0으로 표시되어 확인되지 않았다. (a)와 (b)의 700°C와 1000°C에서의 실리사이드는 모두 비슷한 화학양비를 가진 NiSi라고 판단되는 실리사이드가 생성되었음을 보이고 있고, 특히 고온인 1000°C

에서는 700°C의 40 nm보다는 5% 정도 더 두꺼운 약 42 nm 정도의 실리사이드가 생겼음을 나타내고 있다. 이러한 오차는 오제의 스퍼터링에서 오는 thickness 오차를 고려하면 앞서 보인 FIB에 의한 수직 단면 두께로 확인한 결과와 매우 잘 일치하고 있다. (c)의 폴리실리콘의 경우 앞의 (a), (b)와 비슷한 실리사이드이며 약 25 nm 정도의 더 두꺼운 Ni(Ir)Si가 형성됨을 알 수 있다. 반면에 (d)의 1000°C의 경우는 확연하게 실리사이드의 화학성분비가 다른 실리사이드가 두껍게 형성되었고 45 nm 이하에는 하부에 있던 Si층이 오히려 상부로 가는 도치 현상이 생겼으며 이에 따라 극단적인 응집현상이 생겼다고 판단되었다. Ni 실리사이드 중 고저항인 NiSi₂를 정확히 볼 수 없는 이유는 Si와 혼합된 두 가지 상으로 존재하는 경우 직경이 약 1 μm의 영역을 평균하여 성분의 신호를 잡는 오제의 분해능상 정량적인 NiSi₂를 보이고 있지 못하는 것으로 판단된다. 따라서 앞서 보인 폴리실리콘인 경우에 나타나는 고온에서의 급격한 저항증가는 결정립에 의한 가속 확산으로 인해 NiSi₂로의 변태와 실리콘 층과의 도치현상에 의한 상의 혼합

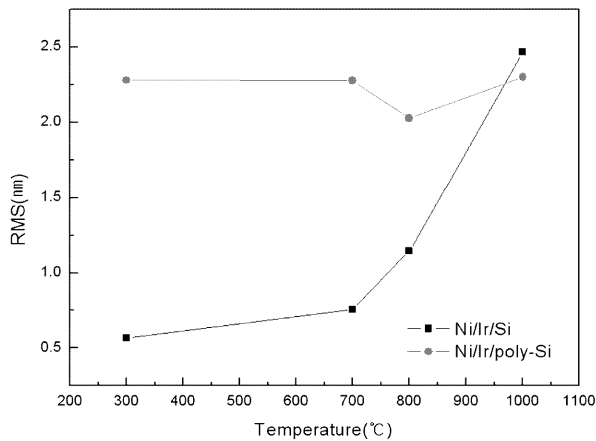


Fig. 7. Surface RMS roughness evolution with silicidation temperatures.

이 주요 원인이라고 판단되었다.

Fig. 7에는 실리사이드화 열처리에 따른 표면조도의 변화를 보다 상세하게 알아보기 위해서 SPM을 사용하여 Ni/Ir/Si과 Ni/Ir/poly-Si 구조로부터의 시편을 측정된 표면 rms값을 실리사이드 온도에 따라 나타내었다. 각 시편의 RMS(root mean square)값은 5개의 horizontal line을 설정하여 이들의 평균값으로 결정한 것이다. 단결정 기판의 경우 300°C에서 700°C까지 전체 조도의 RMS 값이 서서히 증가하다 800°C부터는 표면조도값이 급격히 증가하였다. 700°C까지는 표면조도가 부피변화에도 불구하고 고른 표면을 가지고 생성되었다고 판단되고, 800°C 이상에서는 고온열처리에 의한 표면 응집현상의 발생으로 표면조도가 크게 측정이 되었다고 판단되었다.

다결정 기판의 경우는 300°C에서 700°C까지 전체 조도의 RMS 값이 거의 변화가 없다가 800°C 근처에서 약간 낮아지고, 800°C 이상에서는 다시 표면조도값이 증가하였다. 그러나 전체 온도범위에서 표면조도는 온도에 따른 큰 변화 없이 2.0 nm 정도를 보이고 있어서 전술한 미세구조에서 확인한 폴리실리콘 위의 실리사이드층의 응집 정도는 약 2.0 nm 정도라고 판단되었다. 기판이 폴리실리콘인 경우 고온에서의 NiSi₂ 형성에 따른 표면조도의 변화는 생기지 않아서 표면조도의 변화로부터 생성된 실리사이드상을 확인하는 것은 Ir을 첨가한 경우 어려운 것으로 판단되었다.

4. 결 론

나노급 CMOS공정을 상정하여 활성화 영역을 상정한 단결정 실리콘에 1 nm Ir을 Ni층에 삽입한 경우 1200°C 까지 안정화 온도구간을 넓힌 두께 40 nm의 저저항 니켈실리사이드를 만들 수 있었다. 게이트를 가정한 10 nm-Ni/1 nm-Ir/poly-Si 구조로부터 형성한 실리사이드는

850°C 까지 안정화 온도구간을 넓힌 두께 55 nm의 저저항 니켈실리사이드가 생성되었다. 이들은 모두 기존 니켈실리사이드 보다 우수한 2 nm 이하의 표면조도를 유지하였다. 단결정 위에 형성된 니켈실리사이드는 Ir의 고용에 따라 NiSi₂로의 상변태가 지연되어 NiSi로 안정화될 수 있었고, 고온의 폴리실리콘 기판에서 형성된 니켈실리사이드는 IrSi₃상의 출현과 실리콘상이 실리사이드층의 위에 형성되는 도치현상 때문에 고저항을 보이는 특징이 있었다. 그러나 이러한 Ir층의 첨가에 의한 실리사이드 공정은 기존 니켈실리사이드 공정에 비해 150~500°C 이상 후속 열처리 공정을 높일 수 있으므로 Sub-0.1 μm급 CMOS device에 실리사이드 공정으로 적합함을 확인하였다.

감사의 글

본 연구는 서울특별시의 신기술연구개발지원사업(과제 번호 10686) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참 고 문 헌

1. The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
2. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, E. Er and S. Redkar, *Appl. Phys. Lett.*, **78**, 3091 (2001).
3. J. Prokop, C. E. Zybilla and S. Veprek, *Thin Solid Films*, **359**, 39 (2000).
4. C. Detavernier, R. L. Van Meirhaeghe and F. Cardon, *J. Appl. Phys.*, **88**, 133 (2000).
5. J. Chen, J. P. Colinge, D. Flandre, R. Gillon, J. P. Raskin and D. Vanhoenacker, *J. Electrochem. Soc.*, **7**, 144 (1997).
6. J. J. Sun, J. Y. Tsai and C. M. Osburn, *IEEE Transactions on Electron Devices*, **45**, 1946 (1998).
7. Hua. Fang, Mehmet C. Ozturk, E. G. Seebauer and D. E. Batchelor, *J. Electrochem. Soc.*, **146**, 4240 (1999).
8. J. Lutze, G. Scott and M. Manley, *IEEE Electron Device Lett.*, **21**, 155 (2000).
9. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**, 262 (1991).
10. B. A. Julies, D. Knoesen, R. Pretorius and D. Adams, *Thin Solids Films*, **347**, 201 (1999).
11. W. Huang, L.-C. Zhang, Y.-Z. Gao and H.-Y. Jin, *Microelectronic Engineering*, **83**, 345, (2006).
12. E. G. Colgan, J. P. Gambino and Q. Z. Hong, *Materials Science and Engineering*, **16**, 43, (1996).
13. R. Kurt, W. Pitscheke, A. Heinrich, H. Griesmann, J. Schumann and K. Wetzig, *17th International Conference on Thermoelectrics*, 249 (1998).
14. V. M. Ievlev, S. B. Kushchev, I. G. Rudneva and S. A. Soldatenko, *Inorganic Materials*, **39**, 472, (2003).