

폴리실리콘 기판 위에 형성된 코발트 니켈 복합실리사이드 박막의 열처리 온도에 따른 물성과 미세구조변화

김상엽[†] · 송오성

서울시립대학교 신소재공학과

Characteristics and Microstructure of Co/Ni Composite Silicides on Polysilicon Substrates with Annealing Temperature

Sangyeob Kim[†] and Ohsung Song

Department of Materials Science and Engineering, University of Seoul, Cheonnong-dong,
Tongdaemun, Seoul 130-743, Korea

(2006년 2월 27일 접수, 2006년 9월 4일 최종수정문 접수)

Abstract Silicides have been required to be below 40 nm-thick and to have low contact resistance without agglomeration at high silicidation temperature. We fabricated composite silicide layers on the wafers from Ni(20 nm)/Co(20 nm)/poly-Si(70 nm) structure by rapid thermal annealing of 700~1100°C for 40 seconds. The sheet resistance, surface composition, cross-sectional microstructure, and surface roughness were investigated by a four point probe, a X-ray diffractometer, an Auger electron spectroscopy, a field emission scanning electron microscope, and a scanning probe microscope, respectively. The sheet resistance increased abruptly while thickness decreased as silicidation temperature increased. We propose that the fast metal diffusion along the silicon grain boundary lead to the poly silicon mixing and inversion. Our results imply that we may consider the serious thermal instability in designing and process for the sub-0.1 μm CMOS devices.

Key word Co/Ni composite silicide, gate silicide, silicides, silicide, gate oxide.

1. 서 론

실리사이드는 친이금속과 실리콘이 정량적으로 결합된 물질로, 반도체 트랜지스터의 게이트 상부와 소오스, 드레인 상부에 실리사이드를 선택적으로 생성시켜서 금속 배선층과 실리콘 활성화 영역과의 반응을 방지하고, 전기적으로 저저항의 접촉저항을 유지하는 기능을 하기 위해 0.18 μm 급 이하의 소자에 여러 금속의 적층을 이용한 구조로부터 실리사이드공정(self-aligned silicide)을 통하여 구현된다.^{1,3)}

실리사이드 공정은 마스크 없이 게이트의 양측면부에 스페이서를 형성시키고 다시 친이금속을 기판 전체에 성장시키고, 열처리하여 실리콘이 드러난 게이트 상부와 소오스, 드레인의 활성화 영역에만 저저항 실리사이드 물질을 생성시키고 필요 없는 금속을 다시 선택적으로 습식 제거시키는 공정이다. 따라서 0.1 μm 급 이하의 공정에 채용되는 실리사이드는 소오스, 드레인이 형성되는 단결정 활성화 영역 뿐 아니라 폴리실리콘으로 구성되는 게

이트의 상부에도 저저항 온도의 안정성을 가진 저저항 실리사이드가 형성되어야 한다. 즉, 최근의 집적도가 증가한 반도체 소자는, 최소선폭 0.1 μm CMOS 소자에 탑재되기 위한 약 50 nm 두께의 얇고, 공정 중 스트레스가 작으며, 응집현상이 최소화하고, 고온의 후속 열처리 공정에도 안정한 저저항 상을 유지할 수 있는 실리사이드가 요구되고 있다.⁴⁾

상기 목적을 달성하기 위해서 기존의 고집적용 실리사이드 물질로 CoSi_2 와 NiSi 가 있다. CoSi_2 는 1개의 코발트에 2개의 실리콘 원자가 결합하므로 필연적으로 3.3배 정도의 큰 부피팽창이 일어나고 최종적인 실리사이드 층의 두께가 두꺼운 단결과 800°C 이상의 실리사이드화 온도에서 표면 응집현상으로 활성화영역의 표면조도가 나빠지는 문제가 알려졌다. 또한 코발트는 자연산화막이 있는 경우 실리사이드 반응이 일어나지 않아서 자연산화막을 제거하기 위한 과도한 금속 증착 전처리 공정이 필요한 단점이 있었다.⁵⁻⁸⁾

NiSi 는 한 개의 니켈과 한 개의 실리콘 원자가 각각 반응하므로 두께가 얇고 CoSi_2 의 단점을 대부분 보완할 수 있지만, 700°C 이상의 열처리에서 NiSi_2 로의 상변화

[†]E-Mail : kimjyyp@uos.ac.kr

를 거쳐서 사용하기 적합하지 않을 정도로 고저항의 실리사이드로 변화하는 치명적인 단점이 있어서 실리사이드 공정 이후 공정온도가 700°C 이하로 제한되는 단점이 있었다.⁹⁾

이러한 배경에서 기존의 하나의 실리사이드 물질을 채용하는 문제를 해소하기 위해 두 가지 이상의 실리사이드를 복합화하는 연구가 진행되었다. 정성희 등은 Co/Ti의 복합층을 써서 만든 CoSi₂의 제조 시도에서 CoTiSix의 새로운 중간상이 발생하여 이를 선택적으로 제거하기 어려운 문제가 있음을 보고하고 있다.¹⁰⁾ 또한 김기범 등도 Co/Ti/Si 박막으로부터 형성된 CoSi₂에서 Co₃Ti₂Si가 생성되는 문제가 발생함을 보고하고 있다.¹¹⁾ 따라서 Co/Ti 계 외에 새로운 금속층의 적층형태로부터 고집적용 실리사이드의 가능성을 확인하는 노력이 필요하다.

정성희는¹⁰⁾ Co/Ni/Si 단결정 구조로부터 1100°C 까지 견디는 (Co_{1-x}Ni_x)Si 저저항 복합실리사이드가 가능함을 보고하였으나 살리사이드 공정에서 중요한 폴리실리콘 게이트 상부의 Co/Ni/폴리실리콘 구조로부터의 실리사이드 물성을 아직 잘 보고되지 않고 있다.

따라서 본 연구에서는 10 cm의 p-Si(100) 기판전면에 200 nm 두께의 열산화막을 만들고, 70 nm 두께의 폴리실리콘을 성막하여 폴리실리콘 게이트 위에 형성된 실리사이드를 상징하기 위해서, 그 상부에 20 nm의 Ni과 20 nm의 Co를 열증착기로 순차적으로 증착하고, 진공에서 할로젠램프 열원을 사용하는 쾌속열처리기(rapid thermal annealer, RTA)로 700~1100°C의 온도범위에서 40초간 열처리를 시행하여 시편을 제작하였다. 완성된 시편을 가지고 제안된 Co/Ni(or Ni/Co) /poly-Si층 모두가 열처리 온도에 따라 저저항의 실리사이드화 하는지의 여부와 표면조도 및 최종 실리사이드 층의 두께 변화를 확인하여 보았다.

2. 실험 방법

Fig. 1와 같이 직경 10 cm의 p-Si(100) 기판전면에 200 nm 두께의 열산화막을 만들고, LPCVD(low pressure CVD)를 사용하여 폴리실리콘을 200 nm 열산화막을 입힌 p-Si(100) 기판 전면에 70 nm 두께로 성막하였다. 배치공정으로 25매의 실리콘 기판을 동시에 진행하여 준비하고 엘립소미터를 써서 70 nm의 두께가 균일하게 성막 되었음을 확인하였다.

시편은 증착직전에 RCA 세정과 HF 세정을 이용하여 유기불순물과 자연산화막을 완전히 제거한 후 자연산화막이 생성되기 전에 열증착기에 장입하였다.

기판에 20 nm 두께의 니켈금속, 20 nm 두께의 코발트 금속을 준비된 열증착기로 증착하여 최종적으로 Fig. 1의 오른쪽과 같이 Ni(20 nm)/Co(20 nm)/poly-Si(70 nm)/

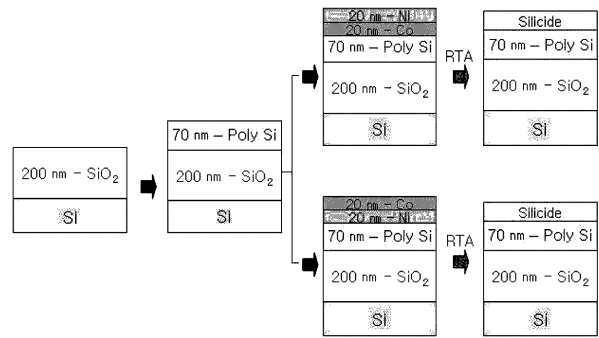


Fig. 1. A Sample structure of Co(20 nm)/Ni(20 nm)/poly-Si(70 nm)/SiO₂(200 nm)/p-Si(100), and NiCoSix/SiO₂(200 nm)/p-Si(100) after RTA silicidation.

SiO₂(200 nm)/p-Si(100), 와 적층순서를 바꾼 Co(20 nm) /Ni(20 nm)/poly-Si(70 nm)/SiO₂ (200 nm)/p-Si(100) 구조의 시편들을 준비하였다.

완성된 시편은 10⁻³ torr의 진공에서 7쌍의 할로젠 램프로 구성된 RTA를 활용하여 40초간 온도를 700, 800, 900, 1000, 1100°C의 5가지 조건에서 처리하여 실리사이드화를 유도하였다. RTA를 사용한 열처리는 승온속도 10초, 유지시간을 40초로 실시할 경우 오버 슈트가 100~150°C 정도 일어났으며 세팅한 온도까지 내려가는데 10초가 소모되었다.

열처리가 끝난 시편은 황산클리닝(30% H₂SO₄, 70°C, 30 min)을 실시하여 잔류금속을 제거하고 난 후, four point probe를 사용하여 열처리전후의 면저항을 측정하였고, Hitachi사의 FE-SEM(field emission scanning electron microscopy)로 수직단면미세구조를 확인하였다. 또한, PSIA사의 SPM(scanning probe microscope, CP Model)를 사용하여 열처리 온도에 따른 각각의 표면조도를 컨택모드로 측정하였다 (이때 scan size 4 μm, scan rate 1 Hz의 조건으로 시행하였다). XRD 분석은 Rigaku GEIGERFLEX D/MAX-IIA 모델을 사용하였고 Cu target을 사용하였다. 또한 Perkin-Elmer, Physical Electronics Inc.사의 Scanning Auger Microprobe System Model660을 이용하여 AES depth profiling을 실시하였다.

3. 실험 결과

RTA 온도에 따른 면저항의 변화를 Fig. 2에 나타내었다. Co/Ni/Si 구조로부터 형성된 실리사이드와는 달리 Co/Ni/poly-Si 기판으로부터 형성된 실리사이드는 처리온도가 RTA 700°C에서는 10 Ω/sq. 이하의 저저항으로 나타났지만 800°C 부터 42 Ω/sq의 고저항으로 나타났다. 900°C 부터는 매우 큰 저항값으로 수 kΩ정도의 고저항으로 변화하여 소자로서 사용할 수 없는 범위였다. 따라서 기존의 같은 금속적층 구조를 가진 무한히 두껍다고

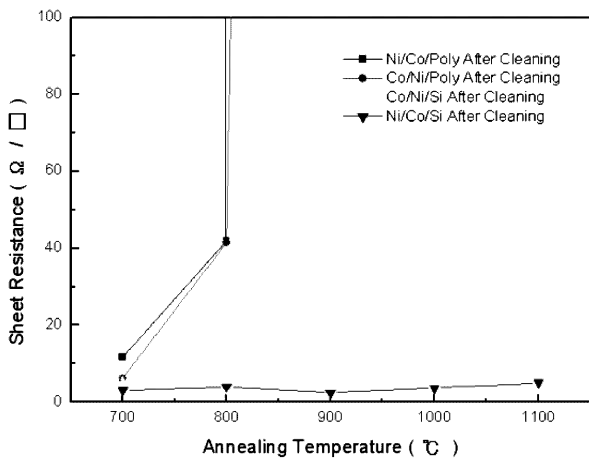


Fig. 2. Sheet resistance of CoNi composite silicides with silicidation temperature.

가정할 수 있는 단결정 실리콘에 증착되어 제조된 실리콘사이드가 적층순서에 관계없이 1100°C까지 열처리 범위에서도 매우 안정함을 보인 결과^{11,12)}와 비교하여, 본 연구에서는 70 nm 정도의 폴리실리콘에서는 800°C부터 고저항을 보이는 특이한 현상이 발견되었다.

저항값이 kΩ으로 증가하는 현상의 원인으로서는 여러

가지 가능성이 있다. 첫째로는 실리콘사이드층의 두께가 극단적으로 얇아지는 경우이다. 그러나 0.2 nm 정도로 얇아지지 않는 한 수 kΩ 정도로 커지기에는 불가능하다. 둘째는 표면에 산화막 절연층이 형성되는 경우이다. 쾌속열처리 공정중 온도 증가에 따른 절연층 물질의 형성(SiO₂ 등)에 의한 가능성이 있을 수 있으나 수 mm torr의 저진공에서 열처리를 진행하였고 유독 800°C 이상에서 자연산화막이 생성되었을 가능성은 매우 희박하다. 셋째는 폴리실리콘 기판 위에서 나노급의 금속층이 반응하여 실리콘사이드화 하는 경우의 혼합과 도치현상으로 표면부에 결합밀도가 높은 고저항 실리콘이 존재하게 되는 경우이다. 니켈이나 코발트는 폴리실리콘의 결정립을 따라 매우 빠르게 확산하여 실리콘사이드 반응물을 만들고 결정립 내부의 미반응 실리콘과 함께 조내하는 혼합(mixing)과 극단적으로 혼합현상이 계속되면 실리콘사이드는 아래에, 미반응 실리콘이 오히려 상부에 위치하는 도치(inversion)이 발생할 수 있다.¹⁴⁾ 본 연구에서는 세 번째가 가장 가능성이 높다고 판단된다.

Fig. 3에는 Ni/Co/poly-Si의 적층구조로부터 완성된 실리콘사이드의 온도별 (a) 700, (b) 800, (c) 900, (d) 1100°C의 각각의 경우의 FE-SEM으로 관찰한 수직단면 이미지를 나타내었다. 처리온도가 증가할수록 형성된 실리콘사이드

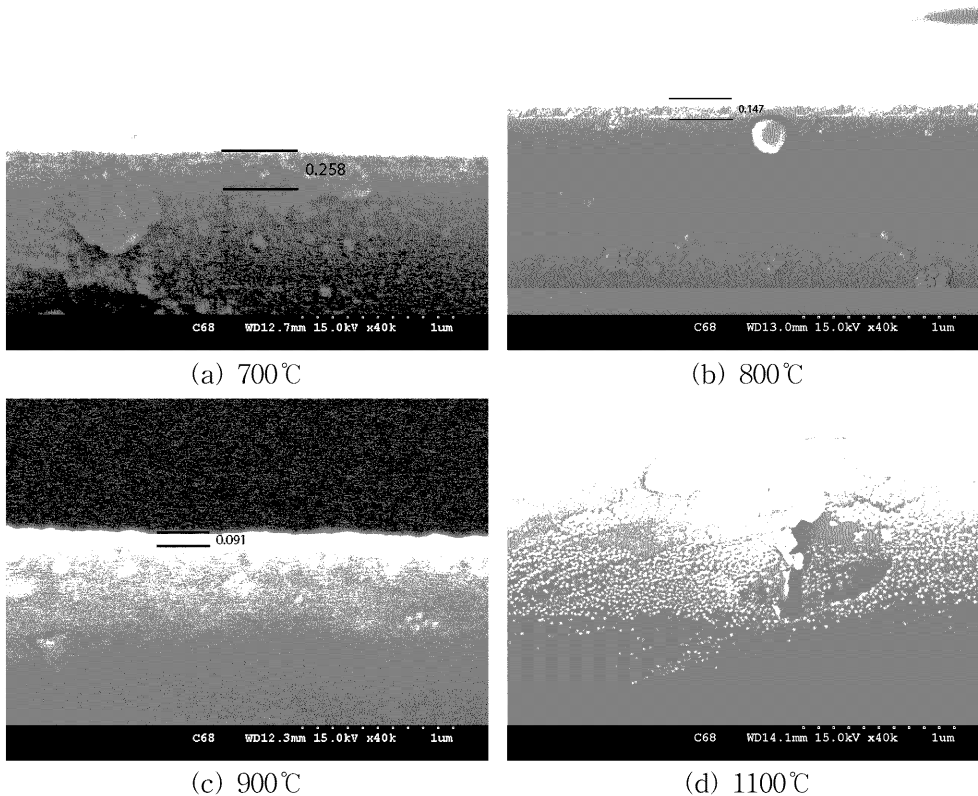


Fig. 3. Cross sectional FE-SEM images of the silicides from Ni/Co/poly silicon structure with silicidation temperature of (a)700 °C, (b)800 °C, (c)900 °C, and (d) 1100°C.

드의 두께가 정성적으로 감소하는 경향이 있었고 특히 1100°C 열처리에서는 기판 상부의 물질을 명확히 확인할 수 없었다. 이때의 온도별 두께는 250, 150, 한편 동일한 방법으로 Co/Ni/poly-Si구조로부터 형성된 실리사이드도 실리사이드화 온도가 올라갈수록 형성된 실리사이드의 두께가 정성적으로 감소하여 1100°C 열처리에서는 기판상부의 물질을 확인할 수 없는 비슷한 모습을 보였다.

이와 같이 실리사이드화 온도가 증가하면서 실리사이드 층이 얇아지는 이유는 틸트되어 표현된 실리사이드층의 표면부에서와 같이 폴리실리콘에 의해 실리사이드 반응 시 결정립을 따라 실리사이드가 형성되고 혼합과 도치에 의한 응집현상(agglomeration)이 발생하게 된다. 더 고온에서 생성된 실리사이드는 과도한 혼합과 도치현상 때문에 상부에 위치한 실리콘과잉상이 황산클리닝 과정에서 제거되어 매우 얇은 실리사이드가 형성되거나, 국부적으로만 혼합상의 실리사이드만 잔류시키게 되어 급격하게 면저항이 증가하고 마치 절연층이 생긴 것처럼 면저항 값이 측정된 것으로 판단된다. 특히 (b)의 표면부에는 많은 요철이 보이고 있는데 이것이 800°C부터 앞서 설명한 혼합현상에 의해 일부만이 실리사이드화 되어 부피팽창에 의해 생긴 요철이라고 추정되었다.

따라서 이러한 응집 현상을 막기 위해서는 금속적층층의 상대 두께비를 작게 하거나 실리사이드화 온도를 800°C 정도로 낮게 유지하는 것이 중요하였다.

실리사이드화 열처리에 따른 표면조도의 변화를 보다 상세하게 알아보기 위해서 Fig. 4에 SPM을 사용하여 Co/Ni/Poly-Si 구조로부터의 시편을 측정된 표면 조도를 나타내었다. 실리사이드화 온도 700°C에서는 RTA 처리전의 금속박막의 조도와 비슷하고, 800°C에서 급격한 표면조도의 변화가 있으며 나머지 900°C 이상에서 다시 표면조도가 낮아지는 현상이 있다. 전기저항의 변화와 실리사이드 두께를 고려하여 판단하면, 700°C에서는 저

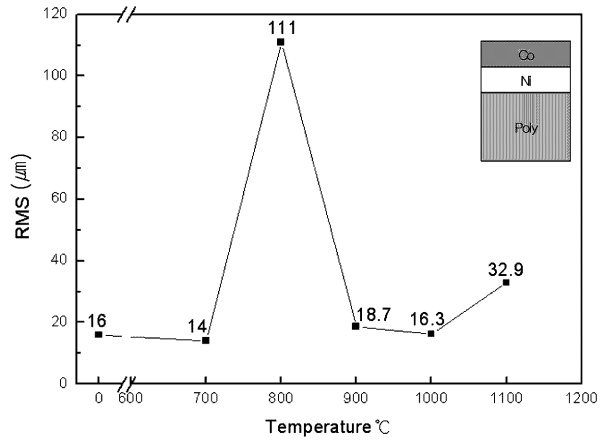


Fig. 4. Surface roughness of silicide from Co/Ni/Poly silicon structure with silicidation temperature.

항 복합실리사이드의 표면조도가 부피변화에도 불구하고 고른 표면을 가지고 생성되었다고 판단되고, 800°C에서부터 과도한 혼합 현상이 발생하여 국부적인 실리사이드가 진행되어 잔류 실리사이드 층의 표면조도가 크게 측정되었다고 판단된다. 이후 900°C부터는 도치현상이 추가되어 여러 균일한 실리콘 과잉상이 상부에 위치하기 시작하면서 표면조도가 작아지는 것으로 판단된다.

따라서 Ni/Co가 나노급 폴리실리콘과 반응하여 복합실리사이드가 생성될 때 800°C부터 전기적 면저항의 증가와 급격한 표면조도의 증가가 확인되었으며, 이를 고려하여 기존의 CMOS공정에서 게이트의 높이가 나노급으로 낮아지는 경우나, 나노급 두께의 배선층을 만드는 경우 가능하면 실리사이드 열처리 공정조건을 700°C 이하로 한정하는 것이 바람직하였다.

Fig. 5에는 평판형 Ni/Co/Si 적층구조와 Ni/Co/poly-Si의 기판만 다른 동일한 적층구조로부터 실리사이드화 온도가 700, 1100°C로 변화시킨 경우 기판과 온도에 따라

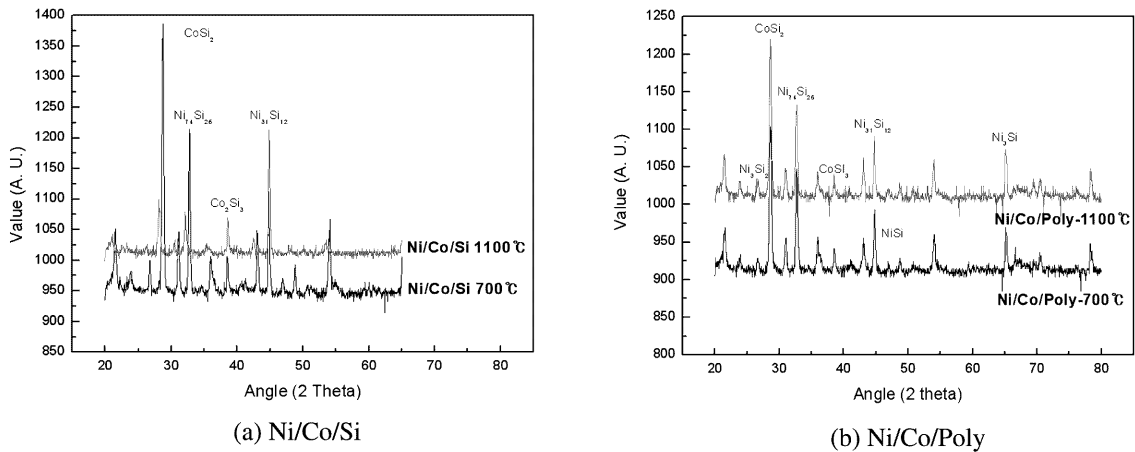


Fig. 5. XRD rocking curves of the silicides from the (a) Ni/Co/Si and (b) Ni/Co/poly-Si structures with silicidation temperature.

생기는 XRD 피크의 변화를 나타내었다. 이 조건의 회절피크는 고저항상인 NiSi_2 의 피크는 56.37° 부근에서 나타나며 NiSi 는 47.37° 부근에서 발견된다. 저저항상인 NiSi 의 main peak는 47.37° 이고 CoSi_2 는 28.83° 와 47.93° 이며, 실리콘의 특성피크는 47.87° 이다.

(a)의 단결정 기관에서 저저항으로 측정된 700°C 의 경우, 저저항상인 CoSi_2 와 NiSi 상이 확인된다. 1100°C 에서도 큰 변화없이 거의 동일한 피크가 형성되어 전체적으로 저저항을 보임을 알 수 있다. 특히 29° 근처의 CoSi_2 는 약간 왼쪽으로 변화하고 있는데 이는 $(\text{CoNi})\text{Si}_2$ 형태로 니켈이 고용되어 저저항을 유지하는 것으로 보인다.

(b)의 폴리실리콘 위에 형성된 복합실리사이드는 단결정의 700°C 에서 생성된 실리사이드와 동일한 상인 CoSi_2 와 NiSi 상이 보이고 이들이 전체적인 실리사이드의 저저항을 만든다고 생각된다. 1100°C 에서는 일단 코발트의 첨가에 의해 고저항상인 NiSi_2 가 없는 특징이 있고 주로 저저항상의 CoSi_2 와 NiSi 상이 있음에도 불구하고 면저항 측정에서 전체적으로 kohm 정도의 고저항을 보이는 것은 이 온도의 복합실리사이드도 저저항 실리사이드이지만 실리콘 도치와 혼합이 일어난 상태로 존재하여 결국 큰 고저항으로 측정되었음을 간접적으로 나타낸다.

Fig. 6에는 완성된 Co/Ni/poly-Si 와 Ni/Co/poly-Si 구조로부터 평판형 실리사이드를 Auger depth profiling통하

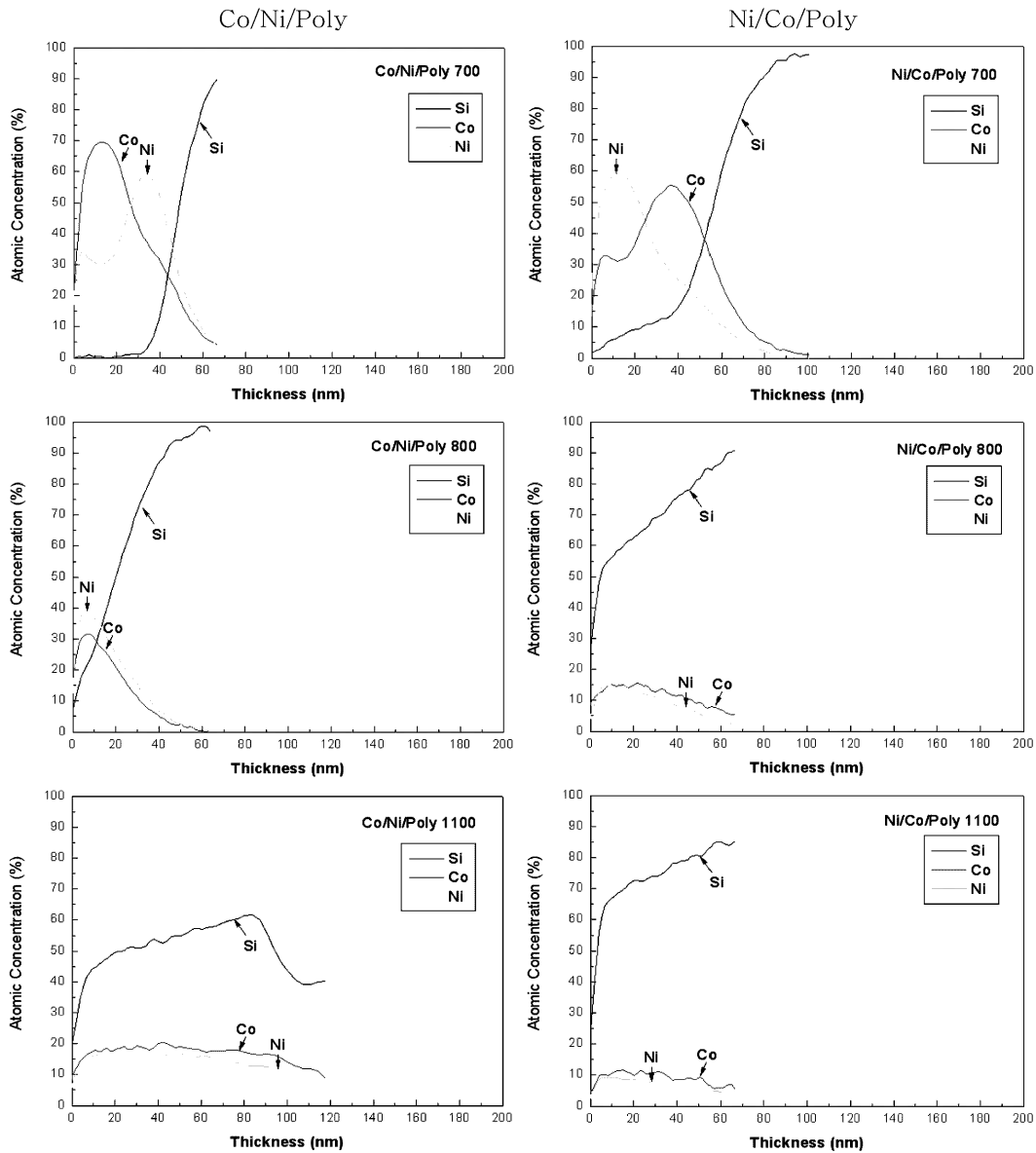


Fig. 6. Auger depth profiling data of the silicides from Co/Ni/Poly-Si and Ni/Co/Poly-Si structures with silicidation temperature of 700, 800, and 1100°C .

여 이 때 Si/Co, Ni 성분의 상대적 비를 확인한 결과이다. 800°C와 1100°C에서는 전기저항 변화에서 알아본 바와 같이 700°C에 비해 매우 얇은 실리사이드층이 존재하고 1100°C의 열처리에는 거의 실리사이드층이 존재하지 않음을 보이고 있다. 이렇게 두께가 변화하는 것은 과도한 용집현상으로 실리사이드층이 클리닝 공정에서 제거되기 때문이라고 판단된다.

Co/Ni/poly-Si 구조는 기존의 단결정과 비슷한 결과를 보였으나 먼저 Ni/Co/poly-Si 구조의 경우 Ni/Co/Si 구조¹³⁾나 Co/Ni/poly-Si 구조와의 경우에서와는 달리 Co가 더 빠른 확산을 보여 중간부에 Co-enriched silicide를 보이는 특성이 있다.

Co/Ni/poly-Si 구조로부터 생성된 실리사이드는 700°C의 저온 실리사이드화에서도 거의 Co/Ni/단결정 Si 구조와 동일한 정도의 두께방향 성분 분포를 보이고 있다. 그림에서 Si이 실리사이드층에서 거의 없는 것은 Si의 정량화 과정 중의 오차라고 판단되고 본 시편이 이미 황산세정을 완료한 것임을 고려하면 실리사이드가 존재하는 것이 실리콘의 스퍼터링 레이트를 고려할 때 확실하다. 실리사이드층의 두께는 약 10 nm 정도로 파악되었으나 앞서 보인 미세구조와 비교하면 큰 오차가 있지만 정성적으로 실리사이드층의 상부에는 Co 과잉 실리사이드가, 하부에는 Ni 과잉 실리사이드가 존재하였다. 800°C가 되면 매우 크게 변화하여 니켈과 코발트의 성분비도 크게 분포하면서 실리사이드가 형성되는데 이는 앞서 설명한 결정립을 따라 먼저 실리사이드가 형성되는 결정립 코어부에는 실리콘이 남는 혼합현상이 발생하고 있음을 의미한다. 1100°C가 되면 코발트, 니켈, 실리콘의 성분이 실리콘이 섞이지는 SiO₂의 강계면까지 비교적 균일하게 실리사이드층을 형성하고 있으며 이는 실리콘층의 표면층까지 실리콘 과잉상이 존재하는 도치현상이 발생하였음을 의미하고 있다.

Ni/Co/Poly-Si 구조로부터 생성된 실리사이드는 700°C의 저온에서는 단결정 기판인 경우 과잉 Ni이 실리사이드층의 하부에 존재하였으나 폴리에서는 다르게 Co-과잉상이 존재하는 것을 보이고 약 120 nm 정도 두께의 실리사이드가 형성되었음을 보이고 있다. 앞서 보인 수직 미세구조의 두께와 약 2배 정도 오차가 나지만 오제이 두께 방향의 분석을 실리콘의 스퍼터링 속도를 기준으로 진행하여 실제 물질별로 정확한 두께를 얻을 수 없으므로 실제로는 약 240 nm 정도의 실리사이드층이 형성되었다고 판단되었다.

800가 되면 앞서 Co/Ni/Poly-Si 구조에서 보다 더욱 빨리 혼합현상이 보이는 것을 알 수 있고 1100°C 고온이 되면 훨씬 표면에 실리콘이 많아지는 것을 알 수 있다. 따라서 Ni/Co/Poly-Si의 고온에서는 혼합과 실리콘의 도치가 두드러진다고 할 수 있었다.

이상과 같은 논의에서 게이트를 상징한 70 nm 높이의 폴리실리콘에 형성된 Co/Ni, Ni/Co 적층구조로부터 생성된 실리사이드는 활성화영역이라 할 수 있는 단결정 기판에서는 1100°C까지 저저항을 유지하면서도 안정적이었으나 폴리실리콘 기판에서는 800°C부터 저항의 증가와 혼합과 실리콘 도치에 의한 상의 변화가 발생하였다.

실리사이드 공정이 단결정 활성화 영역과 폴리실리콘으로 구성된 게이트에서 동시에 진행되는 것을 고려하면 나노급 게이트 높이를 가진 미세소자의 CMOS 공정에서는 특히 적층형 금속으로부터 실리사이드화 시키는 복합구조실리사이드가 단결정부에서는 안정하지만 게이트에서는 접촉저항이 크게 증가할 수 있으므로 실리사이드화 공정온도를 700°C 이내로 한정시키는 것이 필요하였다. 이러한 혼합과 도치현상을 제어하기 위해서는 금속층과 폴리실리콘 게이트 높이의 상대적 조절, 아몰피스 실리콘 게이트의 채용 등을 통해서 개선이 가능하다고 예상되었다.

4. 결 론

나노급 70 nm 높이의 폴리 실리콘위의 Ni/Co(or Co/Ni)구조로부터 코발트-니켈 복합 실리사이드를 제조하여 보았다. 이런 구조로부터 형성된 실리사이드는 800°C부터 고저항으로 급격히 변화하였고, 이 온도부터의 코발트 조도의 급격한 변화, XRD에 의한 상의 변화, 오제이 두께 방향의 성분 변화를 관찰한 결과 단결정과 달리 결정립을 따라 우선 실리사이드가 생기고 기민용 실리콘과 공존하는 혼합현상과 극단적으로 실리사이드층이 표면부에 위치하는 도치현상이 주요원인이었다. 따라서 새로운 복합실리사이드를 나노급 높이를 가진 폴리실리콘 게이트 CMOS공정에 채용할 때, 800°C이상의 고온 실리사이드화 처리를 실시하는 경우는 이러한 혼합과 도치 현상을 고려한 실리사이드 공정개발이 필요함을 알 수 있었다.

감사의 글

본 연구는 한국과학재단의 특정기초연구(과제번호 R01-2004-000-10028-0) 지원에 의해 수행되었습니다. 이에 감사드립니다.

참 고 문 헌

1. J. Y. Dai, Z. R. Guo, S. F. Tee, C. L. Tay, Eddie Er and S. Redkar, Appl. Phys. Lett., **78**(20), 3091 (2001).
2. J. Prokop, C. E. Zybilla and S. Veprek, Thin Solid Films, **359**, 39 (2000).
3. C. Detavernier, R. L. Van Meirhaeghe, F. Cardon, K. Maex, H. Bender and S. Zhu, J. Appl. Phys., **88**(1), 133

- (2000).
4. The International Technology RoadMap For Semiconductor, Front End Process, p. 25, SIA, 2003 Edition (2003).
 5. S. L. Hsia, T. Y. Tan, P. Smith and G. E. Seebauer and D. E. Batchelor, *J. Electrochem. Soc.*, **146**, 4240 (1999).
 6. J. B. Lasky, J. S. Nakos, O. J. Cain and P. J. Geiss, *IEEE Trans. Electron Devices*, **38**(2), 262 (1991).
 7. R. T. Tung, *MRS Symp. Proc.*, **427**, 481 (1996).
 8. M. L. A. Dass, D. B. Fraser and C. S. Wei, *Appl. Phys. Lett.*, **58**(12), 1308 (1991).
 9. S. P. Murarka, *J. Electrochem. Soc.*, **129**, 293 (1982).
 10. S. H. Jeong, "Study on Property and Unit Process of Composite Silicide for Nano-CMOS Devices", Unpublished master's thesis, University of Seoul, Seoul, (2005).
 11. Y. S. Jung, S. H. Cheong and O. S. Song, *Korean Journal of Materials Research*, **14**, 389 (2004).
 12. S. P. Murarka, *J. Electrochem. Soc.*, **129**, 293 (1982).
 13. Beek J. A., Oberndorff P. J. T. L., Kodentsov A. A. and Loo F. J. J., "Interactions in the Co-Ni-Si system at 800°C", *Journal of Alloys and Compounds*, **297**, 137-143, (2000).
 14. E. G. Colgan, J. P. Gambino and B. Cunningham, "Nickel silicide thermal stability on polycrystalline and single crystalline silicon", *Materials Chemistry and Physics*, **46**, 209-214, (1996).