

논문 2006-43SD-12-11

이동도 보상 회로와 공통모드 전압 조절기법을 이용한 선형 CMOS OTA

(Design of a Linear CMOS OTA with Mobility Compensation and
Common-Mode Control Schemes)

김 두 환*, 양 성 현**, 김 기 선*, 조 경 록*

(Doo-Hwan Kim, Sung-Hyun Yang, Ki-Sun Kim, and Kyoung-Rok Cho)

요 약

본 논문에서는 새로운 선형 연산 트랜스컨덕턴스 증폭기(OTA)를 제안한다. OTA의 선형성 향상을 위해 이동도 보상 회로와 공통모드 전압 조절기법을 적용했다. 이동도 보상 회로는 각각 트라이오드와 서브스레쉬홀드 영역에서 동작하는 트랜지스터의 경로를 연결하여 이동도 감소를 보상한다. 공통모드 전압 조절기법은 공통모드 피드백(CMFB)과 공통모드 피드포워드(CMFF)로 구성된다. 제안된 기술은 넓은 입력전압 스윙 범위에서 향상된 G_m 의 선형성을 나타낸다. 제안된 OTA는 $\pm 1.1V$ 의 입력전압 스윙 범위 내에서 $\pm 1\%$ 의 G_m 변화율을 갖고 총고조파 왜곡(THD)은 $-73dB$ 이하이다. 제안된 OTA는 $0.35\mu m$ n-well CMOS 공정에서 공급전압이 $3.3V$ 를 갖도록 설계되었다.

Abstract

This paper describes a new linear operational transconductance amplifier (OTA). To improve the linearity of the OTA, we employ a mobility compensation circuit that combines the transistor paths operating at the triode and subthreshold regions. The common-mode control schemes consist of a common-mode feedback (CMFB) and common-mode feedforward (CMFF). The circuit enhances linearity of the transconductance (G_m) under the wide input voltage swing range. The proposed OTA shows $\pm 1\%$ G_m variation and the total harmonic distortion (THD) of below $-73dB$ under the input voltage swing range of $\pm 1.1V$. The OTA is implemented using a $0.35\mu m$ n-well CMOS process under $3.3V$ supply.

Keywords: OTA, CMFF, CMFB, mobility compensation

I. 서 론

연산 트랜스컨덕턴스 증폭기(OTA)는 입출력을 제외

한 모든 노드가 낮은 임피던스를 갖는 증폭기로 정의된다. 이상적인 OTA는 입출력 임피던스가 무한대이고, 무한대의 대역폭을 갖는 전압조절 전류원이다. 무한대의 출력저항을 갖게 때문에 OTA의 모든 출력 전류 i_{out} 는 OTA 내부가 아닌 외부의 부하 커패시터로 흐른다. OTA의 주요 특성으로는 제한된 선형 입력전압 스윙 범위, 유한한 대역폭(BW), 유한한 신호 대 잡음비(SNR), 유한한 출력 임피던스 등이다. 신호 대 잡음비는 여러 성분 중 OTA의 구조로 인해 결정된다. 출력 임피던스는 캐스코드(cascode) 구조를 사용하면 키울 수 있다. 하지만 출력전압 스윙 범위가 줄어든다. OTA의 가장 중요한 파라미터인 트랜스컨덕턴스 (trans-

* 정회원, 충북대학교 정보통신공학과 컴퓨터정보통신 연구소

(Dept. of Computer and Communication Engineering and Research Institute for Computer and Information Communication, Chungbuk National University)

** 정회원, LG 전자 SIC 회로설계그룹 (SIC CD Group, LG Electronics)

※ 이 논문은 2006년도 교육인적자원부 지방연구중심 대학 육성사업과 산업자원부의 지역혁신 인력양성 사업의 지원에 의하여 연구되었음.

접수일자: 2006년7월31일, 수정완료일: 2006년11월17일

conductance: G_m)는 바이어스에 의해 조정 가능하다. G_m 의 튜닝 범위는 OTA의 입력 트랜지스터가 트라이오드(triode)에서 동작하는 경우는 몇 데케이드(decade) 정도, 포화영역(saturation)에서 동작하는 경우는 2-옥타브(octave) 정도 조절이 가능하다.

G_m -C필터는 고속 동작, 큰 G_m , G_m 에 대한 제어의 편리성과 같은 OTA의 특성 때문에 높은 주파수 대역에서 동작하는 고주파 연속 시간 필터(continuous-time filter)의 구현과 같은 아날로그 회로 설계의 기본 블록으로 사용되고 있다. OTA를 필터에 응용할 때의 가장 큰 난관은 낮은 선형성(linearity)이다. 선형성이 낮다는 것은 회로가 1%(-40dB)이하의 총고조파 왜곡(total harmonic distortion: THD)을 유지할 수 있는 입력전압 스윙 범위가 좁다는 것이다. 즉, OTA의 G_m 은 회로의 입력전압 스윙 범위에 크게 좌우된다는 것이다. 따라서 OTA는 동작 입력전압 스윙 범위에서 높은 선형성을 갖도록 요구된다. 선형성이 높으면 OTA가 동작 입력전압 스윙 범위 내에서 평평한 G_m 그래프를 갖는다^[6-10].

이 논문에서는 선형성을 높이기 위해 이동도 보상 회로와 함께 공통모드 전압 조절기법이 적용된 새로운 OTA가 제안되었다. 제안된 OTA는 넓은 입력전압 스윙 범위를 가지면서도 높은 선형성을 나타낸다. 본 논문은 다음과 같이 구성된다. II장에서는 제안된 OTA 구조와 특성을 설명한다. III장에서는 시뮬레이션 결과의 해석하여, IV장에서 결론을 맺는다.

II. 제안된 OTA

제안된 OTA는 일정한 V_{DS} 전압을 갖는 트라이오드 트랜지스터를 사용한 의사 차동구조의 OTA를 기반으로 선형성을 향상시키기 위한 이동도 보상 회로와 공통모드 전압 보정기법이 적용되었다.

2.1 OTA의 구조

OTA의 구조는 완전 차동구조(fully differential: FD)와 의사 차동구조(pseudo differential: PD)의 두 가지가 있다^[4]. 그림 1(a)는 소스공통 차동쌍을 기반으로 한 말단 전류원(tail current source)이 있는 일반적인 완전 차동구조를 나타낸다. 그림 1(b)는 두 개의 독립적인 인버터를 기반으로 하는 말단 전류원이 없는 의사 차동구조이다. 의사 차동구조는 말단 전류원에서의 전압강하

가 없기 때문에 넓은 입력전압 스윙 범위를 가질 수 있다. 그러므로 의사 차동구조는 완전 차동구조보다 저전압 회로의 구현에 더욱 적합하다. 그러나 의사 차동구조 회로는 공통모드 신호에게는 소스 디제너레이션 역할을 하는 말단 전류원의 출력저항이 없어서 공통모드 전압 증폭률이 커지는 문제가 있다^[3].

G_m -C필터구조에서 OTA와 커패시터로 구성되는 적분기의 높은 공통모드 전압 증폭률은 필터를 불안정하게 만든다. 두 개의 적분기의 피드백 루프로 이뤄지는 공진기에서의 차동모드 신호를 위한 음의 피드백은 공통모드 신호에게는 양의 피드백이 된다. 모든 대역폭에서의 안정된 동작을 유지하기 위해서는 각 적분기의 공통모드 전압 증폭률이 반드시 0dB이하가 되어야 한다. 그러므로 의사 차동구조의 OTA에서 공통모드 전압 조절기법은 반드시 공통모드 전압 증폭률을 줄일 수 있어야 한다^[3, 11, 14].

2.2 Pseudo-differential self-regulated OTA

그림 2는 일정한 V_{DS} 전압을 갖는 트라이오드 입력 트랜지스터에 기반을 둔 의사 차동구조 OTA이다^[9, 10]. 트랜지스터 M1과 M2가 트라이오드 영역에서 동작하는 입력 트랜지스터이다. 가장 기본적인 트랜지스터의 트라이오드 전류식을 살펴보면 식 (1)과 같다.

$$i_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left[(V_{GS} - V_{THN}) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (1)$$

트랜지스터 M3, M4와 증폭기 A는 RGC(regulated gain control) 루프를 구성한다. 이 RGC 구조가 입력 전압레벨을 위해 M1과 M2의 드레인 전압을 V_{Tune} 전압으로 고정시켜서 일정한 V_{DS} 값을 갖도록 한다. 식 (1)에서 V_{DS} 전압이 일정하고 차동구조를 사용했으므로 2차 고조파 짝수 차 성분을 제거할 수 있기 때문에 일정한 V_{DS} 를 갖는 구조의 OTA는 선형적인 G_m 을 갖는다. G_m 은 i_D/V_{GS} 로 식 (2)과 같이 정의할 수 있다.

$$G_m = \beta \cdot V_{DS} = \mu_n C_{ox} \left(\frac{W}{L} \right) V_{Tune} \quad (2)$$

식 (2)를 통하여 G_m 값이 V_{DS} 에 비례하는 것을 알 수 있다. 또한 바이어스 전류도 트라이오드 영역의 전류이므로 V_{DS} 가 작으면 근사적으로 V_{DS} 에 비례한다. V_{Tune} 은 OTA의 G_m 을 조절하는 조정전압으로 사용된다.

M1, M2 입력 트랜지스터를 트라이오드영역에서만

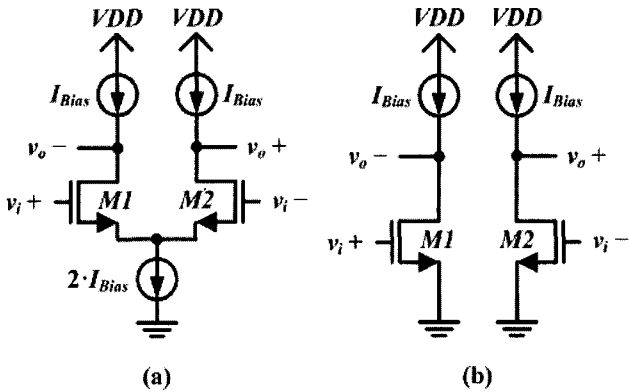


그림 1. OTA의 구조 (a) 완전 차동구조 (b) 의사 차동구조
 Fig. 1. OTA structures; (a) fully differential structure, (b) pseudo-differential structure.

동작시키기 위해 V_{DS} 는 반드시 충분히 작아야 한다. 트라이오드영역의 입력 트랜지스터를 사용하는 회로는 포화 영역에서 동작하는 회로보다는 작은 G_m 값을 갖기 때문에 이 회로는 낮은 G_m 을 갖는다. 또한 입력 공통 모드 전압레벨이 일정한 i_D 를 유지하기 위해 일정해야 한다. 그리고 V_{DS} 는 V_{Tune} 값과 같도록 조절되어야 한다. RGC 루프 구성을 위한 M3, M4와 두 개의 증폭기 A는 출력에 많은 잡음영향을 줄 수 있다.

증폭기 A는 단일출력 차동증폭기와 레벨 쉬프트로 구성된다^[2, 12]. 증폭기 A의 증폭률은 OTA 전체의 증폭률을 증대(gain enhancement)효과를 위하여 차단주파수에서 20dB (=10V/V) 이상이 되어야 한다. 고주파에서의 높은 선형성을 위해서는 RGC 루프의 대역폭을 최대화 하는 것이 가장 중요하다.

단채널 소자에서 유효 전자 이동도(μ_{eff})는 수평 및 수직 전계의 복합적인 함수이다. 단채널 효과는 OTA의 선형성을 감소시킨다. RGC 루프는 V_{DS} 의 변동을 줄여 수평전계 영향으로 인한 선형성 감소를 줄여준다.

2.3 선형화 기법

선형성을 향상하기 위한 3 가지 방법은 신호의 감쇄, 소스 디제너레이션 (source degeneration), 비선형 성분의 상쇄이다^[4]. 이러한 기법들은 OTA의 G_m 을 감소시키는 대신에 OTA의 전체적인 성능을 향상시킨다. 특히 추가적인 노드들이 많이 생성될 경우는 OTA의 대역폭도 제한을 받는다.

가장 기본적인 선형화 기법은 입력 신호의 k만큼의 감쇄이다. 입력전압 스윙 범위를 선형화를 위하여 좁히는 것이다. 이 선형화 기법에서는 OTA는 감쇄된 입력 신호를 처리한다. 감쇄된 입력으로 인해 전체 OTA의

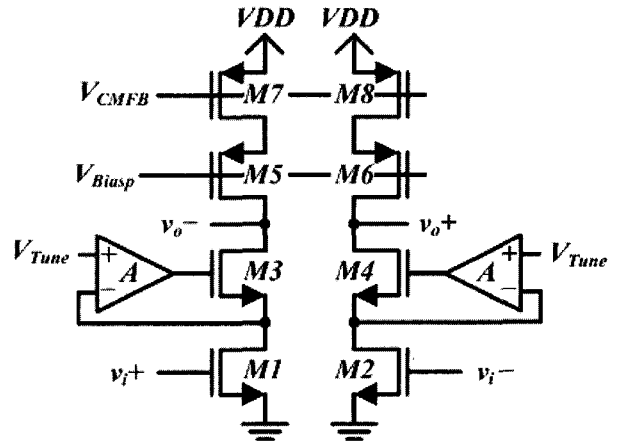


그림 2. 의사 차동구조의 자체조정 OTA
 Fig. 2. Pseudo-differential self-regulated OTA.

G_m 크기도 줄어들기 때문에 필요한 G_m 값을 유지하기 위해서는 트랜지스터 크기의 k만큼의 증가가 필요하다. 하지만 이러한 트랜지스터 크기 증가는 전력과 칩면적 모두의 증가라는 단점을 수반한다. 감쇄 기법은 감쇄기의 잡음영향을 무시해도 입력의 열잡음이 k의 제곱근만큼 증가하는 단점도 갖는다.

다음으로 가장 자주 사용되는 소스 디제너레이션 기법이 있다. 소스 디제너레이션 계수 N은 G_m 과 소스 디제너레이션 저항 R의 곱이다. 이 기법은 OTA의 3차 고조파 왜곡(third harmonic distortion: HD3)을 $1/(1+N)^2$ 만큼 감소시킨다. 그래서 선형 입력전압 스윙 범위가 (1+N)만큼 넓어진다. N의 증가는 포화영역 전압의 제한이 있어도 고조파 분포를 감소시킬 수 있어서 이 기법의 응용을 더욱 자유롭게 해준다. 단, 잡음 성분은 기본 OTA보다 약간 증가한다. 소스 디제너레이션 기법도 OTA의 G_m 을 $1/(1+N)$ 만큼 감소시킨다. 그러므로 원래의 G_m 크기를 유지하려면 감쇄기법과 같은 보상이 필요하고 보상을 할 경우 동일한 단점을 갖는다.

가장 진보된 기법은 비선형 성분의 상쇄 기법이다. OTA의 몇 개의 다른 G_m 의 대수적 합을 통하여 비선형 성분을 최소화 시키고 이상적으로는 선형 성분만을 남기는 기법이다. 비선형 성분 상쇄 기법이 적용된 OTA의 정상동작을 위해서 입력신호의 DC 바이어스 전압을 최적화할 필요가 있다. 본 논문에서 제안된 OTA는 비선형 성분의 상쇄 기법을 기반으로 선형성을 향상시킨다^[14].

2.4 이동도 보상 회로

OTA의 비선형성의 주요 성분인 홀수차 고조파는 대

부분 단채널 효과(short channel effect)에 의한 이동도 감소(mobility degeneration)의 영향으로 나타난다^[1, 13].

그림 2의 OTA는 일정한 V_{DS} 를 갖기 때문에 수평전계 변동의 영향은 극복할 수 있다. 그러나 게이트 전압에 의한 수직전계도 전자의 속도에 영향을 미친다. 수직전계의 영향을 물리적으로 살펴보면 다음과 같다. 큰 V_{GS} 전압이 인가되면, 높은 전계가 게이트와 채널 사이에 인가되어 채널의 전하를 산화물과 실리콘의 경계에 가깝게 만든다. 그러면 채널 경계의 울퉁불퉁한 표면에 의한 충돌 증가와 더 많아진 산란으로 인한 충돌 증가 때문에 전자 이동도가 낮아진다. 이러한 현상은 소스부터 드레인사이의 채널의 수직 전계를 게이트 채널 전압에 의존하게 만든다. 수직전계가 전자 이동도에 미치는 영향을 유효 전자 이동도(μ_{eff})를 통하여 수식 (3)과 같이 나타낼 수 있다.

$$\mu_{eff} = \frac{\mu_0}{1 + \theta(V_{GS} - V_{THN})} \quad (3)$$

μ_0 는 수직전계가 없을 때의 이동도이고, θ 는 이동도 감소 계수로서 oxide의 두께(t_{ox})에 반비례하고 약 $(10^{-7}/t_{ox}) V^{-1}$ 정도의 값을 갖는다. 예를 들면 $t_{ox} = 100\text{\AA}$ 일 때 $\theta \approx 1V^{-1}$ 이고, 이동도는 overdrive 전압이 100mV를 지남에 따라 감소하기 시작한다. 산화막 두께 t_{ox} 가 얇아짐에 따라 산화막 사이에 발생하는 전계는 커지기 때문에 θ 는 상승한다. 실제로는 θ 는 실측된 소자의 특성에 최적화 되어 결정된다. 즉, 수식 (3)은 입력 트랜지스터의 V_{GS} 의 상승에 따른 이동도의 감소를 나타낸다.

이에 따라 전류량과 트랜지스터의 G_m 은 낮아지고, 이동도가 감소하면서 I/V 특성은 홀수차의 고조파 성분까지 포함한다. 따라서 트라이오드 전류식을 식 (4)와 같이 나타낼 수 있다.

$$I_D \approx \frac{1}{2} \frac{\mu_0 C_{ox}}{1 + \theta(V_{GS} - V_{THN})} \frac{W}{L} (V_{GS} - V_{THN})^2 \quad (4)$$

여기서 $\theta(V_{GS} - V_{THN}) \ll 1$ 라고 가정하면, 식 (5)를 얻을 수 있다.

$$\begin{aligned} I_D &\approx \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} [1 - \theta(V_{GS} - V_{THN})] (V_{GS} - V_{THN})^2 \\ &\approx \frac{1}{2} \mu_0 C_{ox} \frac{W}{L} [(V_{GS} - V_{THN})^2 - \theta(V_{GS} - V_{THN})^3] \end{aligned} \quad (5)$$

이것은 대략적인 근사화이지만 드레인 전류에서의 높은 고조파 성분의 존재를 알 수 있다. 수직 전계에 따

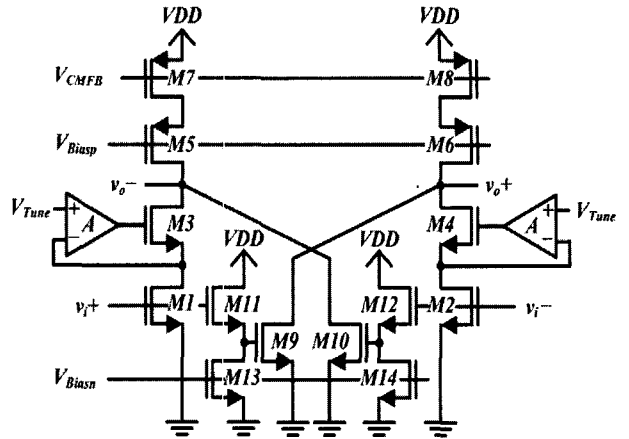


그림 3. 이동도 보상 회로를 적용한 의사 차동구조의 자체조정 OTA

Fig. 3. Pseudo-differential self-regulated OTA with mobility compensation circuits.

른 전자 이동도 감소는 I/V 특성을 바꾸므로 OTA의 G_m 도 변한다.

그림 3은 이동도 보상(mobility compensation: MC) 회로를 갖는 일정한 V_{DS} 전압을 갖는 트라이오드 입력 트랜지스터에 기반을 둔 의사 차동구조 OTA이다. 이에 따라 이동도 감소에 영향을 미치는 채널의 수직전계 및 수평전계의 영향을 모두 상쇄할 수 있어 선형성이 향상된다. 이동도 감소 효과로 인한 비선형 성분의 상쇄를 위해 서브스레쉬홀드 영역 동작 트랜지스터 M9와 M10을 추가했다. 그리고 트랜지스터 M11-M14로 구성되는 레벨 쉬프트를 통하여 M9와 M10을 서브스레쉬홀드 영역에서 동작하도록 DC 바이어스 전압을 준다. 트라이오드와 서브스레쉬홀드 영역의 G_m 의 3차 고조파 성분이 서로 반대의 부호를 갖기 때문에 이 두 개의 G_m 을 병렬연결을 통해 대수적으로 합하여 G_m 의 비선형성을 상쇄시킨다. 그래서 최적화된 사이징을 통하여 3차 고조파 성분의 크기를 같게 하여 서로 완전히 상쇄되도록 설계한다. 따라서 OTA의 전체 G_m 에는 선형 성분만 남아서 선형성이 크게 향상된다. 또한, 제안된 OTA의 입력전압 스윙 범위는 그림 2의 OTA와 동일하다.

2.5 공통모드 전압 조절기법

일반적으로 완전 차동구조(FD)는 단일출력구조보다 큰 동작범위(dynamic range)를 갖는다. 이것은 큰 공통모드 잡음 제거율(common-mode rejection ratio: CMRR), 짝수차 고조파 왜곡(even-order harmonic distortion) 상쇄, 출력전압 스윙 범위 증대 등의 차동구조 자체의 특성 때문이다^[2-10].

그러나 완전 차동구조는 회로의 정상 동작을 위해 출력 공통모드 성분의 증폭률을 억제하기 위한 CMFB 회로를 추가적으로 필요로 하는 단점이 있다. CMFB 회로가 다음의 두 가지 이유 때문에 필요하다. 첫째로 음의 차동 피드백으로 안정화할 수 없는 차동출력의 공통모드 전압을 조절하기 위해 필요하다. 이러한 조절은 일반적으로 차동전압 증폭률과 출력전압 스윙 범위를 최대로 할 수 있는 기준전압(V_{ref})을 설정하는 것으로 보장된다. 둘째로 공통모드 성분을 억제하기 위해 필요하다. 음의 공통모드 피드백을 통해 다른 상태를 포화시켜 같은 상태로 만드는 것으로 공통모드 성분을 억제할 수 있다. 변동하는 공통모드 성분의 가장 큰 원인은 불안정한 전원이다.

일반적으로 출력 공통모드 전압(V_{OCM})은 추가적인 공통모드 전압 검출기를 통해서 탐지한다. 그리고 기준전압(V_{ref})과 비교하여 오차를 수정하는 신호를 통하여 OTA의 바이어싱 회로를 조절한다.

의사 차동구조(PD)는 말단 전류원을 제거했기 때문에 공통모드 전압 증폭률이 더욱 커지게 되어, CMFB를 사용하더라도 OTA 출력 공통모드 전압 변동을 완전히 억제할 수 없다. 따라서 입력에서 오는 공통모드 성분의 변동도 제거할 수 있는 회로가 필요하다. 이러한 역할을 하는 회로가 CMFF 회로이다. CMFF 회로는 입력 공통모드 전압(V_{ICM})을 추출한다. 그리고 출력으로 반영된 입력 공통모드 전류 성분의 상쇄를 위해 입력 공통모드 전압을 전류로 변환하여 OTA 차동출력에 각각 더해준다. 또한 CMFF는 고주파에서의 공통모드 전압 증폭률을 감소시킬 수 있다. CMFF는 OTA의 안정성에 문제를 일으키지 않지만 동시에 출력의 DC 전압도 안정화에도 기여를 하지 않는다.

그림 4(a)는 일반적인 저항으로 출력 공통모드 전압(V_{CM})을 검출하는 CMFB 방식을 나타낸다^[1, 6, 9, 13]. 이 구조는 OTA 출력전압 스윙 범위에서의 오차 영향을 줄여준다. 그러나 공통모드 전압 검출을 위하여 큰 저항을 필요로 하기 때문에 많은 면적을 차지하게 된다.

그림 4(b)는 차동 전압차 증폭기(DDA) CMFB이다. 이 CMFB는 CM 검출기와 $V-I$ 변환기로 구성된다. 트랜지스터 MB3, MB4, MB3'와 MB4'는 각각 OTA의 출력과 공통모드 기준전압(V_{ref})로 구동된다. 이 회로는 출력 공통모드 전압과 V_{ref} 를 비교하고, 전압차를 전류로 변환한다. 변환된 전류는 트랜지스터 MB5, MB6, MB5'와 MB6'로 구성된 전류미러를 통하여 트랜지스터 MF9와 MF10으로 흐른다. 트랜지스터 MB1, MB2,

MB1'와 MB2'의 게이트는 VDD에 연결되어 이 소자들을 트라이오드 영역에서 동작하게 한다. 이 트랜지스터들은 저항의 역할을 하여 소스 디제너레이션 구성을 만들어 CMFB의 선형성을 향상시킨다. 단, 두 개의 트랜지스터가 출력에 추가로 연결되기 때문에 OTA 출력에 추가적인 부하를 준다.

그림 4(c)의 CMFF 회로는 공통모드 전압을 찾기 위하여 별도의 G_m 을 사용한다^[2, 14]. 즉, OTA의 한쪽 부분과 같은 회로를 사용한다. MF7과 MF7' 각각의 W 가

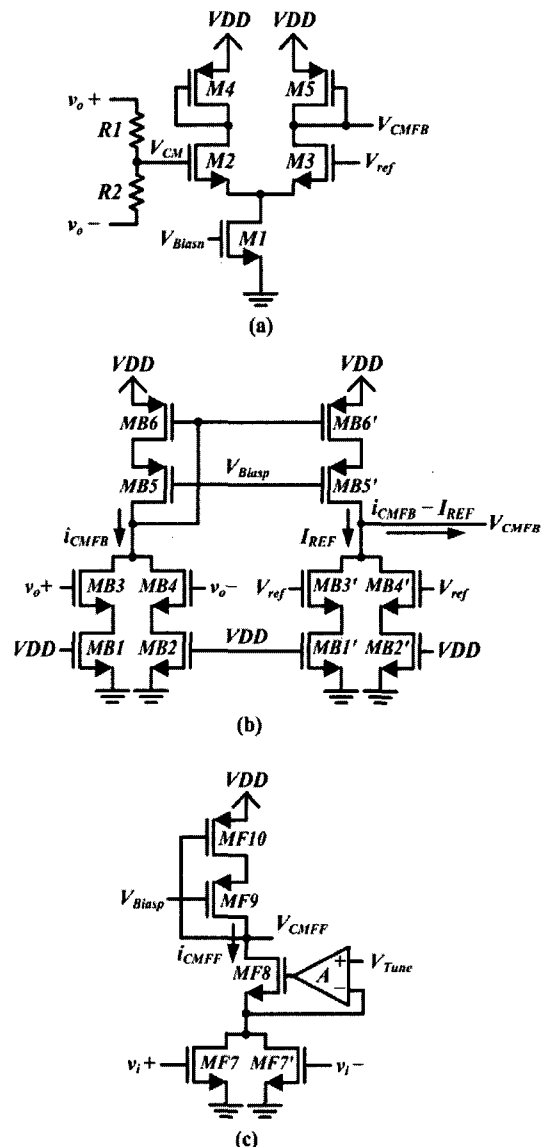


그림 4. 공통모드 전압 조절 기법 (a) 저항으로 출력 공통모드 전압을 검출하는 CMFB 회로 (b) 차동 전압차 증폭기를 기반으로 한 CMFB 회로 (c) CMFF 회로

Fig. 4. Common-mode control circuits; (a) resistor-averaged CMFB, (b) differential difference amplifier CMFB, (c) CMFF.

그림 3의 M1 W의 반인 것을 제외하면 OTA의 한쪽 경로와 동일하다는 것을 알 있다. MF7과 MF7'는 OTA의 입력과 연결되어 입력 공통모드 신호의 상쇄를 돕는다. 입력과 출력 공통모드 신호에서 발생된 두 개의 보상전류가 트랜지스터의 M7, M8로 들어가서 OTA의 공통모드 신호를 조절한다.

향상된 공통모드 전압의 조절 기법에는 그림 4(b) CMFB와 그림 4(c) CMFF를 포함한다. 이 기법으로 그림 3의 OTA의 공통모드 전압을 조절한다.

공통모드 전압 조절회로는 다음에 유의하여 설계해야 한다. 조절회로는 공통모드 신호에 있어서는 매우 낮은 임피던스를 가져야 하고 차동모드 신호에 대해서는 반대의 특성을 가져야 한다. 또한 CMFB 루프는 잠재적인 안정성 문제가 발생할 수 있는 가능성을 포함하므로 주의 깊은 설계가 필요하다. 이러한 설계를 하려면 종종 설계의 복잡도, 전력소모, 칩 면적이 증가하게 된다. 또한 조절회로에서 발생하는 추가적인 기생 성분은 차동경로의 주파수 응답은 악화시킨다. 특히 공통모드와 차동모드 성분사이의 상호작용을 최소화해야 하므로, 공통모드와 차동모드 루프의 속도와 정확성을 비슷하게 설계해서 어느 한 쪽이 다른 쪽에 제약을 가하지 않도록 한다.

III. 실험결과

제안된 회로는 3.3V의 전원을 갖는 0.35 μ m n-well CMOS 공정에서 설계되었고 IDEC의 지원을 통하여 Hspice를 사용해서 시뮬레이션 되었다. 그림 5는 제안된 OTA의 개방 루프 주파수 해석 결과이다. 이 회로의 개방 루프 DC 증폭률은 30dB이다. 단위 이득 주파수 (unit-gain frequency: f_u)는 97MHz이고 이때의 위상 여유(phase margin: PM)는 88°이다.

그림 6은 제안된 회로의 선형성이 개선된 I/V 그래프이다. 그림 3의 제안된 OTA의 M1, M2에 의한 트라이오드 전류와 M9, M10에 의한 서브스레쉬홀드 전류를 대수적으로 더하여 제안된 OTA의 전류 그래프와 같이 평평하게 만들었다. 특히 차동모드 입력전압 스윙 범위가 $\pm 1.1V$ 인 영역에서의 트라이오드 전류 기울기의 변동을 서브스레쉬홀드 전류 기울기로 빼서 제안된 OTA 전류 기울기와 같이 평평하게 만드는 것이다.

그림 7은 제안된 OTA의 G_m 의 시뮬레이션 결과이다. 차동모드 입력전압 스윙 범위는 CMFB를 통하여 조절된다. CMFF는 작은 입력전압 차에서 G_m 변동을

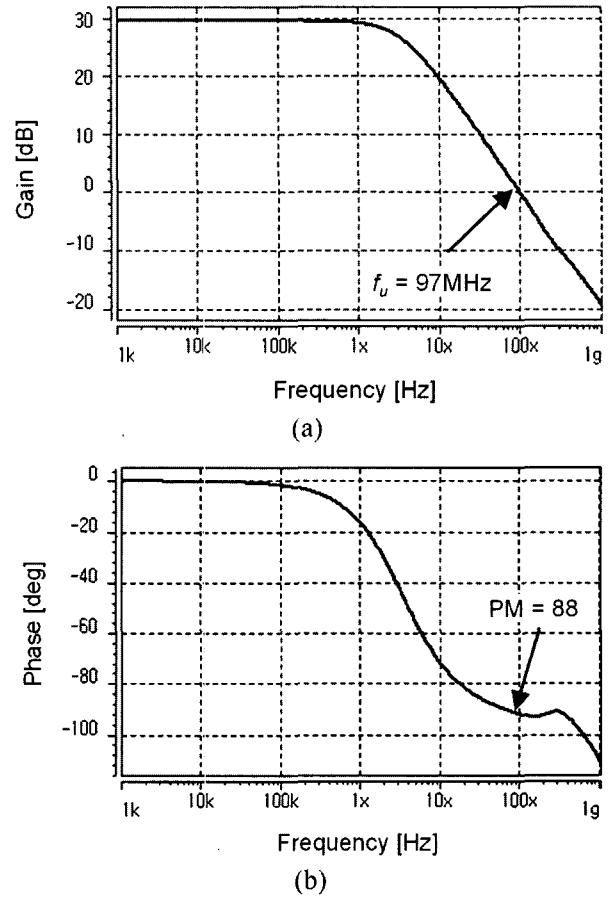


그림 5. 제안된 OTA의 주파수 해석 (a) 증폭률 (b) 위상
Fig. 5. Open-loop frequency response of the proposed OTA; (a) gain, (b) phase.

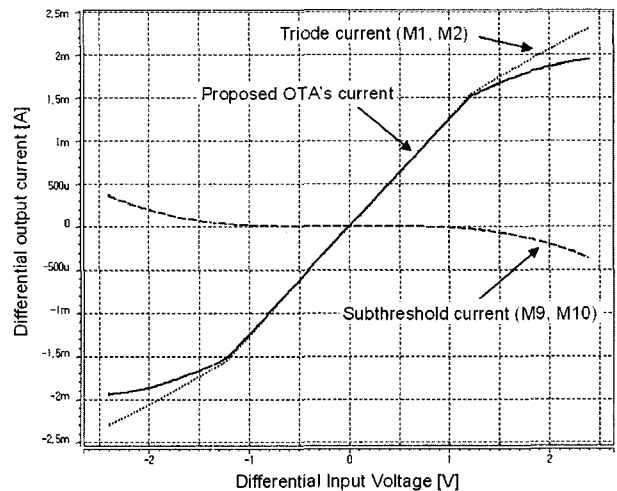


그림 6. 제안된 OTA의 선형화된 I/V 그래프
Fig. 6. Linearized I/V curves of the proposed OTA.

줄여준다. 그림 7을 보면 트라이오드 영역의 G_m 은 양의 부호를 갖고, 서브스레쉬홀드 영역의 G_m 은 음의 부호를 갖는 것을 알 수 있다. 제안된 OTA는 두 G_m 의 병렬연결을 통하여 더 넓은 범위에서 높은 선형성을 갖

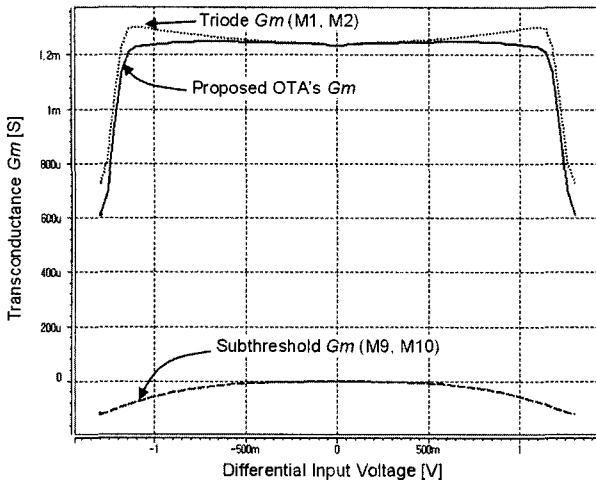


그림 7. 제안된 OTA의 트랜스컨덕턴스(G_m) 시뮬레이션 결과

Fig. 7. The transconductance (G_m) of the proposed OTA.

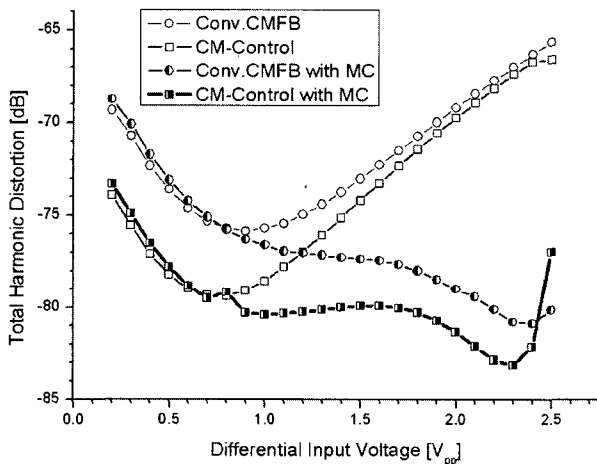


그림 8. 4가지 종류의 OTA의 총 고조파 왜곡(THD)의 비교

Fig. 8. Comparison of THDs for the four OTAs.

는 G_m 특성을 얻는다. 제안된 OTA의 G_m 은 $\pm 1.1V$ 의 범위에서 $1.24mS$ 를 갖고 $\pm 1\%$ 이하의 G_m 변동률을 갖는다. 제안된 이동도 보상 회로가 적용된 OTA는 1% 이하의 G_m 감쇄를 보인다. 또한, 약 40% 정도 향상된 입력전압 스윙 범위를 갖는다.

그림 8은 $100kHz$ sine 차동모드 입력전압에 대한 네 가지 종류의 OTA의 THD의 비교를 보여준다. 네 가지 종류의 OTA의 차동출력 전류에 대한 FFT해석을 통하여 THD를 계산했다. 계산된 THD는 $100kHz$ 부터 $900kHz$ 까지의 9차 고조파 성분까지 포함한다. 첫 번째 그래프는 일반적인 CMFB(conv. CMFB)만 사용한 OTA이고, 두 번째 그래프는 공통모드 전압 조절기법(CM-control)만이 적용된 회로이다. 세 번째는 일반적

인 CMFB와 이동도 보상 회로가 적용된 회로이고, 네 번째는 제안된 공통모드 전압 조절기법과 이동도 보상 회로가 적용된 회로이다. 첫 번째와 두 번째 또는 세 번째와 네 번째 그래프를 비교해 보면 공통모드 전압 조절기법을 적용한 회로가 $1V_{PP}$ 이하의 차동모드 입력전압 스윙 범위에서 더 낮은 THD 값을 갖는 것을 보여준다. 첫 번째와 세 번째 또는 두 번째와 네 번째 그래프를 비교해보면 이동도 보상 회로를 적용한 회로가 $1V_{PP}$ 이상의 범위에서 더 낮은 THD 값을 갖는 것을 알 수 있다. 제안된 OTA는 CM-control과 MC가 적용된 네 번째 그래프로 $2.2V_{PP}$ 의 선형 차동모드 입력전압 스윙 범위에서 $-73dB$ 이하의 THD를 갖는 가장 좋은 특성을 보여준다.

IV. 결 론

향상된 G_m 선형성과 입력전압 스윙 범위를 위하여 공통모드 전압 조절기법과 함께 이동도 보상 회로를 적용한 새로운 OTA가 제안되었다. 트라이오드와 서브스레쉬홀드 영역에서 동작하는 트랜지스터의 병렬 조합으로 이동도 감소를 보상했고, CMFB와 CMFF를 포함한 공통모드 전압 조절기법을 사용했다. 제안된 OTA는 큰 차동 입력전압 스윙 범위에서의 향상된 선형성을 보인다. 제안된 OTA는 $\pm 1\%$ 의 G_m 변동률을 갖고, $\pm 1.1V$ 의 차동모드 입력전압 스윙 범위에서 $-73dB$ 이하의 THD를 갖는다. 제안된 회로는 $3.3V$ 의 전원을 갖는 $0.35\mu m$ n-well CMOS 공정에서 구현되었다.

참 고 문 헌

- [1] S.H. Yang, K.H. Kim, Y.H. Kim, Y.G. You, and K.R. Cho, "A novel CMOS operational transconductance amplifier based on a mobility compensation technique," *IEEE Trans. Circuits Syst. II, Analog Dig. Signal Processing*, vol. 52, no. 1, pp.37-42, Jan. 2005.
- [2] C. Mingdeng, J. Silva-Martinez, S. Rokhsaz, M. Robinson, "A 2-V/sub pp/ 80-200-MHz fourth-order continuous-time linear phase filter with automatic frequency tuning," *IEEE J. Solid-State Circuits*, vol.38, no. 10, pp. 1745-1749, Oct. 2003.
- [3] A.N. Mohieldin, E. Sanchez-Sinencio, J. Silva-Martinez, "A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode

- feedback detector," *IEEE J. Solid-State Circuits*, vol. 38, no. 4, pp.663-668, April 2003.
- [4] E. Sanchez-Sinencio, J. Silva-Martinez, "CMOS transconductance amplifiers, architectures and active filters: a tutorial," in *Proc. Circuits, Devices and System*, pp. 3-12, 2000.
- [5] F. Rezzi, A. Baschirotto, R. Castello, "A 3V pseudo-differential transconductor with intrinsic rejection of the common-mode input signal," in *Proc. MWSCAS-1994*, pp. 85-88, 1994.
- [6] R. Jacob Baker, *CMOS circuit design, layout, and simulation*, IEEE Press, 2005.
- [7] R. Jacob Baker, *CMOS mixed-signal circuit design*, IEEE Press, 2002.
- [8] B. Razavi, *Design of analog CMOS integrated circuits*, McGraw-Hill, 2001.
- [9] D. Johns, K. Martin, *Analog integrated circuit design*, Wiley, 1997
- [10] R. Gray, J. Hurst, H. Lewis, and G. Meyer, *Analysis and design of analog integrated circuits*, Wiley, 2001.
- [11] A.N. Mohieldin, E. Sanchez-Sinencio, J. Silva-Martinez, "Nonlinear effect in pseudo differential OTAs with CMFB," *IEEE Trans. Circuits Syst. II, analog Dig. Signal Processing*, vol. 50, no. 10, pp. 762-770, Oct. 2003.
- [12] C. Mingdeng, A.N. Mohieldin, J. Silva-Martinez, "Linearized OTAs for high-frequency continuous-time filters: a comparative study," in *Proc. MWSCAS-2002*, pp. 149-152, 2002.
- [13] S.H. Yang, K.H. Kim, C.K. Cheong, and K.R. Cho, "Design of a new linear OTA with a mobility compensation technique [Bessel filter application]," in *Proc. SSMSD 2003*, pp. 99-103, 2003.
- [14] S. Szczepanski, S. Koziel, E. Sanchez-Sinencio, "Linearized CMOS OTA using active-error feedforward technique," in *Proc. ISCAS 2004*, pp. 549-552, 2004.
- [15] J. Silva-Martinez, J. Adut, J.M. Rocha-Perez, M. Robinson, and S. Rokhsaz, "A 60-mW 200-MHz continuous-time seventh-order linear phase filter with on-chip automatic tuning system," *IEEE J. Solid-State Circuits*, vol. 38, no. 2, pp. 216-225, Feb. 2003.

 저 자 소 개



김 두 환(학생회원)
2003년 충북대학교
정보통신공학과 공학사.
2003년 3월~현재 충북대학교
정보통신공학과 공학석사.
2005년 3월 ~현재 충북대학교
정보통신공학과 박사과정.

<주관심분야 : LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>



김 기 선(학생회원)
2005년 충북대학교
전자공학과 공학사.
2005년 3월 ~현재 충북대학교
정보통신공학과 석사과정.
<주관심분야 : RFID, LVDS I/O 회로, 아날로그 필터 설계, OLED 드라이버 설계.>



양 성 현(정회원)
1999년 충북대학교
정보통신공학과 공학사.
2001년 충북대학교
정보통신공학과 공학석사.
2004년 충북대학교
정보통신공학과 공학박사.

2004년~현재 LG 전자 SIC CD Group
<주관심분야 : CMOS 이미지 센서, Continuous Time Filter, LVDS I/O 회로.>



조 경 록(정회원)
1977년 경북대학교 전자공학과
공학사.
1989년 일본 동경대학교
전자공학과 공학석사.
1992년 일본 동경대학교
전자공학과 공학박사.

1979년~1986년 (주)금성사 TV연구소
선임연구원.
1999년~2000년 Oregon State University
객원교수.
1992년~2006년 현재 충북대학교 전기전자공학부
교수.
<주관심분야 : 통신시스템LSI설계, 저전력고속회로설계, Platform 기반의 SoC 설계.>