

논문 2006-43SD-12-10

전류보상 기법을 이용한 낮은 위상 잡음 위상고정루프

(A Low Phase Noise Phase Locked Loop with Current Compensating Scheme)

송 윤 귀* , 최 영 식* , 류 지 구*

(Youn-Gui Song, Young-Shig Choi, and Ji-Goo Ryu)

요 약

본 논문에서는 위상 잡음 특성을 향상시킬 수 있는 전류보상 기법을 이용한 새로운 위상고정루프를 제안하였다. 제안된 위상고정루프는 주 전하펌프(MCP; Main Charge Pump)와 보조 전하펌프(SCP; Sub Charge Pump)로 명명된 두 개의 전하펌프를 사용한다. 보조 전하펌프는 주 전하펌프 보다 작은 양의 전류를 반대방향으로 루프필터에 공급하여 루프필터의 전압 흔들림을 억제하였다. 이러한 전류보상 기법은 위상고정루프의 위상 잡음을 감소시켰다. 제안된 위상고정루프는 0.35 μ m 3.3V CMOS 공정을 이용하여 제작되었다. 1 MHz 오프셋에서 측정된 위상 잡음은 -103 dBc/Hz로 기존의 위상고정루프에 비해 최소 3 dBc/Hz의 위상 잡음 향상을 가져왔다.

Abstract

This work presents a novel architecture of phase locked loop (PLL) with the current compensating scheme to improve phase noise performance. The proposed PLL has two Charge Pump (CP), main-CP (MCP) and sub-CP (SCP). The smaller SCP current with same time duration but opposite direction of UP/DN MCP current is injected to the loop filter (LF). It suppress the voltage fluctuation of LF. In result, it improves phase noise characteristic. The Proposed PLL has been fabricated with 0.35 μ m 3.3V CMOS process. Measured phase noise at 1-MHz offset is -103dBc/Hz resulting in a minimum 3dBc/Hz phase noise improvement compared to the conventional PLL.

Keywords : PLL, voltage controlled resistor, current compensation, adaptive bandwidth.

I. 서 론

위상고정루프는 위상/주파수 검출기 (PFD; Phase Frequency Detector), 전하펌프(CP; Charge Pump), 루프필터(LF ; Loop Filter) 그리고 전압제어발진기(VCO; Voltage Controlled Oscillator)로 구성되며, 전압제어발진기의 출력은 다시 위상 주파수 검출기의 입력으로 귀환하게 된다. 위상/주파수 검출기는 외부에서 입력되는 기준 신호와 전압제어발진기에서 생성된 신호를 서로 비교하여 주파수와 위상 차이에 비례하는 폭을 가진 두

개의 디지털 출력, 즉, UP과 Down 신호를 만들어 낸다. 전하펌프는 위상/주파수 검출기의 출력신호를 전류로 변환하여 루프필터에 공급하게 된다. 루프필터는 전하펌프로부터 받은 전류를 전압으로 변환하여 전압제어발진기를 제어하는 제어전압을 형성하며 높은 주파수 성분의 잡음을 제거하게 된다. 전압제어발진기는 루프필터의 출력에 따라 일정한 주파수 성분의 신호를 만들어 내기 때문에 루프필터의 출력 흔들림은 전압제어발진기 출력신호의 흔들림을 야기하게 된다. 위상고정루프가 in-lock 상태에서 루프필터 출력전압의 흔들림은 전압제어발진기의 출력 신호에 무수한 위상잡음과 불요파(spur)를 야기하게 된다.^[1]

최근 위상잡음을 줄이기 위한 연구가 활발하게 진행되고 있으며 다양한 구조들이 제안되었다. 일반적으로

* 정희원, 부경대학교 전자컴퓨터정보통신공학부
(Division of Electronics, Computer and
Telecommunication Engineering, Pukyong National
University)
접수일자: 2006년8월7일, 수정완료일: 2006년11월16일

위상고정루프는 낮은 위상 잡음 특성을 위해 narrow bandwidth를 사용하고 있다.^[2,3] 하지만 이러한 구조는 전압제어발진기의 위상잡음을 효과적으로 제거할 수 없으며 넓은 대역폭을 필요로 하는 응용분야에서는 사용할 수 없다. 낮은 이득을 가지는 전압제어발진기도 위상잡음 향상을 위해 널리 사용되고 있는 방법이다.^[4] [4]는 넓은 주파수 영역을 포함하기 위해 dual loop와 switched-capacitor networks를 사용하여 위상고정 속도가 늦어지는 문제점을 가지고 있다. [5]는 위상/주파수 검출기나 전하펌프에서 발생하는 데드존 문제나 전류 부정합과 같은 비선형성에 의해 발생하는 위상잡음을 줄일 수 선형화 기법을 제안하였다. 하지만 전하펌프의 비선형성을 개선한 것과 트랜지스터의 동작시간에 의해 발생하는 잡음과의 교환관계는 여전히 문제점으로 남아있다. 전압제어발진기의 출력을 기준 주파수에 재정렬 시키는 기법은 기준 주파수의 잡음에 매우 민감하게 반응하는 문제점을 가지고 있다.^[6] 따라서 이 기법은 전체적인 위상고정루프의 위상잡음을 효과적으로 억제시키는데 한계점을 가지고 있다고 할 수 있다.

본 논문에서는 전압제어저항(VCR; Voltage Controlled Resistor)과 래치 구조의 지연 셀로 만들어진 전압제어발진기와 전류보상 기법을 사용하여 낮은 위상잡음 특성을 갖는 새로운 위상고정루프 구조를 제안하였다. 제안된 구조에서는 주 전하펌프(MCP; Main -CP)와 보조 전하펌프(SCP; Sub-CP)로 명명된 두 개의 전하펌프를 이용하여 위상잡음을 감소시킨다. 보조 전하펌프는 주 전하펌프의 전류와 반대 방향으로 전류를 인가하게 된다. 제안된 구조의 루프필터 출력 전압 흔들림은 기존 구조의 위상고정루프 보다 감소하였다. 이러한 전류보상 기법을 통해 보다 낮은 위상잡음 특성을 얻을 수 있었다.

II. 제안한 위상고정루프의 구조

1. 전류보상 전하펌프

위상고정루프는 이상적인 경우 in-lock 상태에서 일정한 루프 출력전압을 가져야 하지만 실제의 위상고정루프의 루프필터 출력전압은 계속해서 흔들리게 되며 그 크기는 위상고정루프의 전달함수에 따른다. 위상고정루프는 in-lock 상태에서도 충전과 방전 전류 크기에 미묘한 차이가 존재하며 이러한 전류의 부정합은 루프필터 출력전압을 흔들며 위상 잡음특성을 악화시키게 된다. 전압제어 발진기의 입력 전압의 흔들림은 다양한

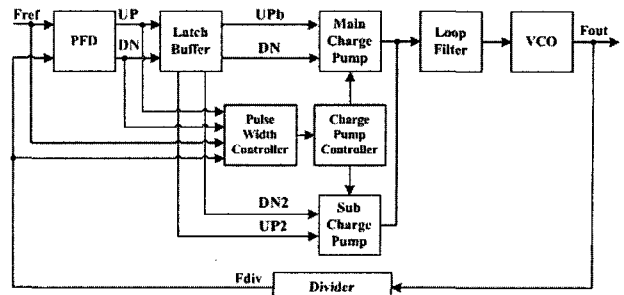


그림 1. 제안한 위상고정 루프의 구조
Fig. 1. Functional block diagram of the proposed PLL.

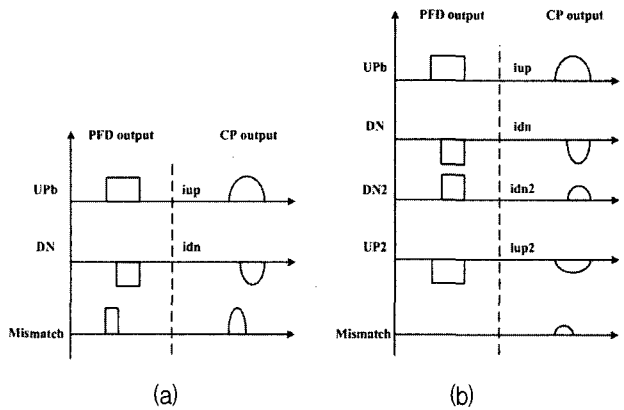


그림 2. In-lock 상태에서 전류보상 기법 개념
(a) 기존 구조 (b) 제안된 구조
Fig. 2. Concept of the current compensating scheme in-lock status.
(a)Conventional architecture (b)Proposed architecture

주파수의 스퍼를 발생시켜 위상잡음 특성을 나쁘게하므로 이 입력 전압의 흔들림을 최소화하면 위상잡음 특성을 개선할 수 있다. 본 논문에서는 위상잡음 특성을 향상시키기 위해 그림 1과 같은 두 개의 전하펌프를 이용한 전류보상 기법을 제안하였다.

그림 2는 위상/주파수 검출기와 두 개의 전하펌프 동작에 대하여 나타내었다. 주 전하펌프는 UPb/DN 신호에 의해 구동되며, 보조 전하펌프는 UPb/DN의 위상을 180° 편이 시킨 UP2/DN2에 의해 구동된다. 위상고정루프에서 일반적인 전하펌프 역할을 수행하는 주 전하펌프 전류가 루프필터 출력전압을 흔들리게 했을 경우 보조 전하펌프 전류가 전압 흔들림을 보상하는 구조이다.

위상고정루프가 in-lock 상태일 때 주 전하펌프는 UPb/ DN 신호에 따라 루프필터에 전류를 공급해 루프필터 출력전압을 올리거나 내리게 되는데 보조 전하펌프는 이러한 출력전압의 변동을 느슨하게 한다. 이러한 전류보상 기법은 루프필터의 출력전압 흔들림을 최소화하여 위상잡음 특성을 향상시키게 된다. 기존의 일반적

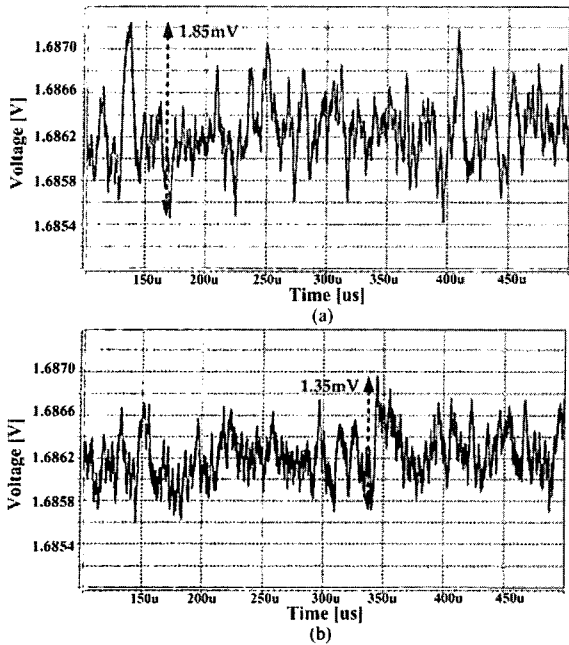


그림 3. 루프필터의 출력 전압
 (a) 기존 구조 (b) 제안한 구조
 Fig. 3. The output voltage of loop filter.
 (a)Conventional architecture
 (b)Proposed architecture

인 위상고정루프의 전하펌프 전류는 $30\mu A$ 로, 제안된 구조의 주 전하펌프는 $60\mu A$ 그리고 보조 전하펌프는 $30\mu A$ 로 각각 설정하여 시뮬레이션한 결과를 그림 3에 나타내었다. 기존의 위상고정루프의 경우 $1.85mV$ 의 비교적 큰 전압 흔들림이 있는 반면에 제안된 구조에서는 전압 흔들림은 $1.35mV$ 로 $0.5mV$ 가 감소하였으며 평균치에 물려 있는 파형을 보여주었다.

주 전하펌프와 보조 전하펌프 신호의 타이밍 부정합은 다른 위상잡음이나 불요파를 야기할 수 있기 때문에 주 전하펌프와 보조 전하펌프 신호의 타이밍 부정합이 거의 없도록 설계하였다. 위상/주파수 검출기와 래치 버퍼(LB; Latch Buffer)는 동조된 다른 두 신호 즉, 주 전하펌프를 구동하기 위한 UPb/DN 신호와 보조 전하펌프를 구동하기 위한 신호 UP2/DN2를 출력하게 된다. 또한 전하펌프에 사용되는 PMOS의 크기가 NMOS 보다 커 타이밍 부정합의 가능성이 있기 때문에 NMOS에 모조 트랜지스터를 추가하여 PMOS와 NMOS의 입력 커패시턴스가 같도록 해 타이밍 부정합이 없도록 하였다.

2. 펄스 폭 제어기 및 전하펌프 제어기

본 논문에서는 빠른 위상고정 시간과 낮은 위상잡음 특성을 얻기 위해 adaptive bandwidth 개념을 사용하였

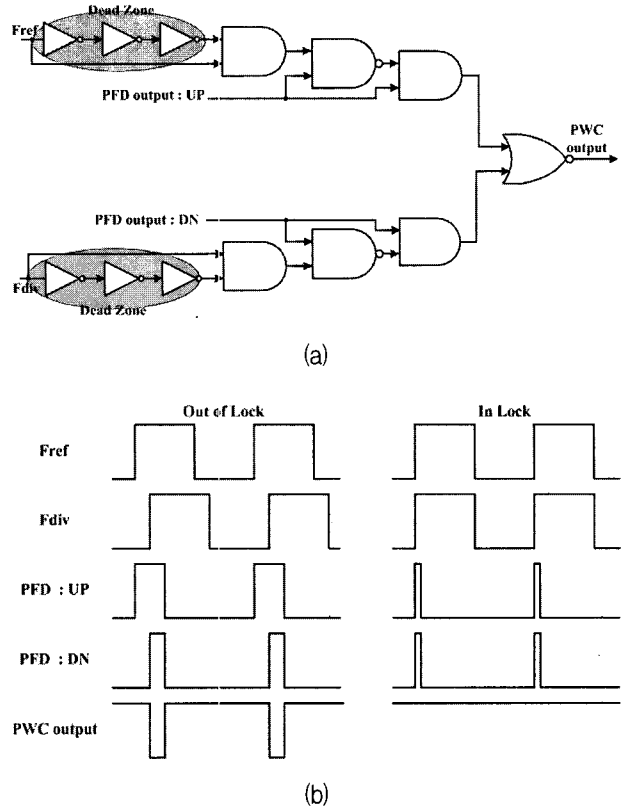


그림 4. 펄스 폭 제어기 (a) 구성도 (b) 동작 파형
 Fig. 4. Pulse Width Controller.
 (a) Block Diagram (b) wave form

다. 위상고정루프의 동작 상태에 따라 루프 대역폭을 적절하게 제어하기 위해서는 위상고정루프의 위상고정 상태를 알 수 있는 회로가 필요하다. 본 논문에서는 펄스 폭 제어기(PWC; Pulse Width Controller)를 사용하여 위상고정루프의 동작 상태를 알 수 있게 하였다. 펄스 폭 제어기는 위상/주파수 검출기의 데드존 특성을 이용한다. 펄스 폭 제어기는 위상고정루프가 in-lock 상태에 도달했을 때 위상/주파수 검출기의 출력이 없도록 하였다.^[7] 그림 4는 펄스 폭 제어기의 구성도와 위상고정 상태에 따른 동작 파형을 나타내었다. 펄스 폭 제어기의 출력 신호는 위상고정 상태에 따라 주 전하펌프의 출력 전류를 제어하기 위해 전하펌프 제어기의 제어신호로 사용된다.

펄스 폭 제어기의 출력신호는 그림 5와 같이 스위치 제어기 (SW Controller)로 인가되어 SW1/ SW2를 제어하기 위한 SW/SWb 신호를 생성시킨다. 위상고정루프가 out-of-lock 상태일 때 SW1은 "ON" 그리고 SW2는 "OFF" 이다. 반대로 위상고정루프가 in-lock 근처일 때 SW2는 "ON" 그리고 SW1은 "OFF" 이다. PLL의 위상고정 상태에 따라 주 전하펌프에 공급되는 제어전

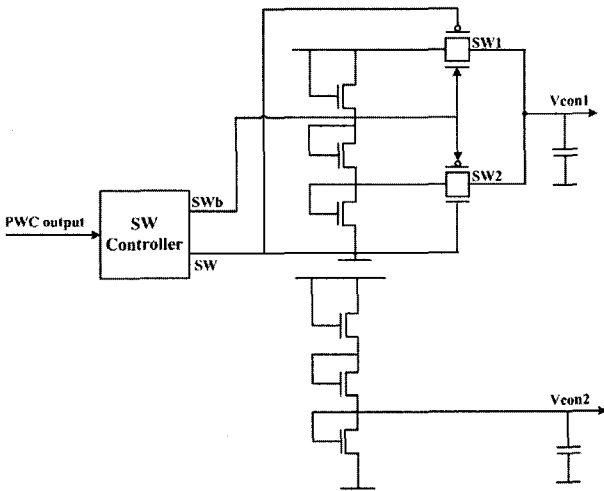


그림 5. 전하펌프 제어기
Fig. 5. Charge Pump Controller.

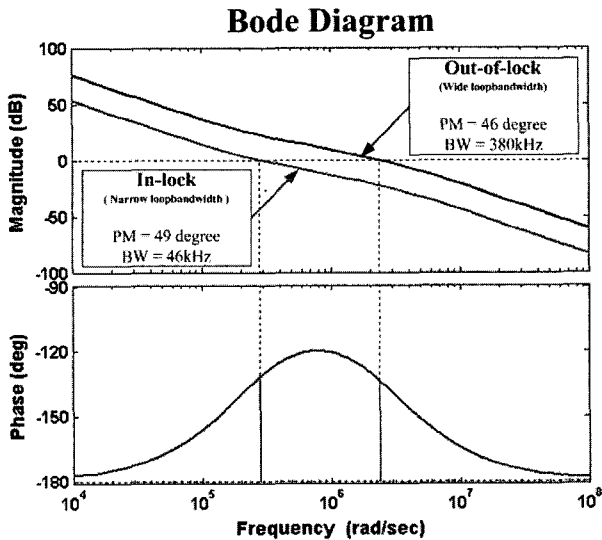


그림 6. 제안된 위상고정루프의 보데 선도
Fig. 6. Bode plot of the proposed PLL.

압 V_{con1} 의 전압 크기에 따라 출력 전류를 가변할 수 있도록 설계하였으며, 보조 전하펌프에 공급되는 전압 V_{con2} 는 항상 일정하도록 설계하였다. 위상고정루프가 out-of-lock 상태일 때 주 전하펌프의 전류는 펄스 폭 제어기와 전하펌프 제어기에 의해 $400\mu A$ 로 설정되어 빠른 위상고정을 위한 wide bandwidth를 만들게 된다. 반면, 위상고정루프가 in-lock 상태일 때 주 전하펌프의 전류는 $60\mu A$ 로 설정되어 위상잡음 특성을 향상시키기 위한 narrow bandwidth를 형성하게 된다. 보조 전하펌프 전류는 위상고정 상태에 무관하게 항상 $30\mu A$ 로 설정되어 있다.

그림 6은 Matlab 시뮬레이션 결과로서 제안된 위상 고정루프가 out-of-lock 상태일 때 $380kHz$ 의 wide

bandwidth를 가지며 이때 위상마진은 46° 로 나타났다. 또한 위상고정루프가 in-lock 상태일 때는 $46kHz$ 의 narrow bandwidth와 49° 의 위상마진을 가지는 것으로 나타났다.

3. 전압제어발진기

링 발진기(Ring Oscillator)는 넓은 발진 주파수 영역과 작은 칩 면적 등의 장점이 있는 반면 LC 발진기에 비해 매우 낮은 위상잡음 특성을 가지고 있다. 본 논문에서 전압을 전류로 선형적으로 변환시키는 전압제어저항(VCR; Voltage Controlled Resistor)과 3단 래치 구조 지연 셀로 구성된 새로운 전압제어발진기를 제안하였다. 래치 구조 지연 셀은 짧은 on-time을 가지게 하여 위상잡음 특성을 향상시키게 된다.^[8] 전압제어저항과 래치 구조 지연 셀로 구성된 제안된 전압제어발진기 구조를 그림 7에 나타내었다. 전압제어저항은 입력 전압에 선형적으로 비례하는 전류를 발생시켜 전압제어발진기

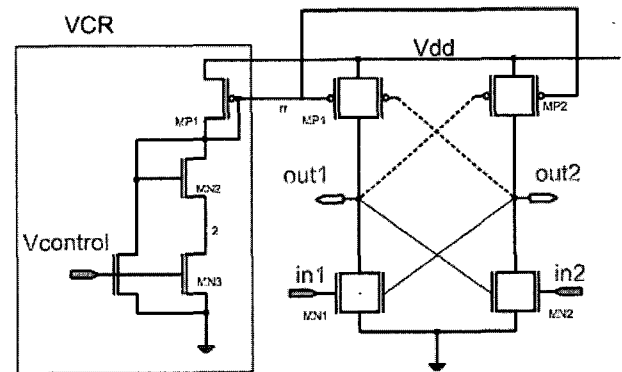


그림 7. 제안된 전압제어발진기
Fig. 7. Proposed voltage controlled oscillator.

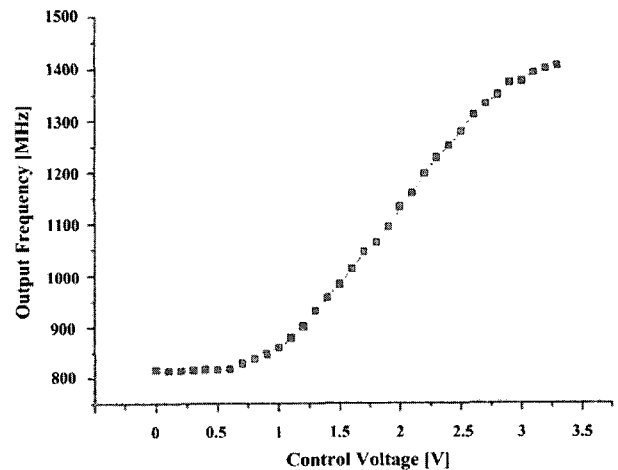


그림 8. 전압제어발진기 특성
Fig. 8. Characteristics of voltage controlled oscillator.

의 출력 주파수를 제어한다. 그림 8은 제안된 전압제어 발진기의 시뮬레이션 결과로서 810MHz에서 1.4GHz로 넓은 동작 주파수를 가지며 전압제어발진기의 이득은 260MHz/V 으로 나타났다.

III. 측정결과

본 논문에서 제안한 두 개의 전하펌프를 가진 위상고정루프와 하나의 전하펌프를 가진 기존의 일반적인 위상고정루프를 0.35 μ m CMOS 공정을 이용하여 제작하였다. 제작된 위상고정루프는 700 μ m \times 450 μ m 면적을 가지고 있으며 그림 9에 칩 사진을 나타내었다. 제안된 구조의 출력 스펙트럼 측정 결과를 그림 10에 나타내었다. 그림 11은 기존의 위상고정루프와 제안된 위상고정루프의 위상잡음 특성으로 1.28GHz에서 1MHz 떨어진 주파수에서 측정한 결과이다. 일반적인 위상고정루프의

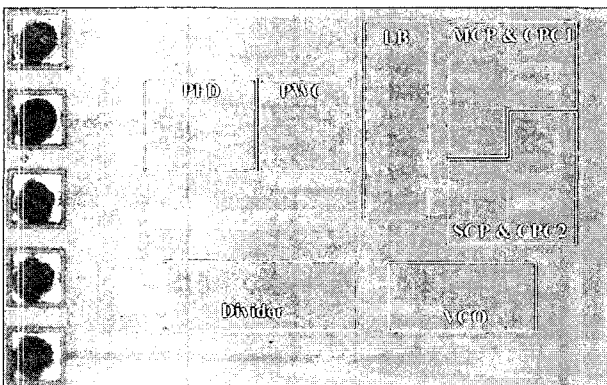


그림 9. 제안된 위상고정루프 칩 사진
Fig. 9. Die photograph of the proposed PLL.

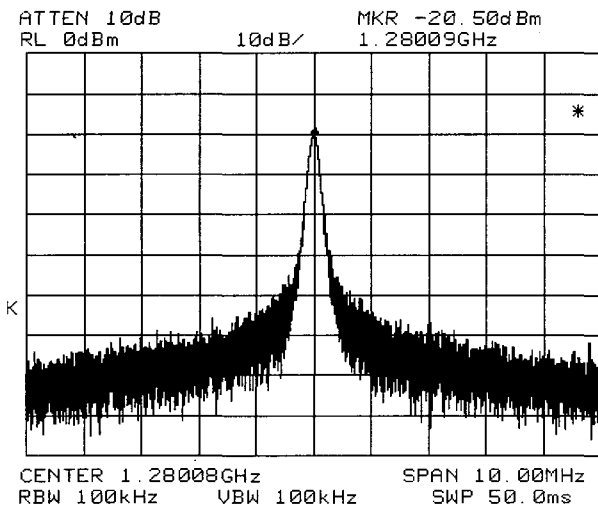
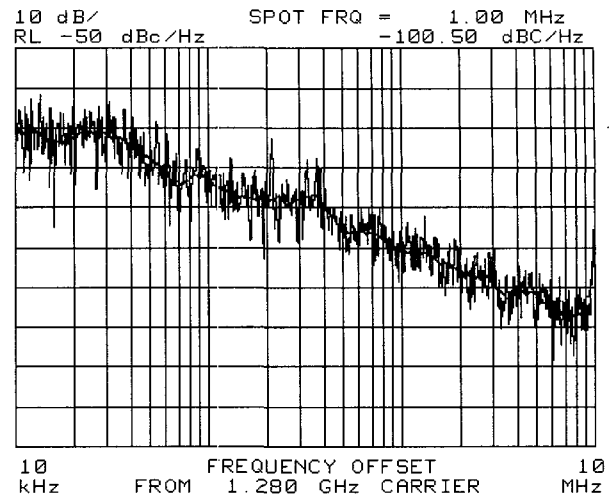
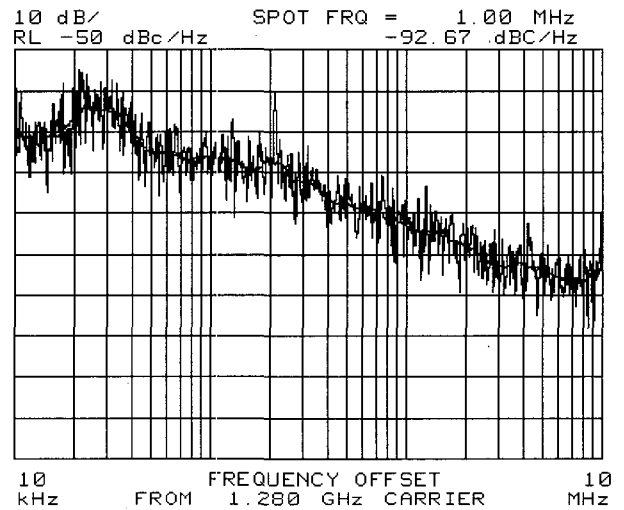


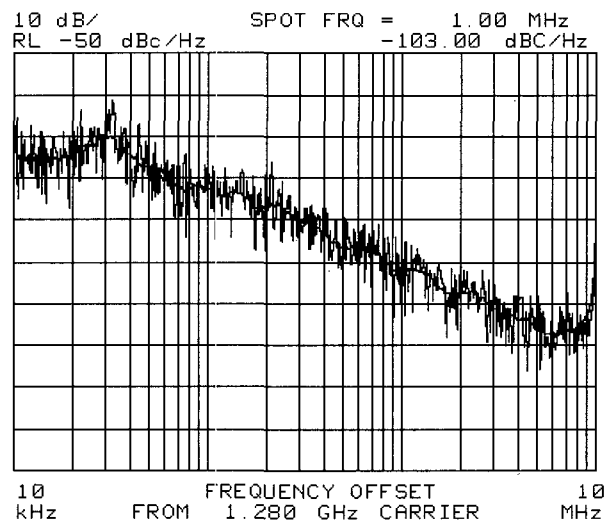
그림 10. 측정된 출력 스펙트럼 @1.28GHz
Fig. 10. Measured output spectrum @1.28GHz.



(a)



(b)



(c)

그림 11. 측정된 위상 잡음 @1MHz offset
(a), (b) 기존 구조 (c)제안된 구조
Fig. 11. Measured phase noise @1MHz offset.
(a) and (b) Conventional PLL (c)Proposed PLL

표 1. 제안된 위상고정루프의 성능 요약

Table 1. Performance summary of the proposed PLL.

Technology	CMOS 0.35 μ m
VDD	3.3V
Output Frequency	810 ~ 1400MHz
Reference Frequency	20MHz
Phase Noise	-103 dBc/Hz @ 1MHz
Die Area	700 μ m \times 450 μ m

위상잡음은 $-93 \sim -100$ dBc/Hz이며 제안된 위상고정루프는 -103 dBc/Hz이다. 이러한 측정 결과는 제안된 전류보상 기법이 기존의 일반적인 위상고정루프에 비해 최소 3dBc/Hz의 위상잡음 향상 효과가 있음을 증명한다. 제안된 구조의 성능을 표 1에 요약하였다.

IV. 결 론

본 논문에서는 위상잡음 특성을 향상시킬 수 있는 전류보상 기법을 이용한 새로운 위상고정루프를 제안하였다. 보조 전하펌프는 주 전하펌프의 반대방향으로 전류를 인가하여 전류보상하게 된다. 이러한 전류보상 기법에 의해 제안된 구조의 루프필터 출력전압 흔들림이 기존의 일반적인 위상고정루프에 비해 감소함을 알 수 있었다. 감소된 루프필터 출력전압 흔들림은 보다 낮은 위상잡음 특성을 가짐을 측정결과로 확인할 수 있었다. 제안된 전류보상 기법을 이용한 위상고정루프는 0.35- μ m CMOS 공정을 통해 제작되었다. 측정 결과를 통해 기존의 일반적인 위상고정루프에 비해 제안된 전류보상 기법의 위상고정루프가 1MHz 오프셋에서 최소 3dBc/Hz 위상잡음 특성을 향상을 가져왔음을 확인할 수 있었다.

참 고 문 헌

- [1] Himanshu Arora, Nikolaus Klemmer, James C. Morizio and Patrick D. Wolf, "Enhanced Phase Noise Modeling of Fractional-N Frequency Synthesizers," *IEEE Trans. Circuits Syst. I*, vol. 52, no. 2, pp. 379-395, Feb. 2005.
- [2] Joonsuk Lee and Beomsup Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1137-1145, August. 2000.
- [3] Kyoohyun Lim, Chan-Hong Park, Dal-Soo Kim and Beomsup Kim, "A Low-Noise Phase-Locked Loop Design by Loop Bandwidth Optimization," *IEEE J. Solid-State Circuits*, vol. 35, no. 6, pp. 807-815, June. 2000.
- [4] Tsung-Hsien Lin and William J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 424-431, March. 2001.
- [5] Hung-Ming Chien, Tsung-Hsien Lin, Brima Ibrahim, Lijun Zhang, Maryam Rofougaran, Ahmadreza Rofougaran and William J. Kaiser, "A 4GHz Fractional-N Synthesizer for IEEE 802.11a," *2004 Symposium on VLSI Circuits Design*, pp. 46-49.
- [6] Shen Ye, Lars Jansson and Ian Galton, "A Multiple-Crystal Interface PLL With VCO Realignment to Reduce Phase Noise," *IEEE J. Solid-State Circuits*, vol. 37, no. 12, pp. 1795-1803, December. 2002.
- [7] Ching-Yuan Yang and Shen-Iuan Liu, "Fast-Switching Frequency Synthesizer with a Discriminator-Aided Phase Detector," *IEEE J. Solid-State Circuits*, vol. 35, no. 10, pp. 1445-1452, October. 2000.
- [8] Chan-Hong Park and Beomsup Kim, "A Low-Noise, 900-MHz VCO in 0.6- μ m CMOS," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 586-591, May. 1999.

저 자 소 개



송 윤 귀(정회원)
 2000년 동의대학교 물리학과
 학사 졸업.
 2002년 부경대학교 전자공학과
 석사 졸업.
 2002년 부경대학교 전자공학과
 박사 과정.

<주관심분야 : PLL, DLL, CDRC 설계>



류 지 구(정회원)
 1977년 동아대학교 전자공학과
 학사 졸업.
 1979년 동아대학교 전자공학과
 석사 졸업.
 1992년 영남대학교 전자공학과
 박사 졸업.

1989년~1999년 도요하시 기술과학대학
 디바이스 그룹 객원 연구원
 1979년~현재 부경대학교 전자정보통신공학부
 교수

<주관심분야 : RFIC, Sensor, actuator 설계>



최 영 식(정회원)
 1982년 경북대학교 전자공학과
 학사 졸업.
 1986년 Texas A&M University
 전자공학과 석사 졸업.
 1993년 Arizona State University
 박사 졸업.

1987년~1999년 현대전자 책임연구원
 1999년~2003년 동의대학교 전자공학과 교수
 2003년~현재 부경대학교 전자정보통신공학부
 교수

<주관심분야 : PLL, DLL, CDRC 설계>