

논문 2006-43SD-12-5

나노 스케일 벌크 MOSFET을 위한 새로운 RF эм피리컬 비선형 모델링

(New RF Empirical Nonlinear Modeling for Nano-Scale Bulk MOSFET)

이 성 현*

(Seonghearn Lee)

요 약

나노 스케일 벌크 MOSFET의 RF 비선형 특성을 넓은 bias영역에 걸쳐 정확히 예측하기 위하여 내부 비선형 요소들을 가진 эм피리컬 비선형 모델이 새롭게 구축되었다. 먼저, 나노 스케일 벌크 MOSFET에 적합한 파라미터 추출방법을 사용하여 측정된 S-파라미터로부터 bias 종속 내부 파라미터 곡선을 추출하였다. 그 후에 비선형 캐패시턴스 및 전류원 방정식들은 추출된 bias 종속 곡선들과 3차원 fitting함으로서 эм피리컬하게 구하여졌다. 이와같이 모델된 S-파라미터는 60nm MOSFET의 측정치와 20GHz 까지 아주 잘 일치하였으며, 이는 эм피리컬 나노 MOSFET 모델의 정확도를 증명한다.

Abstract

An empirical nonlinear model with intrinsic nonlinear elements has been newly developed to predict the RF nonlinear characteristics of nano-scale bulk MOSFET accurately over the wide bias range. Using an extraction method suitable for nano-scale MOSFET, the bias-dependent data of intrinsic model parameters have been accurately obtained from measured S-parameters. The intrinsic nonlinear capacitance and drain current equations have been empirically obtained through 3-dimensional curve-fitting to their bias-dependent curves. The modeled S-parameters of 60nm MOSFET have good agreements with measured ones up to 20GHz in the wide bias range, verifying the accuracy of the nano-scale MOSFET model.

Keywords : RF MOSFET, nano-scale MOSFET, bulk CMOS, modeling, parameter extraction

I. 서 론

최근 반도체 미세공정기술의 급격한 발달로 인해 nanometer gate length (Lg)를 가진 Nano-scale bulk CMOS 소자 연구의 중요성이 전 세계적으로 크게 증가되고 있다. 전통적으로 표준화된 planar-type Si CMOS 공정기술은 RF IC에 널리 사용되어 온 III-V 화합물 반도체보다 안정된 공정으로 신뢰도가 높고 가격이 훨

씬 저렴하며, Lg가 nanometer급으로 축소될 경우 III-V 소자에 버금가는 초고속 및 초고주파 성능향상을 보일 것으로 예상된다.

세계적 반도체 Foundry 업체인 TSMC^[1]나 UMC^[2] 등에서는 많은 투자의 결과로 이미 90nm planar bulk CMOS 공정기술 개발이 완료된 상태이며, NMOSFET (Lg=65nm) 성능을 최적화하여 $f_T = 185\text{GHz}$ 의 차단주파수 측정결과를 보여주는 논문이 최근 발표되었다^[3]. 전세계적으로 CMOS공정의 발달로 Lg=50nm이하의 planar CMOS소자 연구가 매우 활발히 진행 중이며^[4], 15nm planar CMOS소자 제작에 관한 논문도 최근 발표되었다^[5]. 이와같이 점점 down-scaling되는 Nano bulk CMOS를 사용하여 저전력 RF digital/analog mixed IC

* 정희원, 한국외국어대학교 전자정보공학부
(School of Electronics and Information Engineering,
Hankuk University of Foreign Studies)
※ 이 논문은 2004년도 한국학술진흥재단의 지원에 의
하여 연구되었음. (KRF-2004-041-D00442)
접수일자: 2006년1월17일, 수정완료일: 2006년12월4일

의 정확한 설계를 위해서 높은 동작주파수 영역에서 정확히 RF 성능을 예측할 수 있는 Nano-scale CMOS 비선형 모델의 연구가 세계적으로 매우 시급하다.

일반적으로 submicron MOSFET을 위한 SPICE 모델은 U. C. Berkeley에서 개발된 BSIM3v3 모델^[6]이 널리 사용되고 있으나, MOSFET RF 특성을 정확히 모델링하기는 부적절하기 때문에 BSIM4 모델^[7]이 개발되어 왔다. 하지만, Lg가 90nm 이하로 감소될수록, input capacitance, transconductance 및 drain conductance 등의 비선형 distortion 특성이 크게 발생하여, 비선형 RF 특성이 크게 증가하게 되는 문제점이 있다^[8]. 최근 발표된 BSIM4 모델조차도 90nm이하의 RF CMOS소자에 적용하기에는 매우 부정확한 실정이다. 이와 같은 Nano CMOS 소자의 RF 비선형 효과들을 정확히 모델화하기 위해, SPICE BSIM모델 내부의 물리적 analytical 모델을 수정 보완한다면 상당한 연구개발 기간이 요구되는 문제가 생긴다.

기존에는 이러한 문제를 해결하기 위해서 GaAs MESFET이나 HEMT 등의 화합물 반도체 소자에서 널리 사용되는 Root 모델이나 look-up-table 모델 등의 measurement-based 모델들이 사용해 왔지만^[9], 측정 윈도우 안에서만 모델 예측이 가능하다는 약점이 있다. 또한, 모델입력으로서 방대한 양의 RF 측정데이터가 필요하기 때문에 회로 시뮬레이션 시간이 길어지고 제한적인 응용분야에서만 사용되어 왔다.

이와같이 기존 look-up-table 방식이나 SPICE 모델링 방법을 Nano CMOS 소자 모델링에 적용할 때 발생하는 복잡한 문제점을 극복하기 위한 좋은 대안으로, 등가회로 파라미터들의 bias 종속 특성 데이터를 구하고 이를 hyperbolic이나 polynomial 형태의 비선형 함수로 모델화하는 RF empirical 모델링 방법을 들 수 있다^[10-12]. 이러한 empirical 방법은 Nano-scale bulk CMOS 소자의 경우처럼 물리적 analytical 모델함수가 아직 연구되지 않은 시점에서, RF 비선형 모델을 빠른 시간내에 손쉽고 정확히 개발할 수 있는 가장 효과적인 방법이다.

하지만, 0.25 μm 이상의 bulk CMOS 소자의 empirical 모델링 연구가 주로 행해져서^[11,12], Lg가 훨씬 적은 Nano CMOS 소자에서의 empirical 모델링 논문이 아직 발표된 적이 없는 실정이다.

따라서, 본 연구에서는 Nano-scale bulk MOSFET에서 나타나는 중요한 RF 비선형 현상들을 empirical하게 모델링하는 연구를 새롭게 수행하였다. 이를 위해 60nm bulk MOSFET에서 광범위한 동작영역의 bias

종속 데이터를 추출하고 empirical 모델 방정식들을 유도함으로써, RF 특성을 정확히 예측할 수 있는 비선형 모델을 개발하였다.

II. 본 론

1. Empirical MOSFET 대신호 모델

그림 1에서 보여주는 것처럼 본 연구에서 사용된 Nano-scale bulk MOSFET의 empirical 대신호 모델에는 parasitic 저항성분이 포함된 dc I-V 전류특성을 모델화한 외부 dc 전류원 $I_{ds(dc)}$ 가 별도로 첨가되었다^[12]. 이와같이 이중전류원의 사용은 복잡한 parasitic 저항 보정 없이 dc bias 레벨과 RF 특성을 동시에 시뮬레이션할 수 있는 매우 편리한 방법이다. 이때 dc 전류원은 RF 특성에 영향을 주지 않기 위하여 매우 큰 choke inductance L_{ck} 를 통해 연결되었으며, RF 전류원은 dc 특성에 영향을 미치지 않기 위하여 매우 큰 coupling capacitance C_{cp} 를 통해 연결되었다.

Nano-scale bulk MOSFET에서는 well 및 channel 도핑이 기존 submicron CMOS 소자보다 훨씬 높기 때문에 유전체 효과보다 손실효과가 지배하게 된다. 따라서, 그림 1에서는 증가된 손실 substrate 효과^[11]를 모델링하기 위해서 기존 모델^[12]의 유전체 capacitance C_{bk} 를 제거하고 드레인-벌크 다이오드 D_{jd} 에 직렬로 손실 substrate 저항 R_{sub} 만을 연결하였다. 그 외에 각 외부 단자에 직렬로 parasitic 저항 (R_g , R_d , R_s)를 연결하였고, RF 모델 정확도를 20GHz까지 증진시키기 위해 기존 모델^[12]에 인덕터 (L_g , L_d , L_s)를 추가하였다. 한편 transconductance는 $g_m = g_{mo}e^{-j\omega\tau}$ 으로 표현되며, 이때 $g_{mo} = dI_{ds(rf)}/dV_{gs}$ 이고 τ 는 delay time을 나타낸다. 이

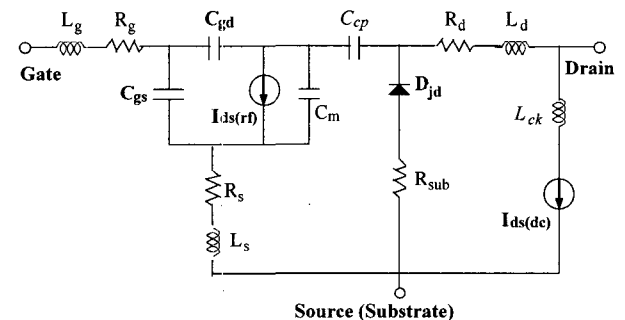


그림 1. Nano-scale bulk MOSFET을 위한 empirical 대신호 모델

Fig. 1. An empirical large-signal model for nano-scale bulk MOSFETs.

러한 $e^{-j\omega\tau}$ 성분을 모델에 포함하기 위하여 transcapacitance인 $C_m = -g_{mo}\tau$ 를 drain-source 양단에 연결하였다.

2. Bias 종속 파라미터 추출

본 연구에서는 multi-finger 형태의 gate layout ($L_{poly} = 60\text{nm}$, 단위 finger 폭 = $5\mu\text{m}$, finger수=10)을 가진 N형 Nano-scale bulk MOSFET이 사용되었다. On-wafer 방법으로 측정된 S-parameter의 패드성분을 제거하기 위하여 open과 short 패턴들을 사용하여 de-embedding하였다^[13]. 그림 1의 저항 및 인덕턴스 추출을 위하여 $V_{gs}=0\text{V}$ 의 고주파영역 S-파라미터를 사용한 zero-bias 추출방법^[14]이 사용되었다.

기판 파라미터는 추출된 R_d 와 L_d 를 de-embedding된 Z-parameter로부터 제거한 후에 $V_{gs}=0\text{V}$ 인 그림 1에서 유도된 $R_{sub} = k_1/C_{jd}^2$ 으로부터 직접 결정하였으며, 이때 C_{jd} 는 낮은 주파수(LF) 범위에서 근사화 된 다음 식을 사용하여 추출되었다.

$$C_{jd} \approx (1/\omega) \text{Imag}(Y_{22}^b + Y_{12}^b)_{LF}$$

또한, k_1 의 값은 낮은 주파수 범위에서 근사화된 다음 식을 이용하여 추출하였다.

$$k_1 \approx (1/\omega^2) \text{Real}(Y_{22}^b + Y_{22}^b)_{LF}$$

여기서 Y^b -parameter는 측정된 S-parameter부터 추출된 R_d 와 L_d 를 제거한 후 얻어졌다.

위에서 사용된 방정식은 유전체 capacitance C_{bk} 가 R_{sub} 에 병렬로 연결된 기존모델^[15]의 추출방정식과 동일하다. 이는 낮은 추출 주파수에서 C_{bk} 의 임피던스가 R_{sub} 에 비해 매우 커서 C_{bk} 가 무시되기 때문이다.

이와 같이 추출된 C_{jd} , R_{sub} , L_g , L_s , R_g , R_s 를 Y^b -parameter로부터 제거한 후에, 그림 1의 점선박스의 intrinsic Y-parameter가 얻어졌으며, 이로부터 intrinsic 파라미터 C_{gs} , C_{gd} , τ , g_{mo} 와 g_{ds} 들이 결정되었다^[15]. 이와같이 추출된 내부 파라미터들은 그림 2에서 보여주는 것처럼 20GHz까지 주파수에 비교적 무관하였으며, 이는 추출된 파라미터들의 정확도를 입증한다.

3. Empirical 모델 방정식 추출

위와 같은 설명된 nano MOSFET 모델 파라미터 추출방법을 사용하여 cutoff, saturation 및 linear bias영

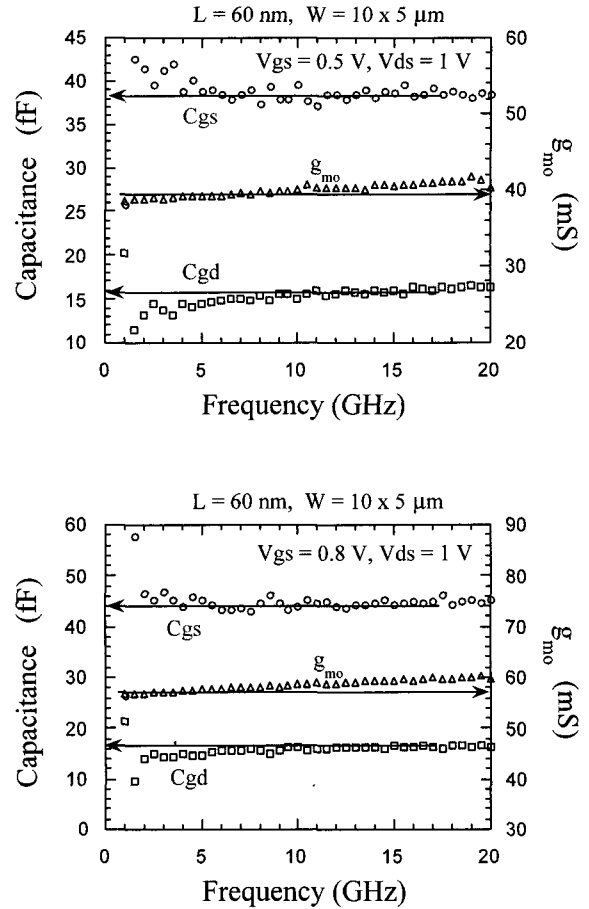


그림 2. 추출된 C_{gs} , C_{gd} , g_{mo} 의 주파수 응답.
Fig. 2. Frequency response of extracted C_{gs} , C_{gd} , and g_{mo} .

역에서 V_{gs} 와 V_{ds} 를 넓게 변화시키면서 bias 종속 모델 파라미터 데이터를 확보하였다.

그림 1의 dc 및 RF I_{ds} source를 모델화하기 위하여 다음과 같이 hyperbolic tangent 함수로 표현되는 empirical drain 전류 방정식을 사용하였다. 이는 HEMT나 MESFET의 empirical 모델링에서 널리 사용되는 empirical 방정식이다^[10].

$$I_{ds} = a [1 + \tanh(\Psi_i)] (1 + d V_{ds}) \tanh(e V_{ds}) \quad (1)$$

$$\Psi_i = b (V_{gs} - c)$$

먼저, 외부 dc I_{ds} source인 $I_{ds(dc)}$ 의 모델 파라미터를 정확히 추출하기 위해서 dc I-V 특성데이터와 식(1)이 일치되도록 3차원 curve-fitting을 수행하였다. 그림 3에서 보여주는 것처럼 넓은 bias영역에서 비교적 좋은 fitting 결과를 얻었다.

그림 1의 내부 RF I_{ds} source 방정식을 모델화하기

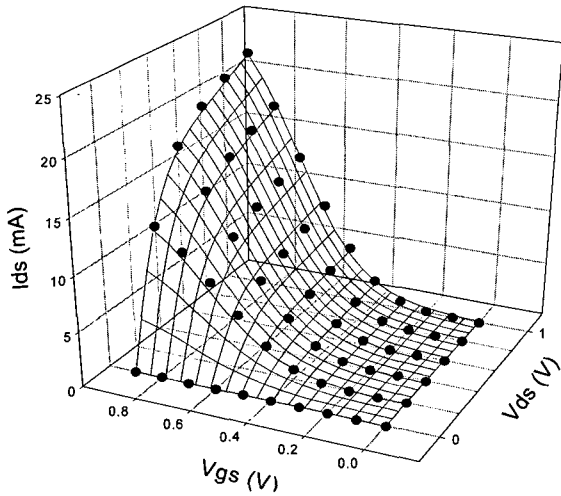


그림 3. 측정된 dc I_{ds} - V_{ds} 데이터(●)를 식 (1)로 curve-fitting한 3차원 모델 곡선(—) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

Fig. 3. The modeled 3-D curve(—) of dc I_{ds} - V_{ds} fitted to measured data(●) using (1) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

위해서는 intrinsic I-V 측정 데이터가 필요하지만 parasitic 저항효과의 보정이 어렵다. 따라서, 본 연구에서는 이미 parasitic 저항이 제거된 후 추출된 g_{mo} 와 g_{ds} 의 bias 종속 추출데이터를 바탕으로 $I_{ds}(rf)$ 모델 방정식을 결정하였다.

식 (1)의 I_{ds} 를 V_{gs} 과 V_{ds} 로 각각 미분함으로써 다음과 같은 RF g_{mo} 와 g_{ds} 의 방정식이 얻어졌다^[12].

$$g_{mo} = \frac{dI_{ds}}{dV_{gs}} = ab(1 + dV_{ds}) \frac{\tanh(eV_{ds})}{\cosh^2(\Psi_i)} \quad (2)$$

$$g_{ds} = \frac{dI_{ds}}{dV_{ds}} = a[1 + \tanh(\Psi_i)][d \tanh(eV_{ds}) + \frac{e(1 + dV_{ds})}{\cosh^2(eV_{ds})}] \quad (3)$$

식(1)을 사용한 $I_{ds}(rf)$ 파라미터를 결정하기 위하여 추출된 g_{mo} 와 g_{ds} 의 bias 종속 데이터들과 각각 식 (2)와 (3)이 일치되도록 3차원 curve-fitting을 수행하였다.

식(2)는 weak 및 strong inversion 영역에서 기존 submicron MOSFET보다 느리게 증가하는 Nano-scale MOSFET의 RF g_{mo} 특성을 모델화하는데 기존 논문^[12]에서 개발된 방정식보다 훨씬 정확하다.

식 (1)에서 V_{gs} 와 관련된 a, b, c 파라미터들은 g_{mo}

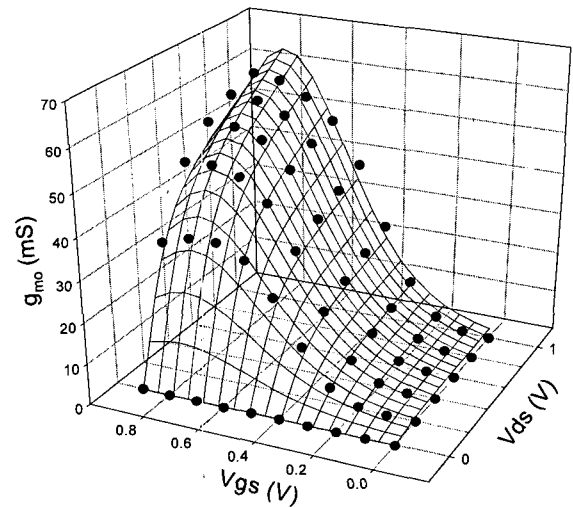


그림 4. 측정된 g_{mo} 데이터(●)를 식(2)로 curve-fitting한 3차원 모델 곡선(—) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

Fig. 4. The modeled 3-D curve(—) of g_{mo} fitted to extracted data(●) using (2) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

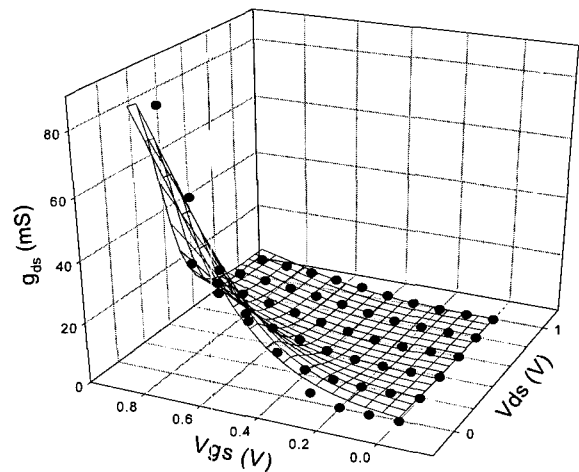


그림 5. 추출된 g_{ds} 데이터(●)를 식(3)으로 curve-fitting한 3차원 모델 곡선(—) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

Fig. 5. The modeled 3-D curve(—) of g_{ds} fitted to extracted data(●) using (3) ($L = 60\text{nm}$, $W = 10 \times 5 \mu\text{m}$).

fitting 과정 동안 정확히 추출되어질 수 있고, V_{ds} 와 관련된 d, e 파라미터들은 g_{ds} 의 fitting 과정 동안 정확히 추출 가능하다. 그림 4와 5에서 보여주는 것처럼 식 (2)와 (3)의 fitting값은 넓은 bias영역에서 추출된 g_{mo} 와 g_{ds} 와 비교적 좋은 근사치를 얻었으며, 이는

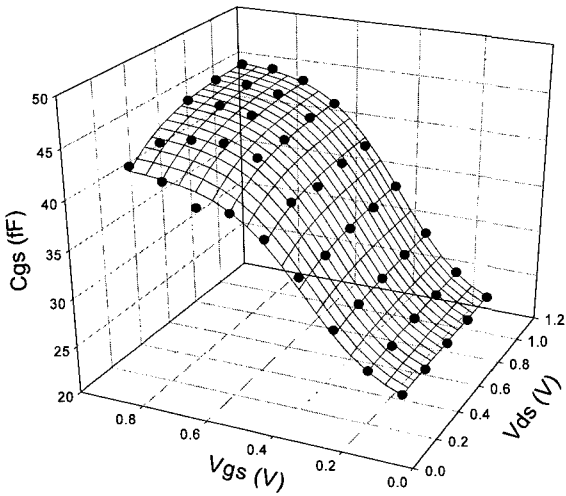


그림 6. 추출된 Cgs 데이터(●)를 식 (4)로 curve-fitting한 3차원 곡선(—) (L = 60nm, W = 10X5 μm).
 Fig. 6. The modeled 3-D curve(—) of Cgs fitted to extracted data(●) using (4) (L=60nm, W=10X5 μm).

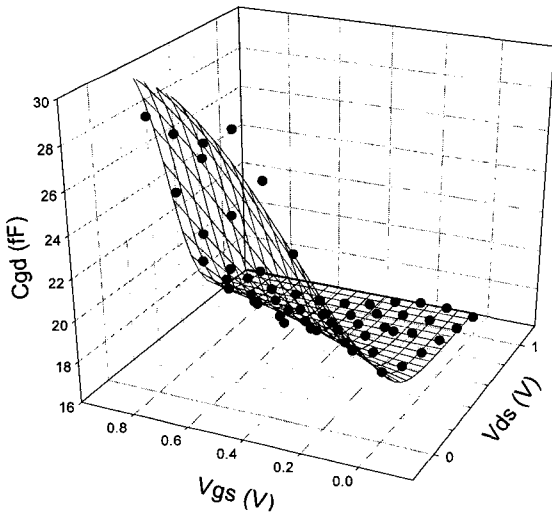


그림 7. 추출된 Cgd 데이터(●)를 식 (5)로 curve-fitting한 3차원 모델 곡선(—) (L = 60nm, W = 10X5 μm).
 Fig. 7. The modeled 3-D curve(—) of Cgd fitted to extracted data(●) using (5) (L=60nm, W=10X5 μm).

$I_{ds}(rf)$ 모델 파라미터들의 정확도를 보여준다.

비선형 캐패시턴스 파라미터 Cgs와 Cgd의 bias 종속 데이터들을 empirical하게 모델화하기 위하여 다음과 같은 방정식들을 사용하였다^[12].

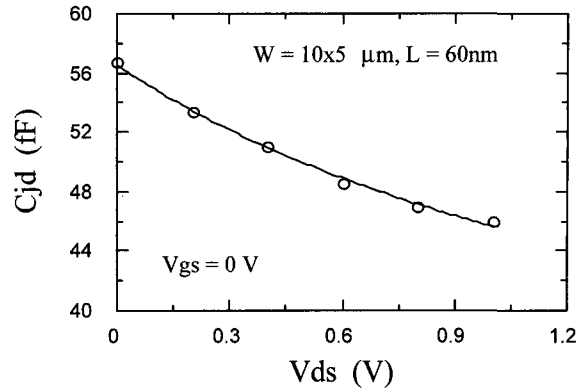


그림 8. 추출된 Cjd 데이터(●)를 식 (6)으로 curve-fitting한 모델곡선(—).
 Fig. 8. The modeled curve(—) of Cjd fitted to extracted data(●) using (6).

$$C_{gs} = C_{gsp} + C_{gso} [1 + \tanh(\Psi_{c1})][1 + \tanh(\Psi_{c2})] \quad (4)$$

$$\Psi_{c1} = h + k V_{gs}$$

$$\Psi_{c2} = p + q V_{ds}$$

$$C_{gd} = C_{gdp} + C_{gdo} [1 + \tanh(\Psi_{c3})][1 - \tanh(\Psi_{c4})] \quad (5)$$

$$\Psi_{c3} = r + s V_{gs}$$

$$\Psi_{c4} = t V_{ds} - u V_{gs}$$

식 (4)와 (5)의 empirical 모델 파라미터를 추출하기 위하여 Cgs와 Cgd의 bias 종속 데이터들과 일치되도록 3차원 curve-fitting을 수행하였다. 이 결과로서 모델방정식과 추출데이터는 그림 6과 7에서 보여주는 것처럼 넓은 bias영역에서 비교적 좋은 일치성을 얻었다.

또한, Djd의 diode 모델은 추출된 Vds-종속 Cjd 데이터를 다음 식으로 fitting함으로서 얻어졌다^[12].

$$C_{jd} = C_{jdo} \left(1 - \frac{V_{ds}}{V_J}\right)^{-M_J} \quad (6)$$

여기에서 V_J 는 junction built-in potential이고 M_J 는 grading coefficient이다. 그림 8은 추출된 Vds-종속 Cjd 데이터와 식(6)으로 fitting한 모델곡선을 비교하였으며, 비교적 좋은 일치성을 얻었다.

본 연구에서는 이와 같이 얻어진 비선형 모델 파라미터 방정식들을 Ansoft사의 Serenade 8.7 CAD 회로 설계 소프트웨어^[16]에 implement하였다.

4. Empirical 모델 정확도 검증

그림 1에서 구축된 empirical MOSFET 모델의 정확

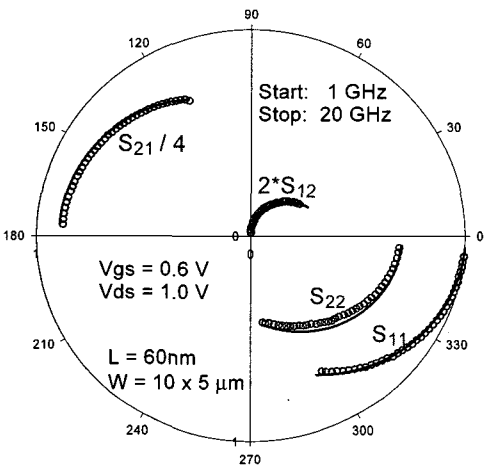
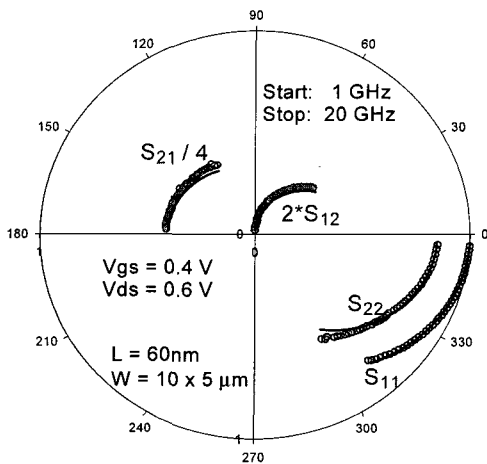


그림 9. 추출된 모델 S-파라미터 (—)와 측정된 값(o)들을 20GHz까지 비교한 Smith chart .

Fig. 9. Comparison between modeled (—) and measured (o) S-parameters up to 20GHz.

도를 검증하기 위하여 dc I-V 곡선과 여러 bias에서 측정된 S-파라미터 데이터 set들을 모델 곡선들과 각각 비교하였다. 그림 9에서 보여주듯이, dc I-V 곡선의 측정치와 모델치 사이의 일치성은 아주 우수하였다. 그림 9에서 S-파라미터의 측정치와 모델치가 다른 bias조건에서 1 - 20 GHz 까지 비교적 잘 일치된 결과를 보여주고 있으며, 이는 추출방법의 정확도를 나타낸다.

III. 결 론

본 연구에서는 L=60nm bulk MOSFET의 RF 비선형

특성을 복잡한 물리 방정식 유도 없이 간단히 모델링하기 위하여 empirical 내부 파라미터 모델에 외부 parasitic 파라미터들을 연결한 empirical MOSFET 모델링을 새롭게 수행하였다. 이를 위하여, Nano-scale bulk MOSFET에 적합한 추출방법을 사용하여 외부 기생성분들을 독립적으로 추출한 후에 광범위한 동작영역의 bias 종속 intrinsic 파라미터 데이터 set을 확보하였다. 이러한 bias 종속 곡선들을 hyperbolic tangent 함수의 방정식으로 fitting함으로써 empirical한 비선형 모델 방정식을 구축하였다. 이러한 empirical 모델의 정확도는 60nm MOSFET의 측정된 S-파라미터와 20 GHz 까지 아주 잘 일치됨을 관찰함으로써 입증되었다.

참 고 문 헌

- [1] <http://www.tsmc.com/>
- [2] <http://www.umc.com>
- [3] C.H. Chen *et al.*, "A 90 nm CMOS MS/RF based foundry SOC technology comprising superb 185 GHz f_T RFMOS and versatile, high-Q passive components for cost/performance optimization," Tech. Dig. Int. Electron Devices Meet., Dec. 2003.
- [4] S.-F. Huang *et al.*, "High performance 50 nm CMOS devices for microprocessor and embedded processor core applications," Tech. Dig. Int. Electron Devices Meet., Dec. 2001.
- [5] B. Yu *et al.*, "15 nm gate length planar CMOS transistor," Tech. Dig. Int. Electron Devices Meet., pp. 937-939, Dec. 2001.
- [6] BSIM3v3 Manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 1995.
- [7] BSIM4 Manual, Department of Electrical Engineering and Computer Science, University of California, Berkeley, 2000.
- [8] R. van Langevelde and F. M. Klaassen, "Accurate drain conductance modeling for distortion analysis in MOSFET," Tech. Dig. Int. Electron Devices Meet., pp. 313-316, Dec. 1997.
- [9] J. M. Collantes *et al.*, "A new large-signal model based on pulse measurement techniques for RF power MOSFET," IEEE MTT-S Int. Microwave Symp. Dig., pp. 1553-1556, June 1995.
- [10] I. Angelov, H. Zirath, and N. Rorsman, "A new empirical model for HEMT and MESFET devices," IEEE Trans. Microwave Theory Tech., vol. 40, pp. 2258-2268, Dec. 1992.

- [11] Y.-J. Chan, C.-H. Huang, C.-C. Weng, and B.-K. Liew, "Characteristics of deep-submicrometer MOSFET and its empirical nonlinear RF model," IEEE Transaction on Microwave Theory and Techniques, vol. 46, pp. 611-615, May 1998.
- [12] S. Lee, "Empirical Nonlinear Modeling for RF MOSFETs," International Journal of RF and Microwave Computer-Aided Engineering, vol. 14, pp. 182-189, March 2004.
- [13] S. Lee, "Effects of pad interconnection parasitics on forward transit time in HBTs", IEEE Trans. Electron Devices, Vol 46, no 2, pp.275-278, Feb 1999.
- [14] S. Lee, "An accurate RF Extraction Method for Resistances and Inductances of sub-0.1um CMOS Transistors", Electronics Letters, Vol 41, no 24, pp.1325-1327, Nov. 2005.
- [15] S. Lee, "Direct extraction technique for a small-signal MOSFET equivalent circuit with substrate parameters," Microwave and Optical Technology Lett., vol. 39, pp. 344-347, Nov. 2003.
- [16] Serenade version 8.7 User's Guide, Ansoft Corporation, 2001.

 저자 소개



이 성 현(정회원)

1985년 고려대학교 전자공학과 학사 졸업.

1989년 미국 University of Minnesota 전기공학과 석사 졸업.

1992년 미국 University of Minnesota 전기공학과 박사 졸업

1992년~1995년 한국전자통신연구원 선임연구원

1995년~현재 한국외국어대학교 전자정보공학부 교수

<주관심분야 : CMOS 및 바이폴라 소자 모델링>