

논문 2006-43SD-12-3

UWB 시스템을 위한 1.8V 8-bit 500MSPS 저 전력 CMOS D/A 변환기의 설계

(Design of an 1.8V 8-bit 500MSPS Low-Power CMOS D/A Converter for UWB System)

이 준 홍*, 황 상 훈*, 송 민 규**

(Jun-Hong Lee, Sang-Hoon Hwang, and Min-Kyu Song)

요 약

본 논문에서는 UWB(Ultra Wide Band)통신시스템을 위한 1.8V 8-bit 500MSPS의 D/A 변환기를 제안한다. 전체적인 D/A 변환기의 구조는 높은 선형성과 낮은 글리치 특성을 갖는 상위 6-MSB(Most Significant Bit) 전류원 매트릭스(Current Cell Matrix)와 하위 2-LSB(Least Significant Bit) 전류원 매트릭스로 구성된 2단 매트릭스 구조로 설계하였다. 또한 동일한 지연시간을 갖는 Thermometer Decoder와 고속 동작에서 전력을 최소화하기 위한 저 전력 스위칭 디코더(Current Switching Decoder Cell)를 제안함으로써 D/A 변환기의 고속 동작에서 성능을 향상시켰다. 설계된 DAC는 1.8V의 공급전압을 가지는 TSMC 0.18 μ m 1-poly 6-metal N-well CMOS 공정으로 제작되었으며, 제작된 D/A 변환기의 측정결과, 매우 우수한 동적성능을 확인하였다. 500MHz 샘플링 클럭 주파수와 50MHz의 출력신호에서 SFDR은 약 49dB, INL과 DNL은 각각 0.9LSB, 0.3LSB 이하로 나타났으며, 이 때의 전력소비는 약 20mW로 기존의 8-bit D/A 변환기에 비해 매우 낮음을 확인 할 수 있었다. D/A 변환기의 유효 칩 면적은 0.63mm²(900 μ m \times 700 μ m) 이다.

Abstract

In this paper, 1.8V 8-bit 500MSPS Low-power CMOS Digital-to-Analog Converter(DAC) for UWB(Ultra Wide Band) Communication System is proposed. The architecture of the DAC is based on a current steering 6+2 full matrix type which has low glitch and high linearity. In order to achieve a high speed and good performance, a current cell with a high output impedance and wide swing output range is designed. Further a thermometer decoder with same delay time and low-power switching decoder for high efficiency performance are proposed. The proposed DAC was implemented with TSMC 0.18 μ m 1-poly 6-metal N-well CMOS technology. The measured SFDR was 49dB when the output frequency was 50MHz at 500MS/s sampling frequency. The measured INL and DNL were 0.9LSB and 0.3LSB respectively. The DAC power dissipation was 20mW and the effective chip area was 0.63mm².

Keywords : DAC, Matrix Type, Current Cell, Switching Decoder, Thermometer Decoder

I. 서 론

D/A 변환기는 최근 멀티미디어 제품의 급속한 보급으로 인해 각종 디스플레이 분야에 Digital Data를 Analog 신호로 고속 및 고해상도로 변환해 주는 부분

에 많이 사용된다. 또한 Wireless Communication의 발달로 Cellular Phone이나 PDA(Personal Digital

Assistant)등의 송신단(Transmitter)에 D/A 변환기를 적용하여 Digital Data를 Analog Baseband 신호로 바꾸어 주는 역할을 한다. 최근 차세대 근거리 무선통신 방식으로 떠오르고 있는 UWB 통신시스템은 FCC(Federal Communication Commission)의 상업화 승인이 있는 후로부터, UWB(Ultra Wide Band)에 대한 연구와 개발은 표준화 그룹인 IEEE 802.15.3a를 중심으로

* 학생회원 ** 정회원, 동국대학교 반도체학과
(Dept. of Semiconductor Science, Dongguk University)

접수일자: 2006년7월24일, 수정완료일: 2006년10월25일

유수의 관련 회사들은 WiMedia 콘소시엄 결성, UWB 칩셋 제작 및 기술 특허 출원, 물리계층 제안서 제출 등 최근의 급격한 추세에 빠르게 대응하고 있는 상황이다. 이러한 UWB 통신시스템의 AFE(Analog Front End) ASIC 전송단에 적용되는 D/A변환기는 특히 낮은 전원 전압에서 저 전력의 고속 동작이 가능해야 한다.

본 연구에서는 UWB 통신시스템에서 필요로 하는 D/A변환기를 낮은 전원전압에서 고속 동작과 우수한 성능을 만족시키기 위해 전류구동 형태의 Matrix Type 8-bit 500MSPS DAC를 1.8V의 전원전압을 갖으며, 고 집적성 용이한 0.18um 1-Poly, 6-Metal N-well CMOS 공정으로 설계하였다. D/A 변환기의 구조는 전체적인 유효 면적과 전력 소비를 고려하여 6+2 분할구조로 하였고 Thermometer Code 기법을 이용한 전류원 매트릭스(Current Cell Matrix)로 상위와 하위 모두를 구성하였다. 또한 고속 동작에서 전력을 최소화하고 성능을 향상시키기 위해 우수한 동적 특성을 갖는 전류원과 동일한 지연시간을 갖는 Thermometer Decoder, 그리고 적은 전력소모를 갖는 스위칭 디코더를 제안하여 높은 샘플링 주파수에서의 효율을 향상시켰다.

본 논문의 내용은 다음과 같다. II장에서는 제안하는 6+2 분할 구조 D/A변환기의 구조와 세부 회로에 대한 자세한 설명을 기술하고, III장에서는 D/A변환기의 전체 모의실험 결과를, IV장에서는 D/A변환기의 Layout과 칩 구현 및 측정결과에 대하여 설명한 후, 마지막으로 V장에서 제안하는 D/A변환기에 대한 전체적인 내용을 요약 표를 통해 정리하였다.

II. 8bit 500MSPS D/A 변환기의 설계

1. 6+2 Matrix Type D/A변환기의 전체구조

Thermometer Code를 이용하는 D/A변환기는 정확한 단조 증가성과 적은 INL/DNL Error의 발생 및 정확한 Analog 출력으로 고성능의 D/A변환기를 구현할 수 있지만, 디코더, 스위칭 회로등의 추가 회로로 인해 전력 소모 및 면적이 증가되는 단점이 있다. 또한 Binary weighted current cell을 이용한 D/A변환기는 이진 비로 구성되어 있는 전류 원을 통해 원하는 전류를 출력하는 방법으로 트랜지스터 개수가 적고 회로의 구성이 간단하다는 장점이 있으나 공정상 부정함에 민감하고 Glitch 에너지가 크다는 단점이 있다.^[12]

기존의 D/A변환기에서 제안되었던 구조는 두 가지 Type을 적절히 혼합시켜 6+2 또는 4+4의 Segmented

Type 구조를 사용하였으나, 본 논문에서는 고속의 샘플링 주파수에서 우수한 성능을 만족시키기 위해 상, 하위를 각각 6+2의 Thermometer Decoder 구동방식의 Matrix Type으로 구성하였으며, 이로 인해 발생하는 상, 하위 디지털 신호의 지연시간 차이에 의한 매칭문제와 전력소모 증가의 단점을 보완하기 위해 하위 2-bit의 Decoder를 매우 간단한 알고리즘으로 구성하여 출력의 지연시간을 저 전력으로 상위와 동일하게 발생하도록 구현하였다. 그리고 고속의 동작에서 각 출력의 지연 시간차를 동일하게 갖는 Thermometer Decoder를 제안하여, 우수한 동적 성능이 가능하도록 설계하였으며, 고속 동작에 의한 전력 소모를 줄이기 위해 새로운 저 전력 스위칭 디코더를 제안함으로써, 전체적인 D/A 변환기의 전력소모를 최소화하였다.

본 연구에서 설계한 D/A변환기의 회로에 대한 전체 구조를 그림 1에 Block Diagram으로 나타내었다. 회로의 기본적인 동작을 살펴보면 우선 8-Bit의 Digital 입력신호는 Input Buffer 및 고속 동작의 Latch를 통해서 샘플링 되어 지연시간이 보정된 후, 상위 및 하위 각각의 전류모드 Digital to Analog 변환 블록으로 들어가게 된다. 먼저 상위 6-bit은 각각 3-bit으로 나뉘어져 출력의 지연시간을 동일하게 갖는 Row & Column 디코더를 통해 Thermometer Code로 변환된다. 이후 변환된 Code는 다시 저 전력 스위칭 디코더(Switching Decoder Cell)에 의해 64개의 상위 전류원을 선택적으로 구동하게 된다. 또한 하위 2-bit은 상위와 동일한 지연시간을 갖는 디코더를 통해 4개의 하위 전류원을 구동함으로써,

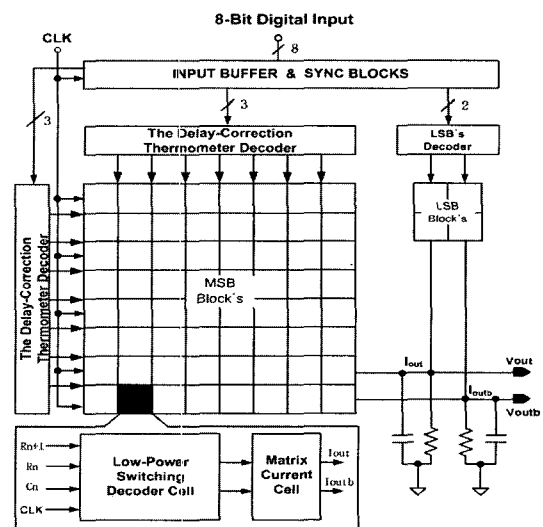


그림 1. 8-bit D/A 변환기의 전체 구조
Fig. 1. 8-bit DAC Full Block Diagram.

출력단의 종단저항을 통해 디지털 입력신호에 대응하는 선형적인 아날로그 전압신호를 출력한다.

2. 설계 사양

D/A 변환기에 대한 설계는, 우선 요구되는 변환기에서 출력되는 아날로그 출력전압의 최대값을 설정한 후 D/A변환기의 기준전압을 구한다. 이 후 디지털 입력신호의 LSB가 한 단계 변화할 때 아날로그 신호의 전압 변화 값인 LSB전압을 구하여야 한다. D/A변환기의 해상도는 8-bit이므로 1LSB는 2.3437m Volt가 되며, 출력전압의 최대값($V_{out,max}$)은 1.2Volt로 설정하여 Dual mode의 출력이므로 각 출력의 최대전압은 0.6Volt가 된다. 따라서 LSB전압은 각 단이 2.343m Volt의 값으로 변화하며, 이때 D/A변환기의 출력 종단저항이 50 Ω 이므로 하위 전류원의 출력전류는 약46.875 μ A 가 되어야 한다. 이와 같이 계산되어진 하위 2-bit의 전류원을 기준으로 상위 6-bit의 전류원에서 출력되는 전류는 4배수의 전류인 약 187.5 μ A의 전류를 할당하도록 설계하였다.

3. D/A 변환기의 전류원

전류원(Current Cell)은 D/A변환기의 성능을 결정하는 중요한 회로로 적은 Glitch발생과 높은 샘플링 주파수에서 동작이 가능해야 한다. 본 연구에서 설계한 D/A 변환기의 전류원은 고속의 동작에서 우수한 동적 성능을 위해 기존에 제안되었던 전류원들의 특성을 고속 동작에 적합하고, 높은 선형성을 갖도록 최적화한 구조이다. 그림2에 고속의 동작에 적합한 전류원 회로를 나타내었다. 전류원의 역할을 하는 MN1, MN2는 Cascode로 구성하여 기존 전류원에서 높은 출력저항을 갖는 안정된 전류가 생성되므로, 전류원의 출력 노드에

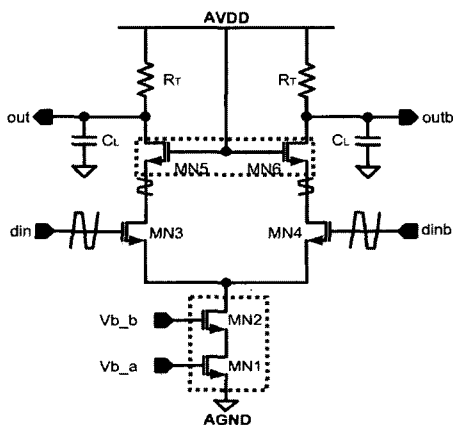


그림 2. 고속 동작에 적합한 전류원 회로
Fig. 2. DAC Current Cell for High Speed.

서 고속의 스위칭에 의해 발생하는 전류의 흔들림을 억제한다. 또한 MN5와 MN6은 고속으로 동작하는 디지털 입력신호에 의해 순간적으로 스위치가 닫히면서 MN3과 MN4의 기생 커패시터를 통해 최종 출력노드로 Feedthrough 되는 noise를 방지하기 위한 Isolation 역할을 함으로서, 고속 동작에서 발생하는 출력의 순간적인 오차를 보정하게 된다.

4. 제안하는 저 전력 스위칭 디코더 회로

본 연구에서 제안하는 D/A변환기는 높은 주파수에서 전류원의 스위칭이 이루어지므로 입력신호의 미세한 지연시간에 의해 출력 오차가 발생하게 된다. 또한 입력단에서 동기화된 신호가 서로 다른 지연시간을 갖고 스위칭 디코더의 입력으로 인가되어 출력되므로, 디코더 내부에서 동일한 Clock신호에 의해 동기가 되어 지연시간을 최소화 시키게 된다. 그림 3은 본 연구에서 제안하는 저 전력 스위칭 디코더의 회로를 나타낸 것이다. 우선 고속의 입력으로 동작되는 디코더 로직의 경우 기존의 OR게이트와 NAND게이트로 구성된 디코더는 대응하는 출력신호의 경로가 다르기 때문에 원 신호와 대응신호의 지연시간이 발생하게 된다. 제안하는 디코더는 로직을 입력에 대하여 같은 경로를 가지도록 구현하

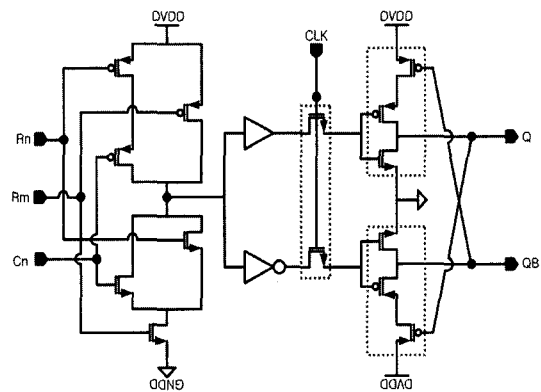


그림 3. 제안하는 저 전력 스위칭 디코더의 회로
Fig. 3. Proposed Low-Power Switching Decoder Cell.

Switching Decoder Type	Power Consumption [RMS] (Fs : 500MHz)
Gate Logic Decoder	1.24mW
Complex Logic Decoder	0.97mW
Proposed Decoder	0.68mW

그림 4. 스위칭 디코더의 전력소비 비교
Fig. 4. Comparison of Power Consumption in Decoder Cell.

여 지연시간의 발생을 최소화하였다.

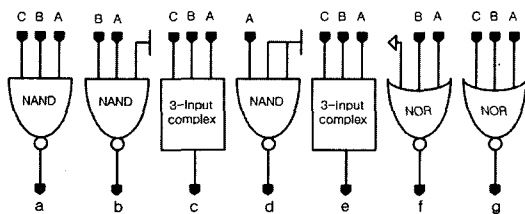
또한 최종 출력의 지연시간 보정을 위한 고속의 Latch는 기존 마스터슬레이브 형태의 플립플롭과 비교하여 clock의 원신호만으로 동기화를 시키며 Clock신호가 'Off'상태에서 대응되는 입력신호가 고정되므로, 반드시 한 부분은 'Off'상태를 유지하기 때문에 고속의 동작에서 전력소모를 감소시킬 수 있다. 그림 4에 기존 스위칭 디코더와 본 연구에서 제안한 스위칭 디코더의 전력소비를 비교하여 나타내었다.

5. 제안하는 Delay-Correction Thermometer Decoder 회로

D/A변환기에 입력되는 신호는 일차적으로 동기화 되어 상위 6-bit의 신호가 3-bit으로 각각 나누어져 Thermometer Decoder에 인가되며 그 출력이 스위칭 디코더의 로직으로 인가된다. 이 때 일반적인 방법의 CMOS 로직, 혹은 BDD(Binary Decision Diagram) 로직을 이용하여 구현한 Thermometer Decoder는 각 출력에 해당하는 로직이 다르게 구성되어 각 출력의 지연시간이 크게 발생하기 때문에 고속 동작에서의 성능을 저

A	B	C	a	b	c	d	e	f	g
0	0	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	1	1	0
0	1	0	1	1	1	1	1	0	0
0	1	1	1	1	1	1	0	0	0
1	0	0	1	1	1	0	0	0	0
1	0	1	1	1	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0

(a)



(b)

그림 5. (a) 제안하는 Thermometer Decoder의 진리표
(b) 제안하는 Thermometer Decoder의 구현로직
Fig. 5. (a)True table of the proposed Thermometer Decoder.
(b) Gate Logic of the proposed Thermometer Decoder.

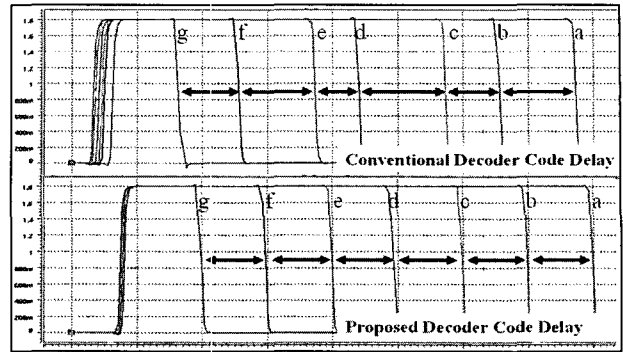


그림 6. 기존 Decoder와 제안하는 Decoder의 모의실험 결과 비교
Fig. 6. Output Code of the proposed Thermometer Decoder.

하시키고 오차코드 및 Glitch를 발생하는 원인이 된다. 이러한 요인을 최소화하기 위해 제안하는 Thermometer Decoder의 진리표와 로직구현을 그림 5에 나타내었다. 입력에 대한 모든 출력은 동일한 구조의 로직으로 구성 되어; 동일한 경로를 통해 신호가 출력된다. 또한 BDD(Binary Decision Diagram) 로직과 비교하여, 입력의 대응신호를 필요로 하지 않는 장점을 가진다. 그림 6은 기존의 디코더와 제안하는 디코더의 출력결과를 비교한 것으로, 각 출력의 지연시간이 동일하게 발생하여 고속의 동작에서 출력코드의 오차 발생을 최소화할 수 있다.

6. 매트릭스 전류원의 대칭적인 스위칭

실제 매트릭스 전류구동 형태의 D/A변환기에서 출력의 선형성이 감소하게 되는 가장 큰 원인의 하나는 구현된 전류원의 부정합에 의해 나타나게 된다. 소자 부정합의 발생 원인으로는 Power line을 따라 발생하는 전압강하(IR Drop), 공정의 임의변수에 의한 오차 및 칩 내부의 열 분포, 전류의 방향에 따른 전류크기의 부정합 등이 있으며, 이러한 발생 원인에 의해 전류원의 부정합이 발생하게 되어 선형성의 감소가 나타나게 된다. 전류원 Matrix의 스위칭에 있어서 기존의 전류원을 동작 시키는 방법은 하나의 라인에 대해 전류원 스위치가 모두 켜진 후 다른 라인의 전류원 스위치가 켜지게 되므로 라인에 대한 경사오차와 대칭오차는 누적 되게 된다. 따라서 그림7에 나타낸바와 같이 상위 6-bit에 해당하는 64개의 전류원에 대해 중심 전류원을 기준으로 행과 열에 대해 서로 대칭적 위치에 있는 전류원들을 순차적으로 스위칭 함으로서 2차원적으로 발생할 수 있는 공정오차 및 경사오차를 감소시키는 장점을 갖는다.

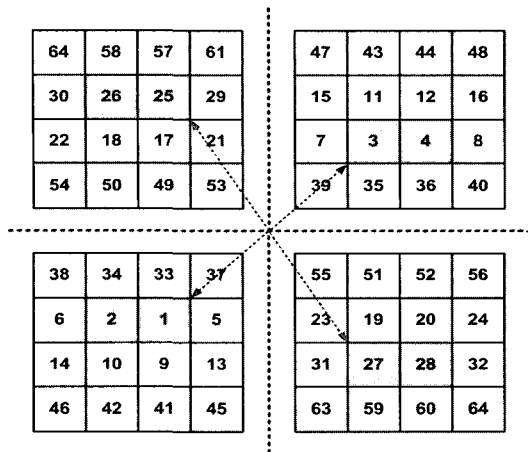


그림 7. 상위 매트릭스 전류원의 대칭적인 배치
Fig. 7. Symmetrical floor plan of MSB Matrix Current cell.

이러한 전류원의 대칭적인 배치를 통한 스위칭 기법은 행과 열의 각 스위칭 디코더들의 위치를 전류원의 위치에 따라 배치함으로써 별 다른 회로의 추가 없이 구현할 수 있다. Matrix의 공통 열(Common Row line)은 각 구역의 하위 3-bit이 되고 공통 행(Common Column line)은 각 구역의 상위 3-bit이 된다. 따라서 Row line은 모두 공통의 라인을 형성하게 되고 Column line은 전체 64개 전류원 Matrix의 중심부분에서 상하 반전을 이루게 된다.

III. 8-bit D/A 변환기의 모의실험 결과

D/A 변환기의 동작 여부를 확인하기 위한 모의 실험을 수행하였다. 8-bit의 디지털 입력이 00000000에서 11111111로 모든 코드가 순차적으로 동작함으로써, 선형적인 D/A변환기의 출력을 확인하였다. 그림8은 Ramp code입력에 대한 8-bit D/A변환기의 모의실험 결과를 나타낸 것이다. 마찬가지로 샘플링 주파수는 500MHz에 입력주파수를 250MHz로 설정하여 결과를 확인하였다. DC출력의 결과와 LSB 출력전압은 설계 사양과 동일한 결과를 나타내었다.

그림 9는 샘플링 주파수 500MHz에 출력주파수는 250MHz의 이상적인 A/D 변환기 출력코드를 입력으로 받아들이며 나타낸 D/A변환기의 아날로그 출력결과를 나타낸 것이며, 그림 10은 아날로그 출력의 FFT(Fast Fourier Transform)결과를 나타낸 것이다. 이러한 결과를 토대로 D/A변환기의 모의실험에서 나타난 동적특성은 SFDR(Spurious Free Dynamic Range)이 최대 65dB에서 최소 55dB로 나타남을 확인하였다. 또한 공정 변

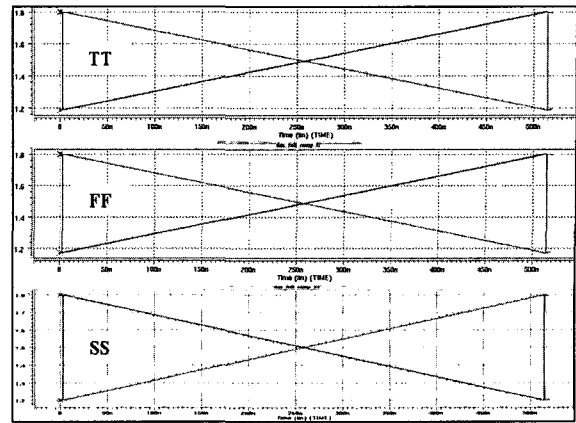


그림 8. Ramp입력에 대한 8-bit DAC의 모의실험 결과
Fig. 8. Full Ramp Simulation Result of 8-bit DAC.

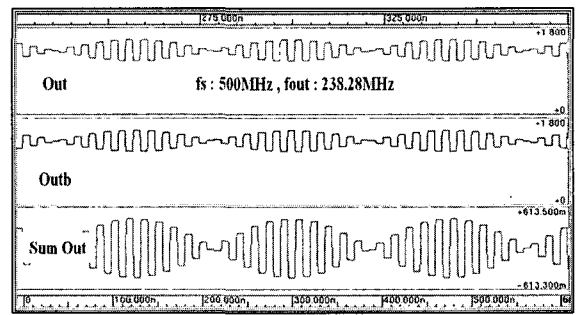


그림 9. 이상적인 ADC에 의한 DAC의 모의실험 결과
Fig. 9. DAC Simulation Result by Ideal ADC.

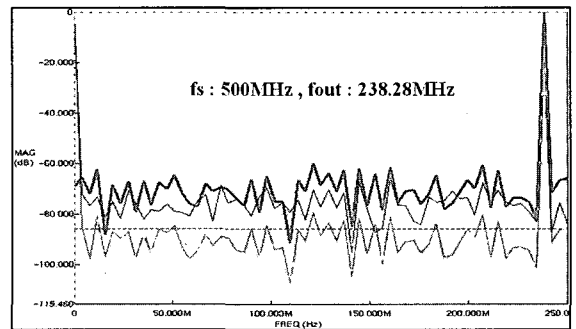


그림 10. 이상적인 ADC에 의한 DAC출력의 FFT결과
Fig. 10. DAC FFT Simulation Result by Ideal ADC.

		FF	TT	SS
500MS/s 11.718MHz	SFDR	65.97dB	65.93dB	65.24dB
	ENOB	7.99bit	7.99bit	7.98bit
500MS/s 66.406MHz	SFDR	60.61dB	61.71dB	58.70dB
	ENOB	7.92bit	7.88bit	7.78bit
500MS/s 238.281MHz	SFDR	55.08dB	54.74dB	52.38dB
	ENOB	7.76bit	7.75bit	7.64bit

그림 11. 공정 변화에 따른 DAC의 모의실험 결과
Fig. 11. DAC Simulation Summary by Process Condition.

화에 따른 D/A 변환기의 모의실험 결과를 확인하였으며, 출력 주파수와 공정 변화에 따른 D/A변환기의 동적특성을 그림 11에 요약하여 나타내었다.

IV. D/A 변환기의 칩 구현 및 측정 결과

1. D/A 변환기의 Layout 및 칩 구현

설계된 D/A변환기를 구현한 칩과 Layout을 그림 12에 나타내었다. D/A변환기의 유효면적은 900um x 700um으로 약 0.64mm²이다. 아날로그 전류원의 보호와 격리를 위해 디지털 스위칭 매트릭스 부분과 아날로그 전류원 매트릭스 부분을 철저히 분리하여 디지털 신호에 의한 간섭을 최소화 하였다. 6+2구조에서 상위 부분에 해당하는 부수적인 추가회로들을 적절하게 배치 함으로서 유효 면적을 줄였으며, 스위칭 디코더의 출력과 아날로그 전류원의 입력 라인은 모두 동일하게 설정 되도록 구현하였다. 또한 각 디코더의 출력라인을 스위칭 디코더의 매트릭스 중앙에서 사방으로 뻗어나가도록 Layout함으로서 지연시간의 오차를 최소화하였다.

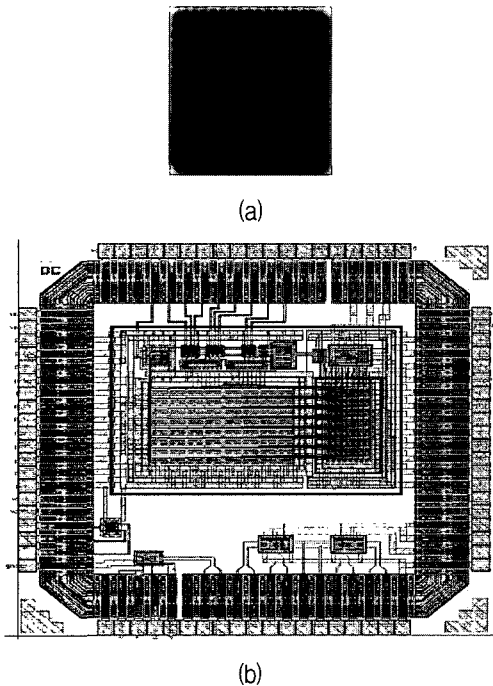


그림 12. (a) D/A 변환기의 구현 칩
(b) D/A 변환기의 전체 Layout
Fig. 12. (a) Implementation Chip of DAC.
(b) Full Layout of pDAC.

2. 측정 결과

D/A 변환기의 아날로그 출력을 Spectrum Analyzer

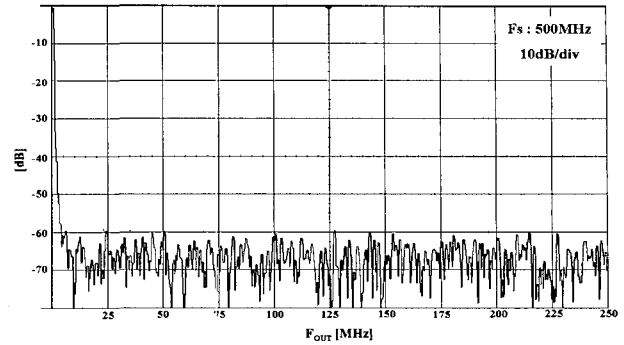


그림 13. FFT 측정결과(fs:500MHz, fout:1MHz)
Fig. 13. FFT Measurement at 500MSPS, fout:1MHz.

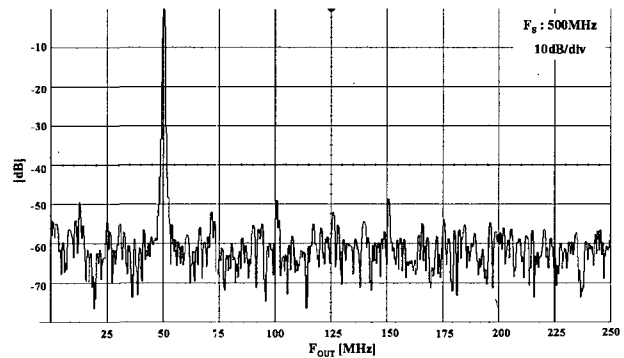


그림 14. FFT 측정결과(fs:500MHz, fout:50MHz)
Fig. 14. FFT Measurement at 500MSPS, fout:50MHz.

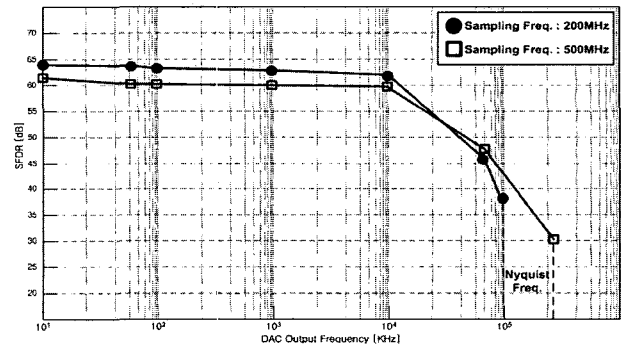


그림 15. D/A 변환기의 FFT 측정결과(SFDR)
Fig. 15. FFT (SFDR) Measured Results of DAC.

를 이용하여 FFT 측정을 통해 동적 특성을 측정하였다. 그림 13은 500MHz의 샘플링에서 1MHz의 D/A변환기 출력에 대한 FFT 측정결과를 나타낸 것이며, 그림 14는 500MHz의 샘플링에서 50MHz의 출력에 대한 FFT 측정결과를 나타내었다. 출력 신호에 대한 SFDR (Spurious Free Dynamic Range)은 1MHz에서 약 60dB로 나타났으며, 50MHz에서는 약49dB로 나타났다. FFT 결과를 토대로 500MHz와 200MHz 샘플링 주파수에서 D/A 변환기의 출력 주파수에 대한 SFDR의 측정결과를 그림 15에 요약하여 도식화 하였다.

D/A 변환기의 INL(Integrated-Non-Linearity) Error

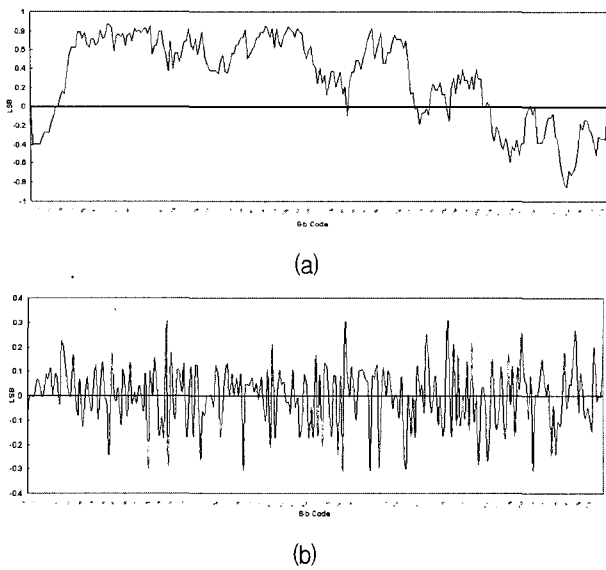


그림 16. (a) D/A 변환기의 INL 측정결과
 (b) D/A 변환기의 DNL 측정결과
 Fig. 16. (a) DAC INL Measured Result.
 (b) DAC DNL Measured Result.

와 DNL(Differential-Non-Linearity) Error의 측정결과를 그림 15에 각각 나타내었으며, 이때의 INL은 $\pm 0.9\text{LSB}$, 그리고 DNL은 $\pm 0.3\text{LSB}$ 이하로 측정되었다.

V. 결 론

본 논문에서는 TSMC 0.18 μm 1-Poly, 6-Metal N-well CMOS 공정을 사용하여 UWB시스템의 아날로그 전송단의 적용을 위한 D/A변환기를 설계하였다. 설계된 D/A 변환기는 1.8V의 전원전압에서 8-bit의 해상도를 가지며 고속 동작에서 높은 선형성과 낮은 전력소모의 특성을 갖는다. 전체적인 구조는 고속 동작에서의 우수한 동적 특성, 그리고 높은 선형성을 위해 상위 6-bit과 하위 2-bit을 Full Thermometer Type Matrix 구조로 구성하여 구현하였다. 또한 D/A 변환기의 실제 구현에서 소자 부정합과 공정상의 오차에 의해 발생하는 경사오차와 대칭오차를 줄이기 위해 전체 매트릭스의 전류원을 2차원의 대칭적인 배치로 최소화하였다. 고속 동작에서 성능저하를 최소화하기 위해 전류를 구동하는 전류원을 최적화된 구조로 설계하였으며, 출력 신호의 지연시간을 동일하게 갖는 Delay-Correction Thermometer Decoder를 제안하여 고속 동작의 성능을 향상하였고, 전력소모를 최소화하기 위해 저 전력 스위칭 디코더를 제안하였다.

설계된 D/A 변환기의 성능은 Ramp code와 Sin code

표 1. 설계된 D/A 변환기의 사양 및 측정 결과

Table 1. Performance summary of the designed DAC.

Resolution	8bits
Sampling freq.	500MSPS
Power Supply	1.8V(Analog & Digital)
Output Range (V_{LSB})	1.2Vp-p Dual mode (2.343mV)
INL / DNL	$\pm 0.9\text{LSB} / \pm 0.3\text{LSB}$ (measured results)
SFDR	60dB @ 500MSPS, f_{out} :1MHz
(measured results)	49dB @ 500MSPS, f_{out} :50MHz
Glitch Energy	0.25pVsec
Power diss.	20mW @ 500MSPS
Core Area	900 $\mu\text{m} \times 700\mu\text{m}$ [0.63mm ²]
Process	TSMC 0.18 μm , 1-poly, 6-metal N-well CMOS

표 2. 최근 8bit D/A 변환기의 연구동향

Table 2. Recent research of 8bit DAC.

참고문헌	Sampling Frequency	Power Supply	SFDR	Power Dissipation
본 논문	500MHz	1.8V	49dB@ f_{in} :50M	20mW
[3]	10KHz	5V	43dB@ f_{in} :20Hz	25mW
[4]	100MHz	3.3V	62.1dB@ f_{in} :1.5M	53.5mW
[5]	10MHz	2V	50dB@ f_{in} :200KHz	2mW
[6]	65MHz	3.3V	52dB@1MHz	34.5mW

의 입력에 대한 모의실험을 통해서 우수한 정적특성 및 동적특성의 결과를 확인하였다. D/A변환기의 유효 칩 면적은 900 $\mu\text{m} \times 700\mu\text{m}$ 으로 약 0.63mm²이며, 구현된 칩을 측정된 결과는 500MHz의 높은 샘플링 주파수에 1MHz의 출력에서 60dB, 50MHz의 출력에서 49dB의 SFDR결과를 나타내었다. 표 1에 본 논문에서 제안한 D/A변환기의 전체적인 사양 및 구현된 칩의 측정결과를 요약하였으며, 동일한 해상도를 갖는 기 발표된 D/A 변환기와 본 연구에서 설계한 D/A변환기의 성능을 비교하여 표 2에 나타내었다.

참 고 문 헌

[1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997, pp. 463-486
 [2] Rudy van de Plassche, "CMOS Integrated Analog to Digital and Digital to Analog Converter", Kluwer Academic Publisher, 2003, pp. 205-235
 [3] Wang, S. and Omair Ahmad, M., "A switched-current ratio-independent algorithmic D/A converter" Circuits and Systems, 1999. ISCAS '99. Proceedings of the 1999 IEEE International Symposium on Volume 2, 30

- May-2 June 1999 Page(s):101 - 104 vol.2
- [4] Yijun Zhou and Jiren Yuan, "An 8-bit 100-MHz CMOS linear interpolation DAC" Solid-State Circuits, IEEE Journal of Solid State, Volume 38, Issue 10, Oct. 2003 Page(s):1758 - 1761
- [5] Hwei-Chi Wang, Hong-Sing Kao, Tai-Cheng Lee, M. "An 8-bit 2-V 2-mW 0.25-mm/sup 2/ CMOS DAC" Advanced System Integrated Circuits 2004. Proceedings of 2004 IEEE Asia-Pacific Conference on 4-5 Aug. 2004 Page(s):102 - 105
- [6] J. H. Kim and K. S. Yoon, "An 8-Bit CMOS 3.3V 65MHz Digital to Analog Converter with a Symmetric Two-Stage Current Cell Matrix Architecture" IEEE Trans. Circuits Systs.II, vol. 45, no. 12, pp. 1605-1609, Dec. 1998.
- [7] Sanghoon Hwang and Minkyu Song, "A 10-b 500 MSPS current-steering CMOS D/A converter with a self-calibrated current biasing technique" Electronics, Circuits and Systems, 2004. ICECS 2004. Proceedings of the 2004 11th IEEE International Conference on 13-15 Dec. 2004 Page(s):254 - 257
- [8] Weibiao Zhang and Hassoun M., "A redundant-cell-relay continuous self-calibration method for current-steering DACs" Solid-State Circuits conference, ESSCIRC 2001. 18-20 Sept. 2001 Page(s):349-352
- [9] Younhua Cong; Geiger,R.L, "A 1.5V 12-bit 100-MS/s self-calibrated DAC" Solid-State Circuits, IEEE Journal of, Volume 38, Issue 12, Dec 2003 Page(s):2051-2060
- [10] Baschirotto. A, Ghittori. N, Malcovati. P, Vigan. A, "Design trade-offs for a 10 bit, 80MHz current steering digital-to-analog converter" The 2nd Annual IEEE Northeast Workshop on Circuits and Systems, NEWCAS 2004, 20-23 June 2004, Page(s):249-252
- [11] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(상)", 시그마프레스, 1999, pp. 98-106
- [12] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계(하)", 시그마프레스, 1999, pp. 63-98

 저 자 소개



이 준 홍(학생회원)
 2005년 동국대학교
 반도체학과 학사 졸업.
 2005년~현재 동국대학교
 반도체학과 석사과정.
 <주관심분야 : 고성능 데이터 변
 환기 설계, 저 전력 혼성모드 회로
 설계 >



황 상 훈(학생회원)
 2001년 동국대학교
 반도체학과 학사 졸업.
 2003년 동국대학교 반도체학과
 석사 졸업.
 2004년~현재 동국대학교
 반도체학과 박사 과정.
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계 >



송 민 규(정회원)
 1986년 서울대학교 전자공학과
 학사 졸업.
 1988년 서울대학교 전자공학과
 석사졸업.
 1993년 서울대학교 전자공학과
 박사 졸업.
 1993년~1995년 동경대학교 초빙연구원
 1995년~1997년 삼성전자 ASIC 설계팀 연구원
 1997년~현재 동국대학교 부교수
 <주관심분야 : CMOS 아날로그 회로 설계, 저 전
 력 혼성모드 회로 설계 >