

# CMOS 뉴런의 활성화 함수

## CMOS neuron activation function

강민제\*, 김호찬\*, 송왕철\*\*, 이상준\*\*

Min-Jae Kang, Ho-Chan Kim, Wang-Cheol Song and Sang-Joon Lee

\* 제주대학교 전기.전자공학부

\*\* 제주대학교 정보공학과

### 요 약

CMOS 인버터 특성곡선의 기울기를 조절하는 방법과 y축으로 이동할 수 있는 방법을 제안하였다. 기울기의 변경과 y축으로 이동은 트랜지스터의 문턱 값을 조절하는 방법을 사용하였다. 그리고 특성곡선의 중심에서는 두 트랜지스터 모두 포화 영역에 머물러 있음에 착안하여, 단극성 뉴런의 특성곡선을 만드는 방법을 제안하였다. 제안된 방법은 회로레벨의 시뮬레이션을 통해 검증하였으며, 회로레벨의 시뮬레이션은 OrCAD사의 PSpice(Professional Simulation Program with Integrated Circuit Emphasis)를 사용하였다.

키워드 : CMOS, 인버터, 특성곡선, 문턱값, PSpice

### Abstract

We have proposed the methods how to control the slope of CMOS inverter's characteristic and how to shift it in y axis. We control the MOS transistor threshold voltage for these methods. By observing that two transistors are in saturation region at the center of the CMOS inverter's characteristic, we have presented how to make the characteristic for one pole neuron. The circuit level simulation is used for verifying the proposed method. PSpice(OrCAD Co.) is used for circuit level simulation.

Key Words : CMOS inverter, Characteristic, Threshold voltage, Saturation region, One pole neuron, Circuit level simulation.

## 1. 서 론

비선형신경회로망의 하드웨어 구현에 있어서 가장 중요한 요소 중의 하나가 뉴런이며, 그리고 뉴런의 활성화함수는 전체 신경회로망에 막대한 영향을 미친다. 뉴런의 활성화 함수에 사용되는 함수들은 비선형으로 단조증가하면서 수렴 값(최소, 최대)을 갖는다. 이런 조건을 만족하는 함수가 s-자형 함수(sigmoid function)이며, 그 중 보편적으로 사용되는 함수는 다음과 같다[3].

$$y = f(net) = \frac{2}{1 + \exp(-\lambda net)} - 1 \quad (1)$$

여기서 y는 뉴런의 출력 그리고 f는 뉴런의 활성화함수를 나타낸다.  $\lambda$ 는 활성화함수의 기울기를 결정하는 활성화함수의 이득률이며, net는 뉴런의 입력이다. 이득률  $\lambda$ 가 증가함에 따라 활성화함수의 기울기는 증가하고  $\lambda$ 가 무한대 값에서는 활성화함수는 다음과 같이 시그넘함수가 된다.

$$f(net) = \text{sgn}(net) = \begin{cases} +1, & net > 0 \\ -1, & net < 0 \end{cases} \quad (2)$$

식(1)은 양극성 뉴런의 연속 활성화함수, 식(2)는 양극성 뉴런의 이진 활성화함수를 나타낸다. 단극성 뉴런의 활성화

함수는 양극성 뉴런의 활성화함수를 y축으로 이동과 축소를 통해 얻을 수 있다. 신경회로망을 소프트웨어적으로 구성하는 데는 식(1)을 응용하여 다양한 기울기와 특성을 갖는 뉴런의 활성화함수를 쉽게 만들 수 있다. 그러나 하드웨어로 만드는 경우는 많은 고려사항과 제한이 따른다[1].

급속히 발전하는 VLSI 기술은 효율적인 신경회로망을 하드웨어적으로 만드는 것을 가능하게 하고 있으며, 이러한 기술들을 이용한 디지털 신경회로망, 아날로그 신경회로망, 그리고 디지털과 아날로그가 혼합된 신경회로망 구성에 관하여 많은 방법들이 제안되어 왔다 [1]-[3]. 신경회로망을 구성하는 요소는 크게 뉴런, 시냅스, 그리고 제어회로로 나눌 수 있다. 뉴런은 최소단위의 프로세서로 동작하고, 시냅스는 뉴런과 뉴런을 연결하여 신호를 전달하는 매체로 작용하고, 제어회로는 신경회로망이 응용되는 시스템에 따른 알고리즘 및 입출력 등에 관한 전반적인 것을 제어한다. 신경회로망을 응용하는 시스템에 따라 제어회로뿐만 아니라 시냅스의 연결가중치가 다르게 구성된다. 또한 뉴런도 입출력특성곡선에 따라 시스템의 성능에 많은 영향을 미친다[3]. 다양한 입출력특성곡선의 뉴런을 구성하는 많은 방법들이 제안되었으며, 이중 CMOS 인버터를 이용한 차등증폭기 형태의 뉴런에 관한 뉴런에 관한 연구가 많이 발표되었다. CMOS 인버터의 입출력특성곡선은 s-자형으로 뉴런의 활성화 함수와 같은 형태이므로, CMOS 인버터를 기본으로 하고, 특성곡선의 기울기 등을 제어하기 위한 부가회로를 첨가하여 차등증폭기 형태의 뉴런을 사용하고 있다[5]-[8]. 이렇게 한 번 구성된 뉴런은

접수일자 : 2005년 9월 26일

완료일자 : 2006년 9월 5일

증폭기를 제어하여 여러 형태의 특성곡선을 쉽게 구할 수 있어 다양한 신경회로망의 뉴런으로 사용할 수 있는 장점이 있다. 그러나 부가회로로 인해 뉴런의 크기가 커지는 단점이 있다. 수많은 뉴런을 필요로 하는 신경회로망이거나 미세한 크기의 신경회로망이 요구되는 상황에서는 뉴런의 크기가 문제가 될 수 있다.

본 논문에서는 CMOS 인버터 특성곡선의 기울기를 조절하는 방법과 y축으로 이동할 수 있는 방법을 제안하였다. 기울기의 변경과 y축으로 이동은 트랜지스터의 문턱값을 조절하는 방법을 사용하였다. 이 방법을 이용하면 부가회로 없이 CMOS 인버터를 그대로 뉴런으로 사용할 수 있다. 물론 이 방법은 원하는 특성곡선을 얻기 위해 한 번 정해진 파라미터 값으로 VLSI 칩을 만들어야 하고, 고로 한 번 정해진 특성곡선은 칩의 외부 핀으로 제어가 불가능하다는 단점이 있다. 그러나 한 번 정해진 특성곡선을 변경할 필요가 없고, 많은 뉴런을 요구하는 신경회로망을 구성할 경우에는 유용한 방법이라 생각된다. 그리고 특성곡선의 중심이 두 트랜지스터 모두 포화영역에 있을 때 생긴다는 것에 착안하여, 특성곡선을 y축으로 이동하고 축소하여 단극성 뉴런의 특성곡선을 만드는 방법을 제안하였다. 제안된 방법은 회로레벨의 시뮬레이션을 통해 검증하였으며, 회로레벨의 시뮬레이션은 OrCAD사의 PSpice(Professional Simulation Program with Integrated Circuit Emphasis)를 사용하였다.

## 2. CMOS 인버터 회로 모델

많은 응용회로에서 시그모이드 형태의 뉴런 특성곡선을 요구하는 경우가 있다. 여기서 “시그모이드”라 함은 영문자 S 형태의 완만한 곡선을 뜻한다. 이러한 특성곡선은 간단한 푸시-풀 증폭기를 이용하여 얻을 수 있으며, 이런 회로는 논리회로에서 전압 인버터로 이용되고 있다[9]-[11].

CMOS인버터회로는 그림.1에서 알 수 있듯이 nMOS와 pMOS 트랜지스터로 구성되어지며 트랜지스터들의 드레인을 공통으로 묶고, 또한 이곳을 출력으로 한다. 게이트들은 공통으로 묶어서 입력으로 하고 소스들은 외부 공급전원들  $V_{dd}$ 와  $V_{ss}$ 에 연결되어 있는 데, 여기서  $V_{dd} = -V_{ss}$ 이다. 이회로의 입출력 특성곡선은 그림.2에서 알 수 있듯이 입력이 증가함에 따라 출력이 Vdd에서 -Vdd로 변한다.

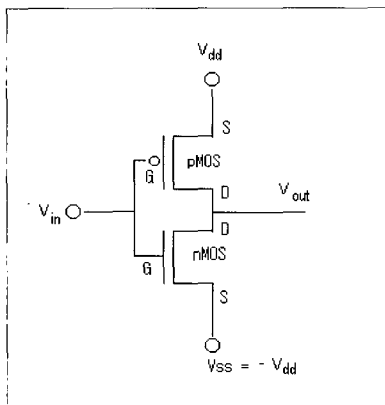


그림 1. CMOS 인버터.  
Fig. 1. CMOS inverter.

그림 2의 CMOS인버터회로의 특성곡선은 pMOS 트랜지스터와 nMOS 트랜지스터의 영역상태에 따라 결정된다. 그리고 MOS 트랜지스터의 영역은 차단영역, 선형영역, 그리고 포화영역으로 나뉘는 데, 이는 게이트와 소스 간 전압, 드레인-소스 간 전압, nMOS 문턱전압 그리고 pMOS 문턱전압의 상관관계에 따라 결정된다. 각 영역에서 이들 파라미터의 상관관계와 MOS 트랜지스터의 드레인 전류는 다음과 같다[6].

i) 차단영역:  
nMOS :  $I_{ds}=0, V_{gs}-V_{tn}<0$  (3)

pMOS :  $I_{ds}=0, V_{gs}-V_{tp}>0$  (4)

ii) 선형영역:  
nMOS :  
 $I_{ds} = k_n [(V_{gs} - V_{tn}) V_{ds} - \frac{1}{2} V_{ds}^2], 0 < V_{ds} < V_{gs} - V_{tn}$  (5)

pMOS :  
 $I_{ds} = -k_p [(V_{gs} - V_{tp}) V_{ds} - \frac{1}{2} V_{ds}^2], 0 > V_{ds} > V_{gs} - V_{tp}$  (6)

iii) 포화영역:  
nMOS :  
 $I_{ds} = \frac{k_n}{2} (V_{gs} - V_{tn})^2, 0 < V_{gs} - V_{tn} < V_{ds}$  (7)

pMOS :  
 $I_{ds} = -\frac{k_p}{2} (V_{gs} - V_{tp})^2, 0 > V_{gs} - V_{tp} > V_{ds}$  (8)

- 여기서,  $I_{ds}$  : 드레인에서 소스로 흐르는 전류,  
 $V_{gs}$  : 게이트와 소스 간 전압  
 $V_{tn}$  : nMOS 문턱전압,  
 $V_{tp}$  : pMOS 문턱전압  
 $V_{ds}$  : 드레인과 소스 간 전압  
 $k_n$  : nMOS 이득상수  
 $k_p$  : pMOS 이득상수.

그림 2의 CMOS인버터 회로의 특성곡선에서 nMOS 트랜지스터는  $V_{in}$ (입력전압)이 증가함에 따라 차단영역(구간AB), 포화영역(구간BD) 그리고 선형영역(구간DF)으로 변화하고 있고, pMOS 트랜지스터는 선형영역(구간AC), 포화영역(구간CE) 그리고 차단영역(구간EF)으로 변화하고 있음을 알 수 있다. 그림.1에서 알 수 있듯이  $V_{in}$ (입력전압)은 nMOS의 게이트 전압이므로 다음의 조건을 만족하는 구간AB에서는 nMOS 트랜지스터는 차단영역이 된다.

$$V_{gs} = V_{in} - V_{ss} < V_{tn} \quad (9)$$

그리고  $V_{in}$ 이 증가하여 즉, 다음과 같은 조건이 되면

$$V_{in} - V_{ss} > V_{tn} \quad (10)$$

nMOS 트랜지스터는 도통하게 된다. nMOS 트랜지스터가 선형영역에 있는 지, 또는 포화영역에 있는지를 알기 위해서는  $V_{ds}$ 와  $(V_{gs} - V_{tn})$ 을 비교해야 되는 데, 즉 선형영역에 있을 조건은 다음과 같이 표현할 수 있다.

$$V_{ds} = V_{out} - V_{ss} < V_{gs} - V_{tn} = V_{in} - V_{ss} - V_{tn} \quad (11)$$

그러므로 위식은 입력과 출력의 관계식으로 다음과 같이 재정리 된다.

$$V_{out} < V_{in} - V_{tn} \quad (12)$$

고로, nMOS 트랜지스터의 포화영역과 선형영역을 구분 짓는 경계방정식은 다음과 같다.

$$V_{out} = V_{in} - V_{tn} \quad (13)$$

그림. 2에서 특성곡선과 식(13)과의 교점은 D이며, 구간 DF는 식(12)을 만족하므로 선형영역이며 구간BD는 포화영역이 된다. 또한 pMOS 트랜지스터도  $V_{in}$ 이 아주 큰 값에 도달하기까지는 도통하게 되며, pMOS 트랜지스터가 선형영역에 있을 조건은 다음과 같으며

$$V_{ds} = V_{out} - V_{dd} > V_{gs} - V_{tp} = V_{in} - V_{dd} - V_{tp} \quad (14)$$

즉,

$$V_{out} - V_{dd} > V_{in} - V_{dd} - V_{tp} \quad (15)$$

위 식을 정리하면 입력과 출력의 관계식으로 다음과 같이 표현된다.

$$V_{out} > V_{in} - V_{tp} \quad (16)$$

그리고 포화영역에 있을 조건은 위 식에서 부등호가 반대이다. 고로, pMOS 트랜지스터의 포화영역과 선형영역을 구분 짓는 경계방정식은 다음과 같다.

$$V_{out} = V_{in} - V_{tp} \quad (17)$$

그림. 2에서 특성곡선과 식(17)의 교점은 C이며, 구간AC는 식(16)을 만족하므로 선형영역이며, 구간CE는 포화영역이다. 구간EF는 식(17)의 우측구간이기는 하나  $V_{in}$ 이 증가하면서 차단영역의 조건인 다음 조건을 만족하면서 차단영역이 된다.

$$V_{gs} = V_{in} - V_{ss} < V_{tn} \quad (18)$$

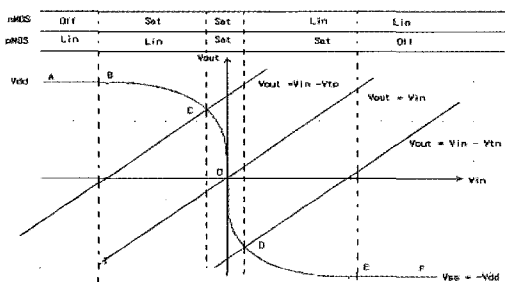


그림 2. CMOS인버터의 특성곡선  
Fig. 2. CMOS Inverter's transfer characteristic.

그림. 2는 위에서 설명한 영역의 조건에 따라 CMOS 인버터의 특성곡선을 그린 것이다. 그림. 2에서 알 수 있듯이 구간 AB와 EF는 nMOS 트랜지스터와 pMOS 트랜지스터가 각각 차단 영역에 있으므로 출력은 Vdd 와 -Vdd이다. 구간 BC와 DE에서 하나의 트랜지스터는 선형 영역이며 다른 하나는 포화 영역에 머물고 있음을 알 수 있다. 그리고 구간 CD에서는 두 트랜지스터 모두 포화 영역에 머물고 있다.

### 3. CMOS 인버터 특성곡선의 제어

신경회로망의 활용회로에 따라 다양한 형태의 뉴런 특성곡선이 쓰인다. 주로 사용되는 형태들을 보면, 단극성 특성곡선, 양극성 특성곡선, 다극성 특성곡선, 문턱전압이 있는 특성곡선 등이다[5]. 그리고 때에 따라서는 다양한 기울기의 특성곡선을 필요로 하는 경우도 자주 발생하게 된다. 필요에 따라 뉴런의 출력특성곡선을 변경하는 것은 소프트웨어적으로 신경회로망을 구현할 때는 전혀 문제가 되지 않으나, 하드웨어로 구현함에 있어서는 쉬운 일이 아니다. 본 논문에서는 CMOS인버터 특성곡선의 기울기를 변경할 수 있는 방법과 y축으로 이동할 수 있는 방법을 제안하였다. 특성곡선의 기울기를 제어함으로써 다양한 뉴런의 특성곡선으로 사용가능하고, y축으로 이동하는 방법을 이용하여 단극성 뉴런으로 사용가능하다.

#### 3.1 특성곡선의 기울기

트랜지스터 문턱전압을 조절하여 CMOS인버터 특성곡선의 기울기를 제어하려한다. 그림. 2에서 점선으로 나누어진 5개의 구간에서 CMOS인버터의 출력을 분석하면 다음과 같다.

$$\text{구간 AB : } V_{in} \leq V_{ss} + V_{tn}$$

이 구간에서는 nMOS 트랜지스터는 차단영역, 그리고 pMOS 트랜지스터는 선형영역이므로 출력은 다음과 같다.

$$V_{out} = V_{dd} \quad (19)$$

$$\text{구간 BC : } V_{in} - V_{tp} < V_{out} \ \& \ V_{ss} + V_{tn} < V_{in}$$

pMOS 트랜지스터와 nMOS 트랜지스터가 연결되어있으므로 두 트랜지스터의 채널을 통해서 흐르는 전류  $I_d$ 의 크기는 같다. 이 구간에서는 pMOS 트랜지스터는 선형영역, 그리고 nMOS 트랜지스터는 포화영역이므로 식(6)과 식(7)을 이용하고, 그림. 1에서 알 수 있듯이 두 트랜지스터의 드레인(D)이 공통으로 묶여있으므로 두 트랜지스터의  $I_d$ 는 방향은 반대이나 크기는 같은 점을 고려하면 다음과 같이 표현할 수 있다.

$$k_p [(V_{gs} - V_{tp}) V_{ds} - \frac{V_{ds}^2}{2}] = \frac{k_n}{2} (V_{gs} - V_{tn})^2 \quad (20)$$

만약  $k_n = k_p$  이고,  $V_{tn} = -V_{tp}$  라면,

$$\frac{1}{2} (V_{in} + V_{dd} - V_{tn})^2 = [(V_{in} - V_{dd} + V_{tn})(V_{out} - V_{dd}) - \frac{(V_{out} - V_{dd})^2}{2}] \quad (21)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} + V_{tn})V_{out} + (V_{in} - V_{tn})^2 + 4V_{in}V_{dd} = 0 \quad (22)$$

그러므로

$$V_{out} = V_{in} + V_{tn} \pm 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (23)$$

식(23)은 두개의 출력곡선을 의미하나, 이중 구간 BC ( $V_{in} - V_{tp} < V_{out}$ )의 조건을 만족하는 식은 다음과 같다.

$$V_{out} = V_{in} + V_{tn} + 2\sqrt{V_{in}(V_{tn} - V_{dd})} \quad (24)$$

구간 CD :  $V_{out} \leq V_{in} - V_{tp}$  &  $V_{out} \geq V_{in} - V_{tn}$

이 구간에서는 pMOS, nMOS 트랜지스터 모두 포화영역에 있으므로 채널에 흐르는 전류들은 방향은 반대이나 크기는 같으므로, 식(7)과 식(8)을 이용하면 다음과 같이 표현할 수 있다.

$$\frac{k_n}{2}(V_{gs} - V_{tn})^2 = \frac{k_p}{2}(V_{gs} - V_{tp})^2 \quad (25)$$

만약  $k_n = k_p$ 이고,  $V_{tn} = -V_{tp}$  이라 가정하고, pMOS와 nMOS 트랜지스터의  $V_{gs}$ 를 그림.1 을 참조하여  $V_{in}$ 과  $V_{dd}$ 을 이용하여 표현하면 다음과 같다.

$$(V_{in} + V_{dd} - V_{tn})^2 = (V_{in} - V_{dd} + V_{tn})^2 \quad (26)$$

위 식을  $V_{in}$ 에 대해 정리하면

$$4V_{in}(V_{dd} - V_{tn}) = 0 \quad (27)$$

따라서

$$V_{in} = 0, \text{ 또는 } V_{dd} - V_{tn} = 0 \quad (28)$$

고로, nMOS, pMOS 트랜지스터 모두 포화영역이 되는 입력( $V_{in}$ )값은 다음과 같다.

$$V_{in} = 0 \quad (29)$$

구간 CD ( $V_{out} \leq V_{in} - V_{tp}$ ,  $V_{out} \geq V_{in} - V_{tn}$ )의 조건과  $V_{in} = 0$  만족하는 즉, nMOS, pMOS 트랜지스터 모두 포화영역에서의 출력( $V_{out}$ )은 다음과 같다.

$$V_{tp} \leq V_{out} \leq V_{tn} \quad (30)$$

구간 DE :  $V_{out} \leq V_{in} - V_{tn}$  &  $V_{dd} + V_{tp} > V_{in}$

이 구간에서 pMOS 트랜지스터는 포화영역, 그리고 nMOS 트랜지스터는 선형 영역에 있으므로 식(8)과 식(5)을 이용하면 다음과 같이 표현할 수 있다.

$$\frac{k_p}{2}(V_{gs} - V_{tp})^2 = k_n[(V_{gs} - V_{tn})V_{ds} - \frac{V_{ds}^2}{2}] \quad (31)$$

만약  $k_n = k_p$ 이고,  $V_{tn} = -V_{tp}$  이라 가정하고, pMOS와 nMOS 트랜지스터의  $V_{gs}$ 와  $V_{ds}$ 를 그림.1 을 참조하여  $V_{in}$ ,  $V_{dd}$  그리고  $V_{out}$ 을 이용하여 표현하면 식(31)은 다음과 같이 정리할 수 있다.

$$\frac{1}{2}(V_{in} - V_{dd} + V_{tn})^2 = [(V_{in} + V_{dd} - V_{tn})(V_{out} + V_{dd}) - \frac{(V_{out} + V_{dd})^2}{2}] \quad (32)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} - V_{tn})V_{out} + (V_{in} + V_{tn})^2 - 4V_{in}V_{dd} = 0 \quad (33)$$

식(33) 또한 식(23)과 같이 두 개의 근을 갖고 있으나, 구간 DE를 만족하는 곡선은 두개의 근중에서 음의 부분만이

나타나며, 그 식은 다음과 같다.

$$V_{out} = V_{in} - V_{tn} - 2\sqrt{V_{in}(V_{dd} - V_{tn})} \quad (34)$$

구간 EF :  $V_{dd} + V_{tp} \leq V_{in}$

이 구간에서는 pMOS 트랜지스터가 OFF 되므로, 전류가 흐르지 않으며, 출력 값은 다음과 같다.

$$V_{out} = V_{ss} = -V_{dd} \quad (35)$$

전구간의 영역에서 알 수 있듯이 전압의 특성곡선은  $V_{dd}$ ,  $V_{in}$  그리고  $V_{tn}$ 의 함수이다. 여기서  $V_{in}$ ,  $V_{dd}$ 는 각각 뉴런출력의 입력과 출력 값이므로 뉴런의 특성곡선 기울기는  $V_{tn}$ 의 함수임을 알 수 있다. 그림.3은 각 구간별로 식(19), 식(24), 식(30), 식(34), 그리고 식(35)을 이용하여 문턱전압에 따른 CMOS인버터의 특성곡선을 나타낸 것이며, 이 그림에서 알 수 있듯이 문턱 값이 증가함에 따라 뉴런의 특성곡선은 감소함을 알 수 있다.

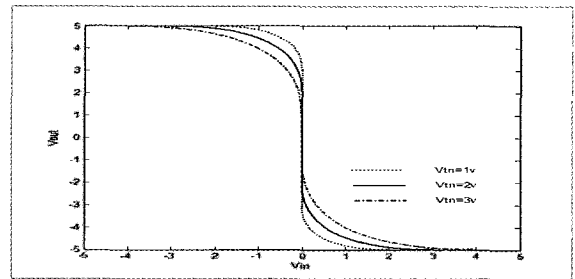


그림 3. 문턱전압에 따른 CMOS인버터의 특성곡선  
Fig.3. CMOS Inverter transfer characteristics in different values of threshold voltage.

### 3.2 단극성 뉴런을 위한 특성곡선

응용회로에 따라 단극성, 양극성, 또는 양극성 이상의 다극성인 뉴런 특성곡선을 요구하는 경우가 많이 발생한다. CMOS 인버터를 이용한 뉴런은  $-V_{dd}$ 에서  $V_{dd}$ 로 변하는 양극성 특성곡선이다. 이 논문에서는 단극성 특성곡선을 구할 수 있는 방법을 제안한다. 즉, 이 방법을 이용하면 0에서  $V_{dd}$ 로 변하는 단극성 특성곡선을 구할 수 있다.

$V_{dd}$ 에서 0으로 변하는 특성곡선이라 함은 뉴런의 출력이  $V_{dd}$ 와 0사이의 값이어야 하며, 또한 출력곡선이 좌표(0,  $V_{dd}/2$ )에 접대칭이어야 한다. 출력을  $V_{dd}$ 와 0사이의 값으로 한다는 CMOS 인버터회로에서  $V_{ss}$ 에  $-V_{dd}$ 를 인가하는 대신 접지시키면 뉴런의 출력은  $V_{dd}$ 와 0사이의 값이 되는 CMOS 인버터회로가 된다. 그러나 CMOS 인버터회로의 출력 특성곡선은 좌표( $V_{dd}/2$ ,  $V_{dd}/2$ )에 접대칭이다. 이 논문에서는 CMOS 인버터의 특성곡선에서 접대칭이 되는 영역은 두 트랜지스터 모두 포화영역에 있음에 착안하여 좌표(0,  $V_{dd}/2$ )에서 대칭이 되는 특성곡선을 만들었다.

두 트랜지스터 모두 포화영역에 있으면 두 채널에 흐르는 전류의 크기는 같으므로 식(7)과 식(8)을 이용하고, 그림.3에서  $V_{ss}$ 에 0을 인가하고 nMOS, pMOS 트랜지스터들의  $V_{gs}$ 를  $V_{in}$ 과  $V_{dd}$ 로 표현하면 다음과 같이 재정리할 수 있다.

$$k_n(V_{in} - V_{tn})^2 = k_p(V_{in} - V_{dd} - V_{tp})^2 \quad (36)$$

좌표(0,  $V_{dd}/2$ )에서 접대칭이 되려면, 입력전압이 0이므로 식(36)은 다음과 같이 된다.

$$k_n(-V_{tn})^2 = k_p(-V_{dd} - V_{tp})^2 \quad (37)$$

만약  $k_n = k_p$ 이라면, 식(37)은 다음과 같이 정리되며

$$V_{tn}^2 = (V_{dd} + V_{tp})^2 \quad (38)$$

이 식을 풀면 다음과 같다.

$$V_{tn} = \pm(V_{dd} + V_{tp}) \quad (39)$$

그러나 단극성 특성곡선은 그림2의 곡선을 y축으로 이동하고 축소하여, 즉 출력이 0에서  $V_{dd}$ 로 변해야 한다. 고로, 입력( $V_{in}$ )이 0일 때 두 트랜지스터의 포화영역과 선형영역 경계방정식의 절편은 그림.4에서같이 모두 0과  $V_{dd}$ 사이에 있어야 한다. 절편이 모두 양의 값이 되려면  $V_{tn}$ 은 음의 값이어야 하므로 다음과 같다.

$$V_{tn} = -(V_{dd} + V_{tp}) \quad (40)$$

식(40)의 조건을 만족하는 단극성 CMOS 특성곡선을 영역별로 다시 분석해보면 다음과 같다. 그림.4의 단극성 CMOS 뉴런의 특성곡선에서 nMOS 트랜지스터는  $V_{in}$ (입력 전압)이 증가함에 따라 차단영역(구간A'B'), 포화영역(구간B'D') 그리고 선형영역(구간D'F')으로 변하고 있고, pMOS 트랜지스터는 선형영역(구간A'C'), 포화영역(구간C'E') 그리고 차단영역(구간E'F')으로 변하고 있음을 알 수 있다.  $V_{in}$ (입력전압)은 nMOS의 게이트전압이므로 다음의 조건을 만족하는 구간A'B'에서는 nMOS 트랜지스터는 차단영역이 된다.

$$V_{gs} = V_{in} < V_{tn} \quad (41)$$

그리고  $V_{in}$ 이 증가하면서 nMOS 트랜지스터는 도통하게 되며, 포화영역과 선형영역을 구분 짓는 경계방정식은 CMOS 인버터의 특성곡선에서 nMOS 트랜지스터의 포화영역과 선형영역을 구분 짓는 경계방정식을 구하는 방법으로 식을 유도하면 식(13)과 같은 식이 됨을 알 수 있다. 고로 그림.4에서 특성곡선과 식(13)과의 교점은 D'이며, 구간B'D'는 포화영역이며 구간D'F'는 선형영역이 된다. 또한 pMOS 트랜지스터도  $V_{in}$ 이 아주 큰 값에 도달하기까지는 도통하게 되며, pMOS 트랜지스터의 포화영역과 선형영역을 구분 짓는 경계방정식도 같은 방법으로 유도하면 식(17)과같이 됨을 알 수 있다. 그림.4에서 특성곡선과 식(17)의 교점은 C'이며, 구간A'C'는 선형영역이며, 구간C'E'는 포화영역이다. 구간E'F'는 식(17)의 우측구간이기는 하나  $V_{in}$ 이 증가하면서 차단영역의 조건을 만족하면서 차단영역이 된다.

그림. 4에서 점선으로 나누어진 5개의 구간에서 단극성 CMOS 뉴런의 출력을 분석하면 다음과 같다.

구간 A'B' :  $V_{in} \leq V_{tn}$

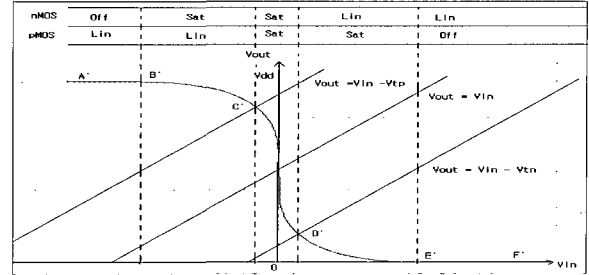


그림 4. 단극성 CMOS 뉴런의 특성곡선  
Fig. 4. One pole CMOS neuron transfer characteristic.

이 구간에서는 nMOS 트랜지스터가 OFF 되므로, 전류가 흐르지 않아 출력은 다음과 같다.

$$V_{out} = V_{dd} \quad (42)$$

구간 B'C' :  $V_{in} - V_{tp} < V_{out} & V_{tn} < V_{in}$

이 구간에서는 nMOS 트랜지스터는 포화영역, 그리고 pMOS 트랜지스터는 선형영역이므로, 채널에 흐르는 전류의 크기는 같으므로, 식(22)에서 식(42)의 조건과  $V_{ss} = 0$ 을 대입하고 만약  $k_n = k_p$ 이라면, 식(22)는 다음과 같이 되며

$$\frac{1}{2}(V_{in} - V_{tn})^2 = [(V_{in} + V_{tn})(V_{out} - V_{dd}) - \frac{(V_{out} - V_{dd})^2}{2}] \quad (43)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} + V_{dd} + V_{tn})V_{out} + 2(V_{in} + V_{tn})V_{dd} + (V_{in} - V_{tn})^2 + V_{dd}^2 = 0 \quad (44)$$

식(44)의 근을 구하면

$$V_{out} = V_{in} + V_{dd} + V_{tn} \pm 2\sqrt{V_{in}V_{tn}} \quad (45)$$

식(45)는 두개의 출력곡선을 의미하나, 이중 구간 B'C'의 조건을 만족하는 식은 다음과 같다.

$$V_{out} = V_{in} + V_{dd} + V_{tn} + 2\sqrt{V_{in}V_{tn}} \quad (46)$$

구간 C'D' :  $V_{out} \leq V_{in} - V_{tp} & V_{out} \geq V_{in} - V_{tn}$

이 구간에서는 pMOS, nMOS 트랜지스터 모두 포화영역에 있으므로, 식(25)에서 식(40)의 조건과  $V_{ss} = 0$ 를 대입하고, 만약  $k_n = k_p$ 이라면, 식(25)는 다음과 같으며

$$(V_{in} + V_{dd} + V_{tp})^2 = (V_{in} - V_{dd} - V_{tp})^2 \quad (47)$$

위 식을  $V_{in}$ 에 대해 정리하면

$$4V_{in}(V_{dd} + V_{tp}) = 0 \quad (48)$$

따라서 식(48)을 만족하는 해는 다음과 같다.

$$V_{in} = 0, \text{ 또는 } V_{dd} + V_{tp} = 0 \quad (49)$$

고로, nMOS, pMOS 트랜지스터 모두 포화영역이 되는 입력( $V_{in}$ )값은 0이므로 구간C'D'(  $V_{out} \leq V_{in} - V_{tp}$ ,  $V_{out} \geq V_{in} - V_{tn}$ )의 조건을 만족하는  $V_{out}$ 은 다음과 같다.

$$V_{tp} \leq V_{out} \leq V_{tn} \quad (50)$$

구간 D'E' :  $V_{out} \leq V_{in} - V_{tn} \ \& \ V_{dd} + V_{tp} > V_{in}$

이 구간에서 pMOS 트랜지스터는 포화영역, 그리고 nMOS 트랜지스터는 선형 영역에 있으므로, 식(31)에서 식(40)의 조건과  $V_{ss}=0$ 를 대입하고, 만약  $k_n = k_p$ 이라면, 식(31)은 다음과 같이 되며

$$\frac{1}{2}(V_{in} + V_{tn})^2 = (V_{in} - V_{tn})V_{out} - \frac{V_{out}^2}{2} \quad (51)$$

위 식을  $V_{out}$ 에 대해 정리하면

$$V_{out}^2 - 2(V_{in} + V_{dd} + V_{tp})V_{out} + (V_{in} - V_{dd} - V_{tp})^2 = 0 \quad (52)$$

식(52) 또한 식(45)와같이 두 개의 근을 갖고 있으나, 구간 D'E'조건을 만족하는 곡선은 다음과 같다.

$$V_{out} = V_{in} - V_{tn} - 2\sqrt{-V_{in}V_{tn}} \quad (53)$$

구간 E'F' :  $V_{dd} + V_{tp} \leq V_{in}$

이 구간에서는 pMOS 트랜지스터가 OFF 되므로, 전류가 흐르지 않아, 출력 값은 다음과 같다.

$$V_{out} = V_{ss} = 0 \quad (54)$$

그림. 5는 여기서 유도된 수식을 이용하여 문턱전압에 따른 단극성 뉴런의 특성곡선을 나타낸 것이다. 이 그림에서 알 수 있듯이 단극성 뉴런의 특성곡선이 MOS 트랜지스터 문턱 값의 함수임을 알 수 있다.

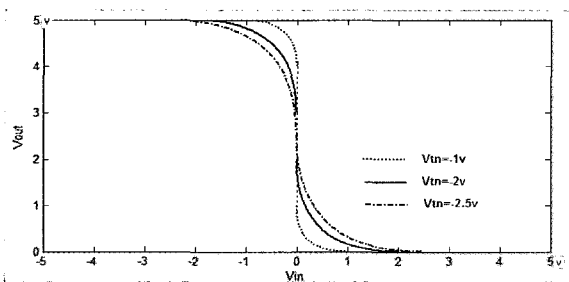


그림 5. 문턱전압에 따른 단극성 뉴런의 특성곡선  
Fig. 5. One pole neuron transfer characteristic in different values of threshold voltage.

#### 4. 시뮬레이션 및 결과 고찰

뉴런의 출력특성곡선에 대한 시뮬레이션은 OrCAD사의 회로레벨 시뮬레이션 프로그램 PSpice 을 사용하였다. 시뮬레이션의 결과들은 앞 장에서 유도한 결과와 꼭 같다고는 할 수 없으나, 매우 유사하다고 할 수 있으며, 우리가 예측한 것과 같이 트랜지스터의 문턱 값에 따라 특성곡선의 기울기가 변하는 것을 보여 주었다.

##### 4.1 특성곡선의 기울기

그림. 6은 PSpice에서 그림. 1의 CMOS 인버터회로를 시뮬레이션하기 위한 Schematic 회로이다. 여기서 M2는 pMOS, M1은 nMOS를 나타내고, 인버터의 출력( $V_{out}$ )이 5v에서 -5v로 변하는 특성곡선을 얻기 위해  $V_{dd}(= -V_{ss})$ 에 5v를 공급하였다. 그리고 입력( $V_{in}$ )은 -5V에서 5V까지 변

하도록 하였다. 그림 7과 그림 8은 문턱전압( $V_{tn} = -V_{tp}$ )이 1V, 3V일 때 PSpice 시뮬레이션 결과를 보여주고 있다. 그리고 MOS 트랜지스터의 이득율은 PSpice에서 디폴트로 제공하는 값( $k_n = 10.53\mu$ )을 사용하였다. 이 그림들에서 알 수 있듯이 문턱전압이 증가함에 따라 전압특성곡선의 기울기는 감소함을 보여주고 있다.

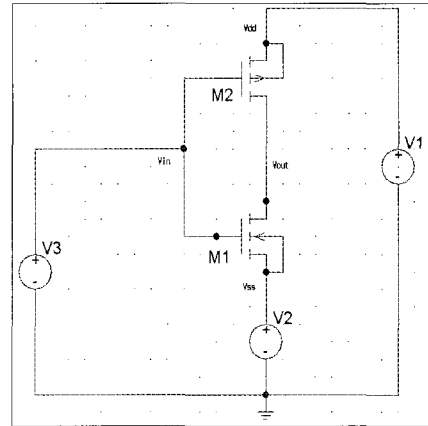


그림 6. CMOS 인버터 시뮬레이션 schematic 회로.  
Fig. 6. Schematic Diagram for CMOS Inverter simulation.

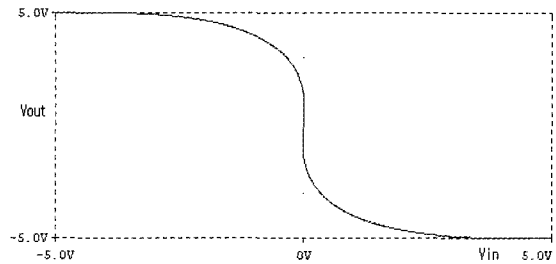


그림 7. CMOS 인버터의 특성곡선( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = -V_{tp} = 1V$ ).

Fig. 7. Voltage transfer characteristics of CMOS Inverter in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = -V_{tp} = 1V$ ).

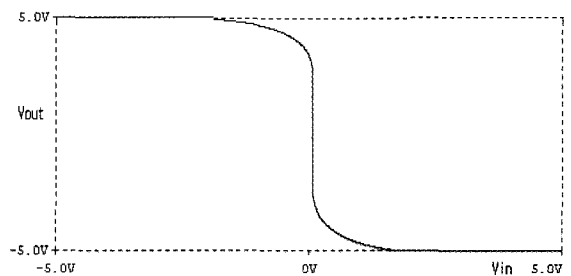


그림 8. CMOS Inverter의 특성곡선( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = -V_{tp} = 3V$ ).

Fig. 8. Voltage transfer characteristics of CMOS Inverter in case of ( $k_n = k_p = 10.53\mu$ ,  $V_{tn} = -V_{tp} = 3V$ ).

##### 4.2 특성곡선의 y축으로 이동

뉴런의 출력( $V_{out}$ )이 5V에서 0V로 변하는 특성곡선을 얻

기 위해 그림. 6의 회로에서  $V_{dd}$ 에 5V를, 그리고  $V_{ss}$ 에는 0V를 공급하였다. 그리고 입력( $V_m$ )은 -5V에서 5V까지 변화하도록 하였다. 특성곡선이 또한 좌표(0,  $V_{dd}/2$ )에서 접대칭이 되어야 하므로 식(35)의 조건에 맞게  $V_m$ 과  $V_{tp}$ 를 정하여 DC 시뮬레이션 하였다. 그림. 8과 그림. 9는  $k_n = k_p = 10.53\mu$

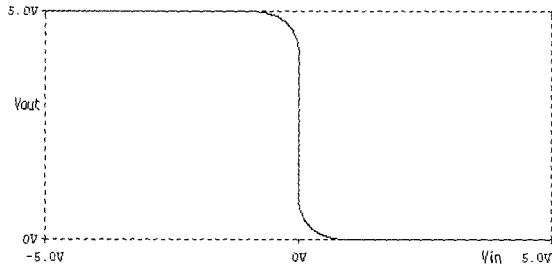


그림 8. CMOS 단극성 뉴런의 특성곡선

( $k_n = k_p = 10.53\mu$ ,  $V_m = -1V$ ,  $V_{tp} = -4V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

Fig. 8. Voltage transfer characteristics of CMOS one pole neuron in case of ( $k_n = k_p = 10.53\mu$ ,  $V_m = -1V$ ,

$V_{tp} = -4V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

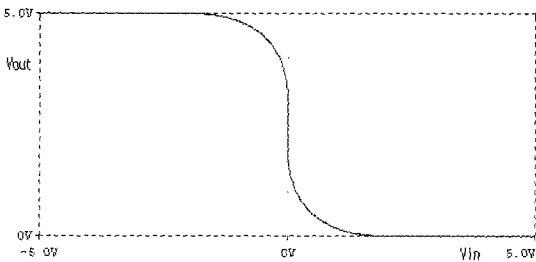


그림 9. CMOS 단극성 뉴런의 특성곡선 ( $k_n = k_p = 10.53\mu$ ,

$V_m = -2V$ ,  $V_{tp} = -4V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

Fig. 9. Voltage transfer characteristics of CMOS one pole neuron in case of ( $k_n = k_p = 10.53\mu$ ,

$V_m = -2V$ ,  $V_{tp} = -3V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

$V_m = -2V$ ,  $V_{tp} = -3V$ ,  $V_{dd} = 5V$ ,  $V_{ss} = 0V$ ).

일 때, 문턱전압  $V_m$ 이 -1V, -2V일 때 PSpice 시뮬레이션 결과를 보여주고 있다. 이 그림들에서 알 수 있듯이 좌표(0,  $V_{dd}/2$ )에서 특성곡선은 접대칭이며, 문턱전압이 증가함에 따라 전압특성곡선의 기울기는 감소함을 보여주고 있다.

## V. 결론

CMOS 인버터의 특성곡선은 뉴런의 특성곡선과 유사하여 뉴런을 구성하는 데 용이하다. 신경회로망의 용도에 따라 다양한 형태의 뉴런 특성곡선이 요구되기 때문에 CMOS 인버터의 특성곡선을 그대로 사용하기는 어렵다. 고로 CMOS 인버터를 뉴런으로 사용할 때는 특성곡선의 형태를 제어하기 위한 회로를 부가적으로 첨가하게 된다. 그러나 부가회로로 인해 뉴런의 크기가 커지는 단점이 있다. 수많은 뉴런을 필요로 하는 신경회로망이거나 미세한 크기의 신경회로망이 요구되는 상황에서는 뉴런의 크기가 문제가 될 수 있다.

본 논문에서는 CMOS 인버터 특성곡선의 기울기를 조절하는 방법과 y축으로 이동할 수 있는 방법을 제안하였다. 기울기의 변경과 y축으로 이동은 트랜지스터의 문턱 값을 조절하는 방법을 사용하였다. 또한 특성곡선의 중심에서는 두 트랜지스터 모두 포화영역에 있다는 것에 착안하여 단극성 뉴런을 만들 수 있는 방법을 제안하였다. 이 방법을 이용하면 부가회로 없이 CMOS 인버터를 그대로 뉴런으로 사용할 수 있다. 물론 이 방법은 한 번 정해진 특성곡선은 칩의 외부편으로 제어가 불가능하다는 단점이 있다. 그러나 한 번 정해진 특성곡선을 변경할 필요가 없고, 많은 뉴런을 요구하는 신경회로망을 구성할 경우에는 유용한 방법이라 생각된다.

회로레벨 시뮬레이션은 OrCAD사의 PSpice 을 사용하였다. 시뮬레이션의 결과들은 우리가 예측한 것과 같이 트랜지스터의 문턱 값에 따라 특성곡선의 기울기가 변하는 것을 보여 주었다.

## 참고 문헌

- [1] Hopfield, J. J., and D. W. Tank., "Computing with Neural Circuits: A Model," Science, vol 233, pp.625-633, 1986.
- [2] T. Higuchi and M. Kameyama. "Multiple -Valued digital Processing System". Syokoda, Japan, 1989.
- [3] Zurada, J. M.: Introduction to Artificial Neural Systems. 1st edn. West, St. Paul MN. (1992)
- [4] Anthony N. Michel, Jay A. Farrel and Wolfgang Porod, 1989, "Qualitative Analysis of Neural Networks." IEEE Trans. Circuits Syst., vol 36, pp. 229-243, February 1989.
- [5] G. Bogason, "Generation of a Neuron Transfer Function and its Derivatives", Electron. Lett., vol.29, pp.1867-1869, 1993.
- [6] A. J. Annema, "Hardware Realization of a Neuron Transfer Function and its Derivatives", Electron. Lett., vol.30, pp.576-577, 1994.
- [7] J. Shen, K. Tanno, and O. Ishizuka. "Design and Analysis of down literal circuit using neuron-MOS transistors". In Proc. 12th MVL Research Society of Japan, pp. 1-9, 1999.
- [8] Amit K Gupta, and Navakanta Bhat, "Hardware Realization of a Digitally Controllable Neuron Activation Function and its Derivative for Extremely Low Power Application," IEICE Trans. Fundamentals.vol. E82-A, pp.1582-1587, August 1999.
- [9] Massimo Conti, "Analog CMOS Implementation of Approximate Identity Neural Networks," IEICE Trans. Fundamentals. vol. E80 A, pp.427-433, February 1997.
- [10] Motoi Inaba, Koichi Tanno, "Analog Inverter with Neuron-MOS Transistors and Its Application," IEICE Trans. Fundamentals. vol. E85-A, pp.366-372, February 2002.
- [11] Bo Liu; Frenzel, J.F., "A CMOS neuron for VLSI circuit implementation of pulsed neural networks," IECON 02 vol. 4, pp.3182-3185, Nov. 2002

저 자 소 개



강민제(Min-Jae Kang)

제 12권 제 1호 (2002년 2월호) 참조



김호찬(Ho-Chan Kim)

1994년 : 서울대 제어계측공학과 졸업.  
1995년~현재 : 제주대학교 전기전자공  
학부 부교수

관심분야 : 퍼지제어, 유전알고리즘  
Phone : 064-754-3676  
Fax : 064-756-5281  
E-mail : hckim@cheju.ac.k



송왕철(Wang-Cheol Song)

1995년 연세대학교 전자공학과 졸업  
1996년~현재 : 제주대학교 통신컴퓨터  
공학부 부교수

관심분야 : 신경회로망, USN, Ad hoc  
Phone : 064-754-3656  
Fax : 064-755-3620  
E-mail : philo@cheju.ac.kr



이상준(Sang-Joon Lee)

제 11권 제 2호 (2001년 4월호) 참조