

블록 공중합체 박막을 이용한 텉스텐 나노점의 형성

강길범^{1,2} · 김성일^{1,*} · 김영환¹ · 박민철¹ · 김용태¹ · 이창우²

¹한국과학기술연구원 반도체소자연구실

²국민대학교 나노전자물리학과

Fabrication of Tungsten Nano Dot by Using Block Copolymer Thin Film

Gil-Bum Kang^{1,2}, Seong-Il Kim^{1,*}, Young-Hwan Kim¹, Min-Chul Park¹,
Yong-Tae Kim¹ and Chang-Woo Lee²

¹Semiconductor Materials and Devices Laboratory, Korea Institute of
Science & Technology, Seoul, Korea, 136-791

²Department of Nano & Electronic Physics, Kookmin University, Seoul, Korea, 136-702

초 록: 밀도가 높고 주기적인 배열의 기공과 나노패턴이 된 텉스텐 나노점이 실리콘 산화물/실리콘
기판위에 형성이 되었다. 기공의 지름은 25 nm이고 깊이는 40 nm 이었으며 기공과 기공 사이의 거리는
60 nm이었다. nm 크기의 패턴을 형성시키기 위해서 자기조립물질을 사용했으며 폴리스티렌(PS) 바탕에
별집형태로 평행하게 배열된 실린더 모양의 폴리메틸메타아크릴레이트(PMMA)의 구조를 형성했다. 폴
리메틸메타아크릴레이트를 아세트산으로 제거하여 폴리스티렌만 남아있는 건식 식각용 마스크를 만들
었다. 실리콘 산화막은 불소 기반의 화학반응성 식각법을 이용하여 식각했다. nm 크기의 트렌치 안에 선
택적으로 증착된 텉스텐 나노점을 만들기 위해서 저압화학기상증착(LPCVD)방법을 이용하였다. 텉스텐
나노점과 실리콘 트렌치의 지름은 26 nm 와 30 nm였다.

Abstract: Dense and periodic arrays of holes and tungsten nano dots were fabricated on silicon oxide and silicon. The holes were approximately 25 nm wide, 40 nm deep, and 60 nm apart. To obtain nano-size patterns, self-assembling resists were used to produce layer of hexagonally ordered parallel cylinders of polymethylmethacrylate (PMMA) in polystyrene(PS) matrix. The PMMA cylinders were degraded and removed with acetic acid rinse to produce a PS mask for pattern transfer. The silicon oxide was removed by fluorine-based reactive ion etching(RIE). Selectively deposited tungsten nano dots were formed inside nano-sized trench by using a low pressure chemical vapor deposition(LPCVD) method. Tungsten nano dot and trenched silicon sizes were 26 nm and 30 nm, respectively.

Keywords : diblock copolymer, copolymer lithography, reactive ion etching, nano dot, nanotemplate

1. 서 론

두 가지 이상의 고분자 사슬이 공유결합으로 이루어진 블록 공중합체는 자기조립성질 때문에 미세상으로 분리된다. 한 분자 내에 존재하는 서로

다른 블록들은 상구조 분리를 일으키려하나 이들을 연결하고 있는 공유결합에 의해 그 정도가 제한되어 마이크로 상분리가 일어나면 결국 구(sphere)나 실린더(cylinder), 라멜라(lamella) 등이 주기적으로 배열된 형태의 나노구조들을 형성하

*Corresponding author
E-mail: s-ikim@kist.re.kr

는 것으로 알려져 있다¹⁾. 5~50 nm 수준의 주기를 가지는 이들 자기조합 나노구조를 이용하면 기존의 광학리소크래피(photolithography)방법으로 제작이 어려운 30 nm 이하 수준의 나노패턴들을 용이하게 제작할 수 있을 것으로 기대되고 있어 양자점이나²⁾ 나노선 제작³⁾, 높은 표면적을 가지는 나노기공구조의 제작 등⁴⁾ 다양한 나노기술 분야에 적용하기 위한 연구들이 활발히 진행되고 있다.

최근 진행되고 있는 블록 공중합체를 이용한 금 속 나노점(metal nano dot) 배열을 형성하는 방법 중에 리프트오프(lift-off)방식이 있다. 한 연구 그룹은⁵⁾ 넓은 면적에 육변형 형태로 배열된 금(Au) 나노점을 블록공중합체 리소그래피 방식과 삼중 층 레지스트 방법(블록공중합체/실리콘 질화막/폴리이미드)을 사용하여 만들어 냈다. 먼저 폴리스티렌과 폴리이소프렌으로 이루어진 블록 공중합체를 이용하여 나노기공구조를 형성한 후 화학반응성 식각을 사용하여 실리콘 질화막에 나노기공구조가 그대로 전사되도록 하였다. 전자빔증착방법(electron beam evaporation) 방법을 통해서 전면에 금을 증착한 후 리프트오프 방식으로 실리콘 질화막을 제거하여 폴리이미드 위에 밀도가 $\sim 10^{11}$ cm² 정도의 금 나노점을 형성하였다. 또 다른 그룹은⁶⁾ 간단하고 쉬운 방법으로 고밀도로 배열된 크롬(Cr)/금(Au) 나노점을 형성하였다. 폴리스티렌과 폴리메틸메타아크릴레이트로 이루어진 블록 공중합체를 이용하여 여러 번의 화학반응성 식각을 통해 구형으로 형성된 블록 공중합체를 실린더 형태로 식각되도록 만들었다.

본 연구는 블록 공중합체를 이용하여 트렌치 안에 들어있는 형태의 텅스텐 나노점을 형성하는 방법에 관한 것이다. 다른 연구와는 달리 나노스케일로 식각된 실리콘 트렌치 안에만 나노점이 형성되도록 하였다. 트렌치 안에 들어있는 텅스텐 나노점은 상변화메모리의 하부전극으로 사용되었을 때 트렌치 구조로 인해 열적 차폐성이 우수하기 때문에 소자에 응용되었을 때 상변화 메모리의 성능향상에 크게 도움을 줄 수 있을것이라 예상된다.

2. 실험방법

실리콘 기판 위에 실리콘 산화막을 증착하기 위

해서 CVD(chemical vapor deposition)를 사용하였다. 실리콘 산화막 기판은 피라나 클리닝을 사용하여 유기물을 제거 하였다. 폴리스티렌과 실리콘 산화물 박막과의 표면반응을 막기 위해서 MPTS (3-(p-methoxyphenyl)propyltrichlorosilane(CH₃OPh (CH₂)₃SiCl₃, > 95 %)용액에 담가두었다⁷⁾. 폴리스티렌 - 블록 - 폴리메틸메타아크릴레이트(PS-b-PMMA) 공중합체는 Polymer source사에서 구매하였고 PS와 PMMA의 부피비가 70:30이고 전체 분자량은 132k이다. 이 블록 공중합체를 1% 질량비로 톨루엔에 희석하여 실리콘 산화막 위에 3000 rpm으로 스펀코팅 하였고 상분리가 일어나도록 진공오븐에서 200°C 48시간 열처리하였다. 블록 공중합체의 결합을 제거하기 위해서 파장이 248 nm이고 에너지 밀도가 1J cm⁻² 인 자외선에 노출하였고, 아세트산에 담궈서 폴리메틸메타아크릴레이트를 제거하였다. 실리콘 산화막/실리콘 위에 폴리스티렌으로 구성된 나노기공구조의 마스크 (Fig. 1(a))를 불소기반의 화학반응성 식각을 이용하여 나노패턴이 실리콘 산화막을 통과하여 실리콘 표면에 전사되도록 하였다(Fig. 1(b)). 남아있는 폴리스티렌 나노기공성 마스크를 산소 플라즈마로 제거하고(Fig. 1(c)) 선택적인 텅스텐 증착을 위해서 저압화학기상증착을 이용하였고(Fig. 1(d)) 남아있는 실리콘 산화막을 제거하기 위해서 불산(5%)에 담근 후 증류수로 씻어냈다(Fig. 1(e)).

블록 공중합체의 박막두께를 측정하기 위해서 Alpha-step을 사용하였고 블록 공중합체와 각 시편

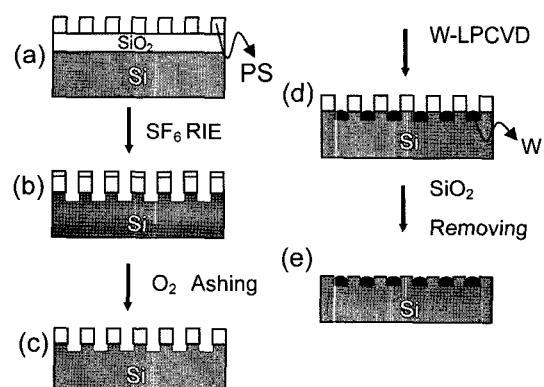


Fig. 1. Schematic procedures for fabricating inner-trenched tungsten nano dot.

의 표면상태를 관찰하기 위해서 Hitachi S-4300 FESEM과 XEI-100 AFM을 사용하였다.

3. 실험결과 및 고찰

진공 오븐에서의 열처리로 인해서 온도가 유리 결정온도 이상으로 올라가게 되면 폴리메틸메타아크릴레이트의 연결사슬이 폴리스티렌안에서 모여들게 되고 실린더 구조가 형성이 된다. 이와 같이 배열된 중합체는 공유결합에 의해서 부피수축의 효과가 생기게 된다⁸⁾.

Fig. 2(a)의 FESEM 사진에서 폴리메틸메타아크릴레이트가 있던 자리에 수십 nm 크기의 실린더 모양의 기공이 형성된 것을 쉽게 관찰할 수 있다. 이러한 크기의 기공을 형성하기 위해서는 전자빔 리소그래피 장비와 같은 고가의 장비가 필요하지만 블록공중합체의 자기조립방법을 이용하면 저가의 장비를 사용하고도 손쉽게 만들어 낼 수가 있다. 만들어진 기공의 크기는 지름이 25 nm이고 박막의 두께는 40 nm이다. 기공의 크기를 바꾸는 것은 블록 공중합체의 분자량을 바꾸므로서 쉽게 제어가 가능하다⁹⁾. 보이는 패턴의 모양은 폴리메틸메타아크릴레이트가 제거된 폴리스티렌이다. 사진으로 봤을 때 어두운 색 부분이 실린더 형태의 빈 기공들이고 밝은색 부분이 나노기공형태의 바탕을 이루고 있는 폴리스티렌이다. Fig. 2(a)는 단면형태의 사진인데 밝은 부분이 폴리스티렌이고 어두운 부분이 기공이다. 사단면사진을 통해서 폴리스티렌 기반의 나노패턴에에 실린더 모양의 기공들이 잘 형성되어있는 것을 확인할 수 있다.

기공형태의 폴리스티렌 템플릿은 전식식각용 마스크와 같이 사용하여 육방형태의 패턴이 실리

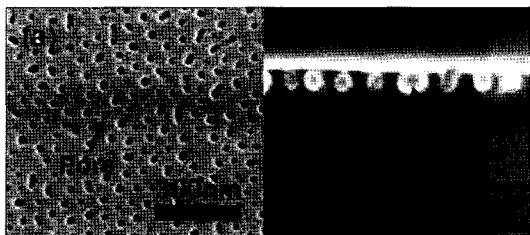


Fig. 2. SEM images of PS template on SiO₂ substrate; (a) Planar image of PS template on SiO₂ (b) Cross-sectional image of PS template.

콘 산화막과 실리콘에 그대로 전사될 수 있도록 하였다. 식각을 위해서 육불화황(SF₆)가스를 사용하였고 10sccm의 가스를 사용하여 10mTorr 압력에서 2분 동안 10W의 출력으로 식각하였다. 폴리스티렌과 실리콘 산화물의 SF₆ 가스에 대한 식각 선택비는 2.5이지만 나노패턴의 기공이 작아서 선택비가 줄어들어 동일한 식각비를 보였다. 화학반응성 식각을 한 후에 기공의 지름이 30 nm였다. Fig. 3(a)는 식각과 O₂ Ashing 공정을 거친후의 실리콘 산화막 표면의 FESEM 사진이고 Fig. 3(b)는 AFM 사진이다. 나노패턴 되어있는 폴리스티렌의 모양이 그대로 실리콘 산화막에 전사되었음을 알 수 있다. Fig. 3(c)은 실리콘 산화막을 제거한 후의 FESEM 사진이고 Fig. 3(d)는 AFM 사진이다. Fig. 3(b)를 보면 SF₆ 가스를 사용하여 화학반응성 식각을 했기 때문에 등방성식각이 일어나 실리콘 산화막의 표면이 거칠어졌음을 확인할 수 있다. 화학반응성 식각을 사용하여 나노패턴이 전사된 실리콘 산화막 표면을 불산에 담궈서 제거하였더니 실리콘 표면을 관찰할 수 있었는데 Fig. 3(c),(d)을 통해서 실리콘 산화막을 통과하여 실리콘 기판까지 전사되었음을 알 수 있었다. Fig. 4(a)와 Fig. 4(b)는 각각 산화막 제거 전과 후의 AFM 입체사진인

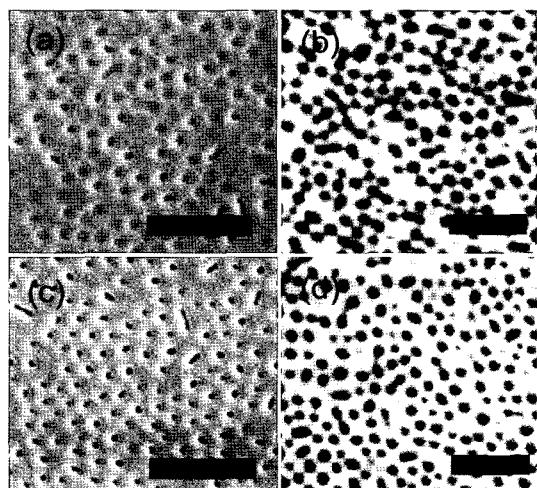


Fig. 3. Image of reactive ion etched nanopatterns with and without SiO₂ layer. (a) SEM image with SiO₂ layer. (b) AFM topography of SiO₂ substrate. (c) SEM image, after removing SiO₂ layer. (d) AFM topography, after removing SiO₂ layer. Scale bar indicates 300 nm.

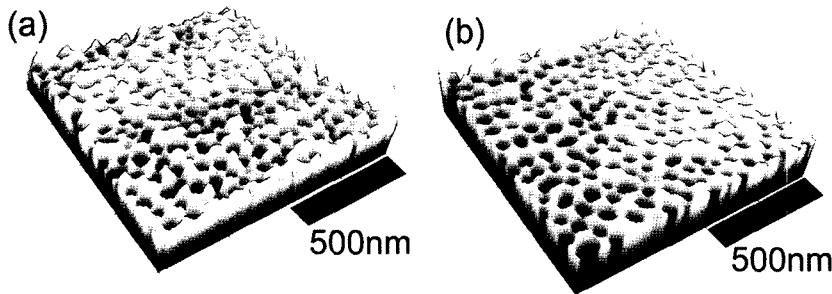


Fig. 4. 3D topography of AFM (a) PS nanopattern transferred with SiO_2 . (b) After removing SiO_2 layer.

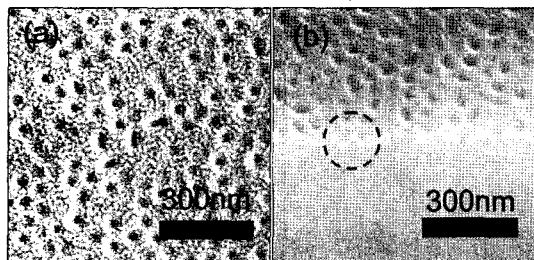


Fig. 5. SEM images of inner trench type tungsten nano dot; (a) Planar SEM image of LPCVD tungsten on SiO_2 (b) 40° tilted image of tungsten nano dot. White points indicate that nano dot size is 26 nm.

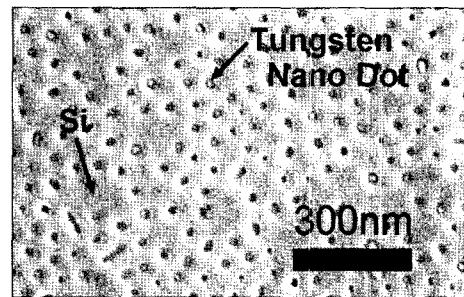


Fig. 6. Planar SEM image of tungsten nano dot in trenched Si surface.

데 이를 통해서 나노패턴을 마스크로 이용한 실리콘 산화막/실리콘 기판의 식각이 성공적으로 이루어졌음을 알 수 있었다.

화학반응성 식각과 폴리스티렌 마스크 제거후에 LPCVD를 이용하여 텅스텐을 선택적으로 패턴이 전사된 곳에만 증착을 시도했다. Fig. 5(a)는 LPCVD 공정후의 FESEM 사진이다. 시편을 295°C 까지 가열한 후 육불화텅스텐(WF_6)가스와 수소가스를 각각 1sccm, 70 sccm 주입 하였다. 실리콘 산화막의 두께가 충분히 두껍다면 텅스텐이 실리콘 산화막에는 증착되지 않고 실리콘이 드러난 기공의 가운데 부분에만 증착이 될 것이나 화학반응성 식각이 진행되면서 20 nm의 실리콘 산화막 두께가 등방성식각으로 인해서 감소해 실리콘 산화막 위에도 텅스텐이 얇게 증착된 모습을 관찰할 수 있다. Fig. 5(a)를 보면 매우 작은 양의 텅스텐 입자들이 실리콘 표면에 올라와 있는 것을 관찰할 수 있다. 더 깨끗한 형태의 텅스텐 나노점 배열형태를 얻어내기 위해서는 실리콘 산화막의 두께가 더 두꺼워야 하며 약 20 nm 이상 두께가

되어야 가능하다고 예상 된다¹⁰⁾. Fig. 5(b)는 40도 기울인 FESEM 이미지이며, 점선 안의 밝은 점이 텅스텐 나노점이다. 사진을 보면 지름이 인 텅스텐 나노점의 크기는 26 nm라는 것을 알 수가 있다.

LPCVD가 끝난 시편을 불산(5%)용액에 넣어서 남아있는 실리콘 산화막을 제거했다. 산화막이 제거되면서 위에 남아있는 미량의 텅스텐 입자들이 함께 떨어져 나갔으나 실리콘 표면에 붙어있던 텅스텐 나노점은 그대로 남아있는 모습을 관찰할 수 있었다(Fig. 6). 사진을 보면 어두운 점 안에 밝은 점들이 텅스텐 나노점이고 실리콘 트렌치 안에 들어있는 모습을 관찰할 수 있었다. 실리콘 산화막이 제거되고 난 후의 실리콘 트렌치의 지름은 30 nm이다.

4. 결 론

본 연구에서는 블록 공중합체를 이용한 나노패턴을 형성하였다. 나노패턴 기공의 지름은 블록 공중합체의 자체 조건에 따라서 변화된다. 블록

공중합체를 이용하여 나노패턴을 만드는 것은 간단하고 재현성있고 예측가능하기 때문에 반도체 공정에 사용되기에 매우 적합한 공정이라고 할 수 있다. 불소화합물기반 식각 장비를 사용하고도 제작되는 시편의 크기가 기존의 공정보다 현저히 줄어들게 된다. 본 연구를 통해서 제작된 트렌치 안에 들어있는 나노점 구조는 고밀도의 반도체 메모리 소자에 응용될 수 있다. 나노기공성 블록 공중합체는 건식식각용 마스크와 같이 사용될 수 있으며 기존의 광학리소그래피의 한계를 뛰어넘게 해줄 것이다.

참고문헌

1. F. S. Bates and G. H. Fredrickson, Annu. Rev. Phys. Chem., 41, 525(1990).
2. M. Park, C. Harrison, P. M. Chaikin, R. A. Register and D. H. Adamson, Science, 276, 1401(1997).
3. T. Thurn-Albrecht, J. Shotter, G. A. Kastle, N. Emley, T. Shibauchi, L. Krusin-Elbaum, K. Guarini, C. T. Black, M. T. Tuominen and T. P. Russell, Science, 290, 2126(2000).
4. C. T. Black, K. W. Guarini and K. R. Milkove Appl. Phys. Lett., 79, 409(2001).
5. M. Park, P. M. Chaikin, R. A. Register and D. H. Adamson, Appl. Phys. Lett., 79, 257, (2001).
6. K. Shin, K. A. Leach, J. T. Goldbach, D. H. Kim, J. Y. Jho, M. Tuominen, C. J. Hawker and T. P. Russell, Nano Lett., 2, 933(2002).
7. B. H. Sohn and S. H. Yun, Polymer, 43, 2507(2002).
8. U. Jeong, D. Y. Ryu, J. K. Kim, D. H. Kim, T. P. Russell and C. J. Hawker, Adv. Mater., 15, No. 15, 1247 (2003).
9. K. W. Guarini, T. B. Charles and S. H. I. Yeung, Adv. Mater., 14, No. 18, 1290(2002).
10. John E. J. Schmitz, Chemical Vapor Deposition of Tungsten and Tungsten Silicides for VLSI/ULSI Applications, Noyes Publication.