

전력용 변압기 보호용 시제품 IED 설계와 개선된 기법의 시험

| |
|---------|
| 論 文 |
| 55P-1-2 |

Testing of Advanced Relaying and Design of Prototype IED for Power Transformer Protection

朴 哲 圓[†] · 申 明 澈^{*}
(Chul-Won Park · Myong-Chul Shin)

Abstract - A popular method used by primary protection for power transformer is current ratio differential relaying (RDR) with 2nd harmonic restraints. In modern power transformer due to the use of low-loss amorphous material, the 2nd harmonic component during inrush is significantly reduced. The higher the capacitance of the high voltage status and underground distribution, the more the differential current includes the 2nd harmonic component during internal fault. Thus the conventional method may not operate properly. This paper proposes an advanced relaying algorithm and the prototype IED hardware design and it's real-time experimental results. To evaluate performance of the proposed algorithm, the study is well constructed power system model including power transformer utilizing the EMTP software and the testing is made through simulation of various cases. The proposed relaying that is well constructed using DSP chip and microprocessor etc. has been developed and the prototype IED has been verified through on-line testing. The results show that an advanced relaying based prototype IED never mis-operated and correctly identified all the faults and that inrushes that are applied.

Key Words : Advanced relaying, Internal fault, Inrush, Power transformer protection, EMTP, IED, RDR

1. 서 론

전력용 변압기 보호를 위하여 전류신호만을 이용한 차동원리를 기반으로 변류기 특성의 불일치, 여유 등을 고려해서 전류 비율차동계전기법(RDR)이 사용된다. 그러나 현장에서는 과도 여자돌입현상이 발생되기 때문에 고조파억제책을 갖춘 비율차동계전기법이 적용되고 있다. 그런데 최근 출시된 변압기는 철심재료기술의 향상에 따라 여자돌입 시 제2고조파성분이 감소되고 있으며, 전력계통의 초고압화와 지중화로 인한 고조파 환경변화에 따라 내부고장 시 제2고조파성분이 함유가 증가되고 있다[1, 2]. 이에 따라 임계치를 조정하더라도 종래 제2고조파억제 비율차동계전방식의 트립 오동작이 가능성이 제기되어 그 대책이 요구되고 있다. 이런 문제점을 개선하기 위하여 1990년 중반부터 퍼지기법, 인공지능기법, 채교자속비 등을 이용하여 다양한 변압기 보호계전기법들이 연구되었다[3~6]. 그러나 아직까지 이에 대한 완벽한 해결책이 없는 형편이다. 한편 디지털필터 기반 비율차동계전기법이 내장된 디지털계전기의 하드웨어측면에서는, 범용 마이크로프로세서로부터 시작하여 고속의 신호처리소자를 채택함으로써 하드웨어가 간소화되면서 실시간처리가 가능하도록 발전하고 있다[7, 8].

한편 변압기보호 업무는 전력운전자동화시스템에 포함되어 무인화, 자동화됨에 따라 상위 시스템과의 데이터통신이 필수적으로 요구되고 있으며, 변전소 내 감시 및 제어기능을 포함한 변전소종합자동화시스템(SAS)으로 발전하고 있다.

이에 따라 과거의 보호기능 이외에 전체 시스템을 네트워크로 엮는 통신기술, 자기진단기술, 이벤트 및 고장데이터 저장기능과 관리기능을 포함하는 소위 차세대 통합보호제어장치(IED)에 대한 필요성이 요구되고 있다. 현재 명지대 차세대전력기술센터(NPTC), 젤파워, NEOPIS, P&C Tech, ENTEC 등을 중심으로 IED의 연구가 한창 진행 중이다[9, 10].

본 논문에서는 변압기 철심재료 개선과 전력계통의 환경변화에 따른 특이한 여자돌입과 내부고장 상황에서도 확실하게 내부고장을 판별함으로써 계전기의 트립 오·부동작을 방지하기 위하여 자속-차전류 기울기특성을 이용한 개선된 보호알고리즘을 제안하였고[11, 12], 디지털 신호처리기(DSP) 소자와 범용 마이크로프로세서를 이용하여 통합보호제어장치를 위한 시제품을 설계하였다[13]. 또한 설계된 시제품의 시험을 위하여 LabVIEW 기반 그래픽유저인터페이스(GUI) 시뮬레이터를 제작하였다[14]. EMTP의 EEUG 버전 WatATP 99를 이용하여 변압기계통을 모델링한 후, 여러 가지 여자돌입현상과 내부고장현상에 대한 시뮬레이션을 수행하였으며, 이런 시뮬레이션 데이터를 수집, 이용하여 제시된 개선알고리즘이 구현된 시제품 통합보호제어장치의 성능을 실시간시험에 의하여 입증하였다.

2. 전력용 변압기용 시제품 통합보호제어장치의 설계

2.1 주보호 및 후비보호 기능 구현

전력용 변압기의 보호를 위한 비율차동보호방식은 불평형 전류로 인한 오동작을 막기 위해서 변류기의 1차전류와 2차전류의 차전류와 억제전류의 비율을 이용하는데, 여자돌입을 고려해서 제2고조파 억제특성과 조합하여 사용된다. 억제전류의 크기에 따라 변곡점을 중심으로 서로 다른 비율 Slope1, Slope2로 분리함으로써 차전류와 억제전류의 비를 변경할 수 있는 서로 다른 동작특성을 갖는 개선된 비율차

[†] 교신저자, 終身會員 : 原州大 電氣科 副教授 · 工博
E-mail : cwpark@wonju.ac.kr

^{*} 終身會員 : 成均館大 情報通信工學部 教授 · 工博
接受日字 : 2005年 8月 25日
最終完了 : 2005年 11月 23日

동특성을 주보호기능으로 구현하였고, 과전류계전기(OCR), 과전류차폐계전기(OCGR), 과전압계전기(OVR), 부족전압계전기(UVG) 등 후비보호계전 기능을 구현하였다[15]. 또한 여러 가지 직교함수계열 디지털필터들의 주파수응답과 원하는 주파수성분 추출특성을 비교, 검토하여 최적의 디지털필터로 이산푸리에변환(DFT) 필터를 선정하였고, 이는 차분방정식으로 구현하여 제안된 보호알고리즘을 정립하는데 활용하였다[16]. 한편 단자전압의 상승률, 차전류의 실효치와 순시치, 차전류의 영점 부근의 주기, DFT에 의한 제2고조파 및 제5조파의 비율과 자속-차전류 기술기특성에 의한 개선된 알고리즘을 오프라인시험에 의하여 특이한 여자돌입과 내부고장을 신속하고 정확하게 판별하였다[11, 12].

2.2 시제품 IED 하드웨어

2.2.1 하드웨어 사양

- MPU : 32 bit floating point DSP, 8 bit RISC CPU
- A/D converter : 16 bit resolution
- D/A converter : 16 bit resolution(시험용)
- Analog Input channel : 11 channels
- Analog Output channel : 8 channels
- Digital Output channel : Relay Out 16 접점 channels
- Digital Input channel : Relay In 16 접점 channels
- Sampling rate : 12 S/C 이상
- User Interface MMI : Wide temperature character module LCD, Function keypad, LED
- Accuracy : ±5 % 이내
- DI/DO 입출력부 : Opto-isolated
- Isolated RS485 serial tranceiver
- 내장 Aux. relay, Fault annunciation LEDs

2.2.2 하드웨어 설계

그림 1은 전력용변압기용 시제품 IED의 블록다이어그램이다. 연산기능을 처리하는 DSP 모듈, GUI에 의한 정보 입력 및 표시기능을 처리하기 위한 MMI 모듈, 상태입력신호를 가공 처리하는 DI 모듈, 제어출력신호를 발생하는 DO 모듈, 프로그램과 데이터의 저장을 위한 메모리 모듈, 전류 및 전압 등 아날로그신호의 크기를 조정하기 위한 변성기 모듈과 LPF, 16비트 11채널의 A/D변환기 등으로 구성되는 아날로그 신호처리모듈, 그리고 동작전원을 공급하기 위한 전원부, 시험용으로 16비트 8채널의 D/A변환기 등으로 구성된다.

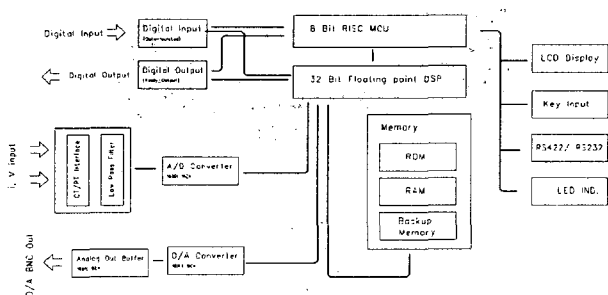


그림 1 시제품 IED의 블록다이어그램
Fig. 1 Block diagram of the prototype IED

2.2.3 DSP 모듈 블록다이어그램

그림 2는 DSP 모듈의 블록다이어그램이다. 전력용변압기 보호에 관련한 보호계전기능 및 각종 고장처리의 데이터 수집과 관리기능을 처리하게 된다. 고속 RAM 뱅크 메모리 모듈을 사용하여 많은 양의 정보를 고속으로 저장 할 수 있으며 아날로그입력 및 아날로그출력은 멀티플렉서를 사용하지 않아서 시지연이 없는 아날로그파형의 입력이 가능하도록 하였다.

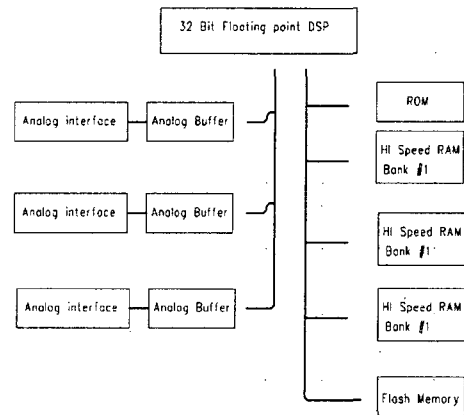


그림 2 DSP 모듈의 블록다이어그램
Fig. 2 Block diagram of DSP Module

DSP 모듈은 A/D변환기를 통하여 들어온 신호를 필터와 보호제어알고리즘을 적용하여 IED 장치를 효율적으로 보호 제어하게 된다. 또한 2개의 UART 통신을 내장하여 RS232 및 RS422 통신으로 외부의 디바이스를 제어하게 된다. DSP에 의해 연산 데이터를 제어용 MCU에 고속으로 많은 데이터를 전송하기 위하여 고속, 대용량의 Dual Port RAM을 사용하였다. 외부의 확장을 위해서 핀을 확장하여 주변의 디바이스를 추가 할 수 있도록 하였고, 주변회로의 추가에 의한 팬인(Fan Out)을 고려하여 확장제어버스에 버퍼를 추가하여 외부장치의 팬인을 증폭하였다. RS422 통신을 사용하여 외부의 통신장비의 멀티통신을 가능하도록 설계하였다.

DSP가 마이크로컴퓨터 모드에서 직렬포트를 의한 부팅 동작을 수행하기 위하여, EPLD를 내장하여 점프선에 의한 EPLD 내부에서 부팅 시 -INT3을 발생하도록 EPLD 내부에서 처리하도록 하였다. 직렬통신을 사용하지 않을 경우 EPLD에서 -INT0을 발생 하도록 하여 ROM에 의한 부팅이 가능하도록 하였다. DSP에 메모리나 입출력장치 등의 주변장치를 접속하려면 인터페이스 회로가 필요하다. DSP의 경우 이와 같은 인터페이스 회로에는 필수적으로

- 메모리나 I/O를 접속하기 위한 칩 선택 신호를 발생하는 어드레스 디코더 회로
 - DSP에서 출력된 R/W 신호를 RD 및 WR 신호로 분리 하는 회로
 - 주변장치로부터의 인터럽트 신호를 1-2개의 HI 클럭 주기로 정형하는 회로
- 등이 포함 되어야 한다.

이러한 회로를 만들려면 PCB 공간도 많이 차지하고, 소비전력도 커지게 되는 단점이 있으므로 본 시제품 IED에서는 사용자가 논리회로를 설계하여 프로그램 할 수 있는 EPLD를 사용하였다. 이는 전용의 소프트웨어 및 프로그래밍을 위한 장비를 필요로 하지만, 동작속도가 상당히 빠르고 회로의 수정이 용이하다는 점 때문에 최근에 널리 사용되는 Lattice 사의 EPLD isp24xx 시리즈를 사용하여 설계하였다.

2.2.4 통신 및 I/O처리 모듈 블록다이어그램

그림 3은 통신 및 I/O처리 모듈의 블록다이어그램이다. 현장에 설치되어 운영되는 모든 상황은 중앙감시실에서 원격으로 감시·제어되기 위해서 디지털 데이터통신에 관한 기능모듈이 탑재되어 있어야 한다. 본 논문에서는 중앙시스템과의 인터페이스를 위한 통신의 물리계층으로 표준규약인 RS485를, 현장 유지보수용 터미널과의 인터페이스를 위한 물리계층으로 표준규약인 RS232를 채택하였다. 또한 감시 혹은 제어를 위해서 I/O처리 모듈로 명명되는 추가적인 H/W가 탑재되었다. 외부 노이즈나 서지 등에 의해서 발생 할 수 있는 오동작을 방지하기 위해서 광절연 구조를 채택하여 신뢰성을 확보하였다.

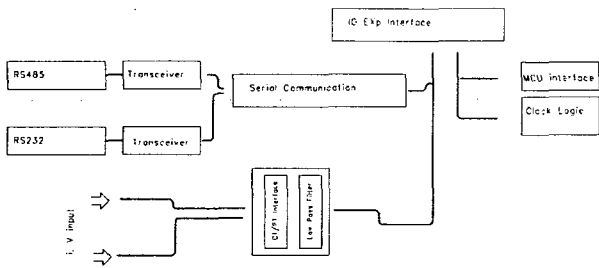


그림 3 통신 및 I/O 인터페이스 모듈의 블럭다이어그램
Fig. 3 Block diagram of communication and I/O interface module

전력계통은 고전압의 형태이므로 외부에 CT와 PT를 통해서 장치가 처리하기에 적절한 크기로 변성된다. 변성기를 거친 입력신호는 LPF와 AMP에 의한 안정되어 비로소 A/D 변환기로 인가되어진다. 외부장치의 ON/OFF 및 상태를 알기 위하여 디지털 비트 입, 출력의 장치가 필요하다. 디지털 입력으로 16비트의 포토입력을 내장하여 스위치 입력 및 부장치의 상태에 의한 제어가 가능하도록 하였다. 외부 출력용 비트는 소형계전기의 점점신호를 외부에 출력 할 수 있는 16비트의 점점출력으로 전원을 ON/OFF 할 수 있도록 하였다.

2.2.5 Analog 입력처리 모듈 블럭다이어그램

그림 4는 아날로그 입력처리 모듈의 블럭다이어그램이다. IED는 계통보호를 위하여 전기량을 계측하고 처리하는 장치이므로 계통의 아날로그 입력신호로 전류와 전압을 수용하게 된다. 본 IED의 H/W는 실시간으로 각 채널의 전류, 전압을 디지털신호처리를 하려면 먼저 빠른 속도로 아날로그신호를 디지털값으로 변환하여야 한다. 또한 시율을 위해서 처리된 결과가 아날로그신호로 출력되도록 하려면 반대로 디지털 데이터를 아날로그로 변환하여야 한다. 본 시제품에서는 고성능의 분해능의 16비트 A/D변환기를 사용하여 설계하였다. 각 상의 전류 및 전압을 동시에 변환하여 아날로그신호를 얻기 위하여 A/D변환기의 입력에 멀티플렉서를 사용하지 않고 각 각의 상에 독립적인 16비트 A/D변환기를 사용하여 각 상의 전류 및 전압을 실시간으로 취득 할 수 있도록 하였다. 아날로그의 입력에 잡음을 방지하기 위하여 간단한 저역통과필터를 내장하였다.

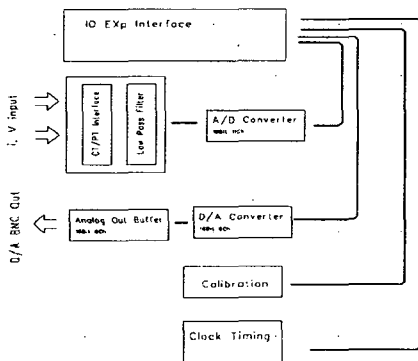


그림 4 아날로그 입력처리 모듈의 블럭다이어그램
Fig. 4 Block diagram of analog process module

A/D변환기는 많은 모델이 있으나, 본 장치에서는 고가더라도 DSP에 의한 디지털신호처리를 비교적 충실히 구현하여 볼 수 있도록 분해능이 비교적 높고 변환속도가 빠른 Analog Devices사의 16비트 병렬 접속형 A/D변환기를 채택하였다. 이는 추차비교형으로 최고 5MHz의 클럭을 사용하여 13클럭 주기(2.6μs)에 변환을 완료하며, 샘플/홀드 회로를

내장하고 있고 아날로그 입력전압의 범위는 -10 - +10[V]이다. 또한 DSP에 의해 연산된 전류 및 전압의 파형을 비교적 충실히 구현할 수 있도록 분해능이 비교적 높고 변환속도가 빠르며 전압출력형으로 되어 있어서 회로가 간단해지는 Analog Devices사의 16비트 병렬접속형 D/A변환기인 AD569JN- BIP를 8CH을 사용하여 성능시험을 위한 여러 종류의 전류 및 전압을 출력하도록 하였다.

2.2.6 MMI 모듈 블럭다이어그램

그림 5는 MMI 모듈의 블럭다이어그램이다. 문자모듈 LCD와 annunciation LED 등의 표시장치와 Function Key의 조작버튼으로 구성된다. 원격으로 운전이 가능하도록 하고 동시에 현장에서 직접조작이 가능하므로 별도의 MMI 모듈을 갖추었다.

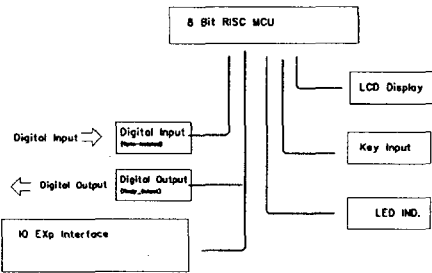
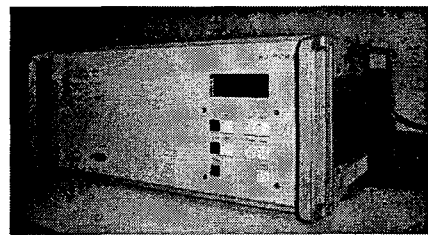


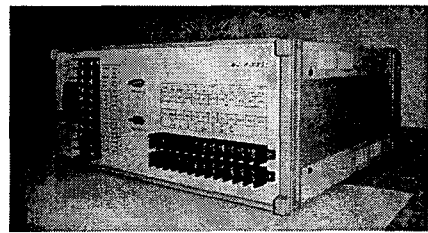
그림 5 MMI 모듈의 블럭다이어그램
Fig. 5 Block diagram of MMI module

2.2.7 IED의 외형도

그림 6은 시제품 IED의 외형도이다.



(a) 전면부
(a) Front PNL



(b) 후면부
(b) Rear PNL

그림 6 시제품 IED의 외형도
Fig. 6 Appearance of ProtoType IED

3. 시뮬레이터 설계

3.1 시뮬레이터 구성

그림 7은 시제품 IED의 성능 시험을 위해 시험용 아날로그파형을 재생할 수 있는 시뮬레이터이다. 시뮬레이션 엔진, PC, DAQ Device 및 오실로스코프로 구성된다. 이 시뮬레이터는 제안된 알고리즘을 탑재된 시제품의 정확한 동작을 테스트하기 위한 것이다.

먼저 WatATP 99를 기반으로 실 계통모델에 대한 시뮬레이션을 수행한 다음 그 출력데이터 파형을 텍스트파일로

저장하게 된다. 이후 NI사의 LabVIEW7.1을 사용하여 작성된 GUI 프로그램에서 샘플링값이 저장된 텍스트파일을 불러들이고 아날로그신호 출력장치인 NI-6733 DAQ Device를 사용하여 아날로그파형을 출력하게 된다. 출력된 신호는 오실로스코프로 측정하게 되는데, 원 신호인 WatATP 99 파형과 비교한 결과 시험용 신호로서 사용할 수 있게 되었다. 표 1은 DAQ Device의 사양이다.

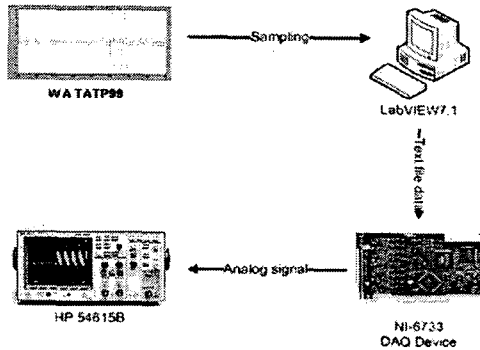


그림 7 시뮬레이터의 구성도
Fig. 7 Diagram of the simulator

표 1 NI-6733 DAQ Device의 사양
Table 1 Specification of NI-6733 DAQ Device

| | |
|-------------------|-----------|
| Bus | PCI, PXI |
| Analog outputs | 8 |
| Output resolution | 16 bit |
| Update rate | 1 MS/s |
| Output range | ±10V |
| Counter/Timers | 2, 24 bit |

3.2 DAQ Device와 LabVIEW에 의한 시뮬레이터 설계

그림 8은 아날로그파형으로 출력되도록 LabVIEW를 이용하여 구현한 사용자인터페이스와 Source Code이다. 파일을 연후 버퍼크기 및 update rate를 선정하면, 사용자 임의대로 원하는 출력신호를 크기 조절하여 발생시킬 수 있도록 구현할 수 있도록 하였다. 이는 GUI 프로그램은 재생하고자 하는 신호의 출력 값을 찾아 주기 때문에 사용자가 원하는 크기로 신호를 발생시킬 수 있게 된다.

이 시뮬레이터 프로그램의 특징은 다음과 같다.

- (1) 한 번에 다수의 채널에서 시간의 지연 없이 신호를 재생할 수 있으므로 실제 전력계통과 유사한 환경을 제공할 수 있다. 여기서는 변압기가 포함된 전력계통과 유사하게 여러 가지 절점전압과 전류를 발생시켜 실시간으로 시험과 측정을 할 수 있다.
- (2) 학계와 현장에서 검증된 NI사의 LabVIEW 프로그램을 사용하였기 때문에 신뢰성, 호환성이 뛰어나다.
- (3) 사용자는 출력하고자 하는 전류와 전압의 크기와 출력 범위를 조절할 수 있다.
- (4) 각 상의 전압과 전류파형을 동시에 출력할 수 있지만, 동시에 출력했을 경우 전압에 비해 전류값이 작기 때문에 전류파형의 변화를 알기 힘들다. 그러므로 전압데이터와 전류데이터를 따로 분리하여 전압과 전류파형을 출력하도록 하였다.

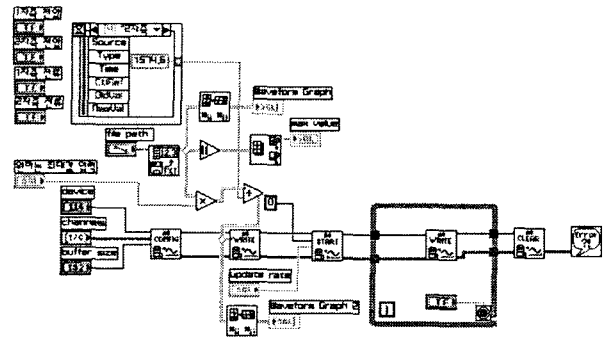
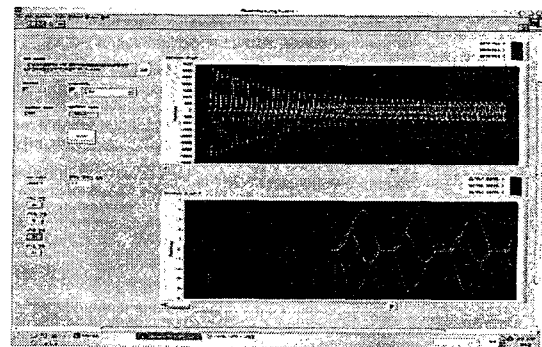


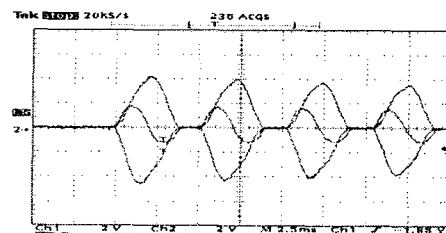
그림 8 GUI프로그램으로 구현한 인터페이스와 소스 코드
Fig. 8 User Interface and source code using GUI program

3.3 신호파형의 비교

그림 9는 시뮬레이터에서 재생된 출력 신호파형의 비교이다. 본 논문에서 사용된 시뮬레이션의 한 예로 여자돌입 시(전압위상각 0도)의 전류신호이다. 그림 9(a)는 WatATP 99의 시뮬레이션 파형을 시뮬레이터 소프트웨어에 의하여 DAQ Device에서 출력된 아날로그신호이다. 상부그림은 WatATP 99로 수집된 512 s/c 60주기(0.1[sec])의 아날로그신호이고, 하부그림은 이 신호 중에 3주기 정도를 확대하여 사용자가 알기에 용이하도록 한 것이다. 그림 9(b)은 DAQ Device 터미널에서 재생된 신호를 오실로스코프로 측정한 신호이다. 총 6개의 전압과 전류 파형을 측정할 수 있으나, 오실로스코프로 더 정확한 파형의 모양을 보기 위하여 3상 파형을 나타내도록 하였다. 그림으로부터, WatATP 99로 시뮬레이션을 통해 직접 수집한 전류데이터 파형과 DAQ Device에서 재생된 아날로그 신호를 오실로스코프로 측정한 전류신호의 파형의 크기 및 고조파 여부, 위상 등 항목을 비교한 결과 동일한 파형을 얻을 수 있었으므로 시험용으로 사용이 가능하였다.



(a) 시뮬레이터 소프트웨어의 전류 신호
(a) Current signals by simulator software



(b) DAQ 채널에서 측정된 전류 신호
(b) Current signals by DAQ channel

그림 9 시뮬레이터 출력 신호파형 비교
Fig. 9 Simulator signals comparison

4. 사례연구

4.1 EMTP에 의한 상세모델링과 과도해석

변압기의 내부고장 시뮬레이션은 고장발생권선을 나누어 모델링을 하여 수행하였다. 이 방법은 EMTP내의 보조프로그램인 BCTRAN에 의해 얻어지는 변압기의 임피던스행렬을 이용하는데, BCTRAN은 변압기를 상호결합된 요소로서 취급하여 WatATP 99(EMTP)에서 바로 처리할 수 있는 [R]과 [L] 행렬 데이터를 출력하게 된다. 따라서 변압기의 권선에서 고장이 발생한 경우 [R], [L] 행렬을 고장조건에 맞도록 수정한 후 WatATP 99의 입력데이터로 재활용함으로써 변압기의 내부고장 모의가 가능하였다. 또한 여자돌입 시뮬레이션은 EMTP의 포화 변압기모델을 이용하였다. 이때 시뮬레이터에서의 시험용 아날로그파형 발생을 위해서 한 주기당 샘플링주파수는, 30,720[Hz]인 주기당 512 샘플링을 하였고, 개선된 알고리즘 구현 시에는 샘플링주파수는 720[Hz]인 주기당 12 샘플링을 취하였다[14, 17].

4.2 시제품 IED의 성능 시험

그림 10은 시뮬레이터에 의한 시제품 IED의 성능 측정이다. 출력된 아날로그신호는 시제품 IED로 전달되고, IED에서는 이 신호를 처리하여 실호치 등 연산된 값과 내장된 알고리즘에 의해서 트립신호를 출력한다. DAQ Device와 재생된 신호, IED의 트립신호와 여러 가지 측정용 신호들은 IED의 아날로그 및 디지털 출력부를 통해 오실로스코프로 확인하게 된다.

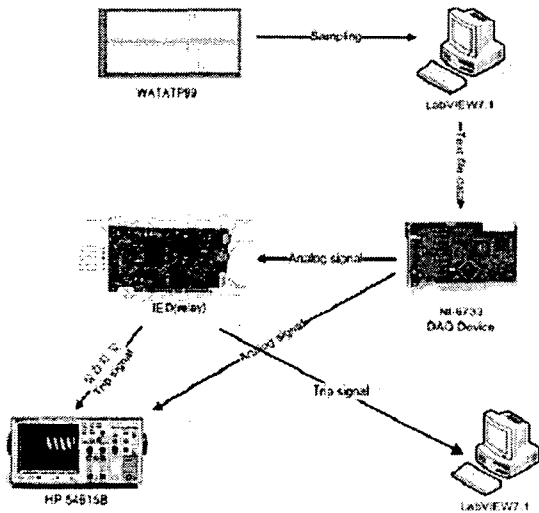
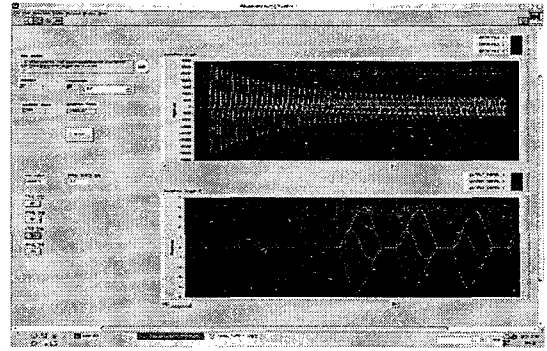


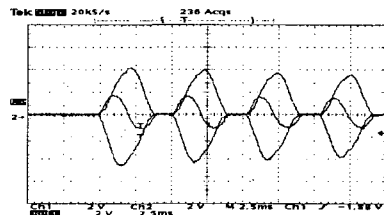
그림 10 시제품 IED의 성능 측정
Fig. 10 Performance test of the prototype IED

4.2.1 여자돌입의 경우

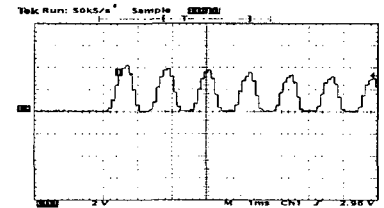
그림 11은 1차측 a상 전압위상각 0도일 경우, 44.448[ms]에서 가압된 여자전류의 시뮬레이터화면과 고장판별 결과이다. 그림 (a)의 상부 그림은, 512 s/c 60주기(0.1sec)의 아날로그신호이고, 하부 그림은, 사용자가 관측하고자 하는 부분(여기서는 약 3주기)을 확대한 것이다. 총 6개의 전압과 전류파형을 측정할 수 있으나, 그림 (b)는 편의상 DAQ 채널을 오실로스코프로 3상 파형을 측정하여 나타내었다. 그림 (c)~(e)는 DSP와 MPU로 제작된 시제품 Target IED에서 A/D변환기로 신호처리 된 후, 구현된 개선알고리즘의 결과를 D/A변환기로 출력한 3상 전류신호이다. 그림으로 알 수 있는 듯이 여자돌입이 판별되어 IED는 차단기로 트립신호가 발생하지 않아 정동작을 하는 것을 알 수 있다.



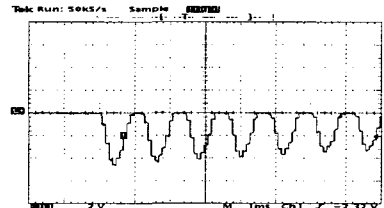
(a) 시뮬레이터 화면(512 S/C)
(a) Simulator state(512 S/C)



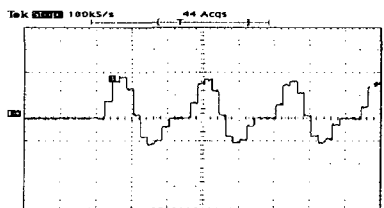
(b) DAQ 채널로 측정된 1차측 3상 전류(512 S/C)
(b) Three phase current of primary side by DAQ channel(512 S/C)



(c) DAQ 채널로 측정된 1차측 a상 전류(12 S/C)
(c) A phase current of primary side by DAQ channel



(d) DAQ 채널로 측정된 1차측 b상 전류(12 S/C)
(d) B phase current of primary side by DAQ channel



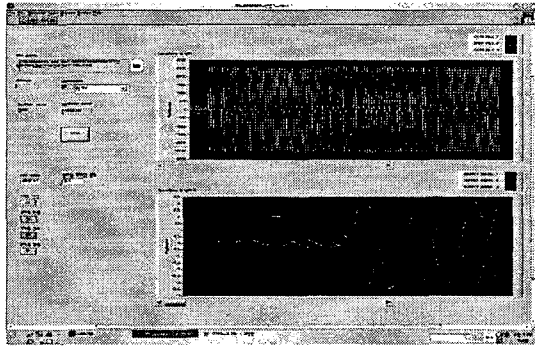
(e) DAQ 채널로 측정된 1차측 c상 전류(12 S/C)
(e) C phase current of primary side by DAQ channel

그림 11 여자돌입 시의 시뮬레이터 화면과 고장판별 결과(전압위상각 0도)

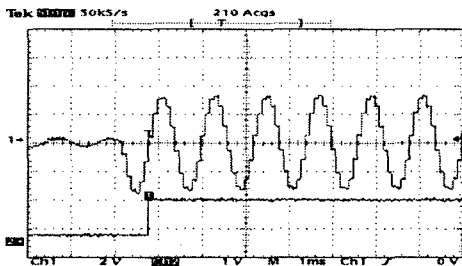
Fig. 11 Fault discriminant and simulator state during inrush(voltage angle 0)

4.2.2 권선 단락고장의 경우

그림 12는 2차측 전압 c상 권선의 0:30:65 위치에서 51.393[ms]에서 권선단락고장이 발생한 경우 시뮬레이터 화면과 고장판별결과이다. 그림 (b)는 이 경우 DAQ에서 발생된 신호가 시제품 IED에 인가되어 처리되는, 전류신호와 고장판별 결과의 트립신호이다. 그림으로부터 고장발생 후 약 반주기 이후인 8.33[msec]에서 신속하게 권선단락고장이 검출되는 것을 알 수 있다.



(a) 시뮬레이터 화면(512 S/C)
(a) Simulator state (512 S/C)



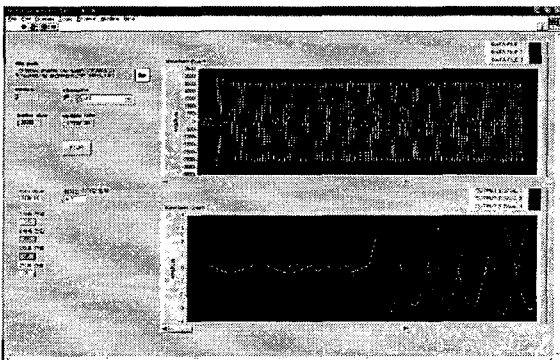
(b) c상 전류와 트립 신호(12 S/C)
(b) Trip signal and c phase current

그림 12 권선 단락고장 시의 시뮬레이터 화면과 고장판별 결과

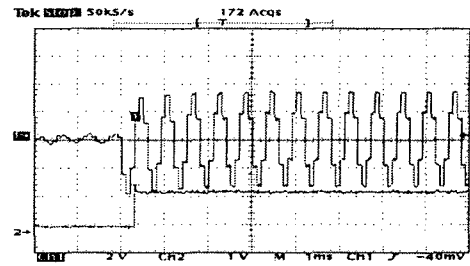
Fig. 12 Fault discriminant and simulator state during turn to turn fault

4.2.3 권선 지락고장의 경우

그림 13은 2차측 전압 c상 권선의 15:85 위치에서 51.393[ms]에서 권선지락고장이 발생한 경우 시뮬레이터 화면과 고장판별결과이다. 그림 (b)는 이 경우, DAQ에서 발생된 신호가 시제품 IED에 인가되어 처리되는 전류신호와 고장판별 결과 트립신호이다. 그림으로부터 고장발생 후 약 8.33[ms]에서 권선지락고장이 검출되어 트립신호가 발생되는 것을 알 수 있다.



(a) 시뮬레이터 화면(512 S/C)
(a) Simulator state (512 S/C)



(b) c상 전류와 트립 신호(12 S/C)
(b) Trip signal and c phase current

그림 13 권선 지락고장 시의 시뮬레이터 화면과 고장판별 결과

Fig. 13 Fault discriminant and simulator state during turn to ground fault

5. 결론

본 논문에서는 전력용변압기 보호의 성능을 향상하기 위하여 변압기용 IED의 주보호를 위한 개선된 알고리즘을 제안하였고, DSP 소자와 범용 마이크로프로세서를 이용하여 시제품 IED에 대한 상세한 설계와 구현을 논하였다. 제안된 알고리즘의 온라인 시험을 위하여 여러 가지 고장 및 과도현상 신호를 실시간으로 재생이 가능하도록, LabVIEW 기반 간이형 시뮬레이터 소프트웨어를 설계하였다. 이 시뮬레이터는 IED 시험뿐만 아니라 범용시험 시 적용이 가능할 것으로 사료된다. 또한 WatATP 99로 전력용변압기가 포함된 전력 시스템의 모델링을 수행하였고, 다양한 시뮬레이션 데이터와 제작된 시뮬레이터를 활용하여 개선된 기법이 내장된 시제품 IED의 실시간시험을 수행하였다. 제안된 개선 알고리즘은 단자전압과 입·출력전류를 이용한 수치알고리즘으로서 실시간처리와 계전기의 하드웨어 구현이 용이하였다. 제안된 기법은 20여 가지 실시간시험을 통하여 내부고장 시 고장발생 후 약 반주기에서 신속한 고장판별을 나타냈으며, 여자돌입 시 오동작이 방지되어 신뢰성이 입증되었다. 본 연구로 인하여 SAS를 위한 핵심기술인 IED의 기술개발에 도움이 될 것으로 기대된다.

감사의 글

본 연구는 2003~2004년도 산업자원부 전력산업연구개발사업 전력기술기초연구에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참고 문헌

- [1] A.T. Johns, S.K. Salman, Digital Protection for Power System, IEEE POWER SERIES 15, Peter Peregrinus Ltd., pp. 183~187, 1995.
- [2] 한국전력공사 전력연구원, 보호제어 유니트의 소프트웨어, 변전소종합보호제어 시스템설계 및 제작기술 개발 최종보고서 부록, pp. 1~87, 1997.2.
- [3] Chul Won Park, Myong Chul Shin, et al., "Fuzzy Logic-Based Relaying for Large Power Transformer Protection", IEEE Trans. on PWRD., Vol. 18, No. 3, pp. 718~724, July 2003.
- [4] 강용철, 이병은, 김은숙, 원성호, "쇄교자속비를 이용한 변압기 보호", 대한전기학회 논문지, Vol. 52A, No. 11, pp. 655~660, Nov. 2003.
- [5] Sang-Tae Kim, Bo-Geon Jin, Seung-Jae Lee, Sang-Hee Kang, Myeon-Song Choi, Sang-Hyun Yoon, Tae-Sung Lee Sang-Ki Chung, "v-i trend-based protective relaying algorithm for 3-phase

- power transformer”, Power Engineering Society Summer Meeting, 2001. IEEE, Volume: 1, July pp. 605~610.
- [6] 박철원, 신명철 외 1인, “대용량 변압기 보호용 퍼지논리 계전기법과 웨이브렛 계전기법의 비교분석”, 대한전기학회 논문지, Vol. 52P, No. 4, pp. 179~187, 2003.
- [7] Y.V.V.S. Murty, M.A. Rahman, “A Stand-Alone Digital Protective Relay For Power Transformers”, IEEE Trans. on PWRD., Vol. 6, No. 1, pp. 718~724, January 1991.
- [8] M.A. Rahman, B. So, M.R. Zaman, M.A. Hoque, “Testing of Algorithms for a Stand-Alone Digital Relay for Power Transformers”, IEEE Trans. on PWRD., Vol. 13, No. 2, pp. 374~385, April 1998.
- [9] 명지대 차세대전력기술센터, “Next-Generation Protection Technology”, pp.1~214 Feb. 2002.
- [10] Alexander, R.L., “Intelligent electronic device(IED) technology SCADA and 3Ø metering”, Rural Electric Power Conference, 2002, pp. C6~C6_3, IEEE 2002.
- [11] 박철원, 신명철 외 1인, “Numerical Algorithm for Power Transformer”, KIEE International Trans. on PE, Vol. 4-A, No. 3, pp. 146~151, 2004.
- [12] C.W. Park, Y.M. Jung, K.J. Ha, M.C. Shin, “Numerical Algorithm by Voltage-Current Trend-Based Relaying and Flux-Differential Current Slope Characteristic for Power Transformer Protection”, APAP 2004, International Conference on Advanced Power Automation & Protection, pp. 381~385, 2004. 10.
- [13] 박철원, 신명철, “전력용 변압기보호용 IED”, 대한전기학회 하계학술대회 논문집, pp. 217~219, 2005. 7.
- [14] 박철원, 김장휘, 이종주, 신명철, “LabVIEW를 이용한 디지털 시뮬레이터”, 대한전기학회 하계학술대회 논문집, pp. 217~219, 2005. 7.
- [15] 박철원 외 1인, “변압기용 IED의 보호계전 시스템”, 대한전기학회 강원지부 추계학술대회 논문집, pp. 23~26, 2003. 11.
- [16] 박철원, 신명철, “특정 주파수 추출을 위한 여러 가지 디지털 필터의 특성 비교”, 대한전기학회 하계학술대회 논문집, pp. 360~362, 2004. 7.
- [17] 박철원 외 1인, “변압기의 EMTP 모델링과 고장해석”, 2003년도 대한전기학회 강원지부 학술강연회 논문집, pp. 1~6, Dec. 2003.

저 자 소 개

박 철 원 (朴 哲 圓)



1961년 8월 13일생. 1988년 성균관대학교 공과대학 전기공학과 졸업. 1996년 동대학원 전기공학과 졸업(공학). 1989년~1993년 금성산전연구소 주임연구원. 1993년~1996년 프로컴시스템 기술연구소 선임연구원. 1993년~1997년 성균관대학교

전기전자 및 컴퓨터공학부 강사. 1997년~현재 (국립)원주대학 전기과 부교수.

Tel : 033-760-8425

Fax : 033-760-8420

E-mail : cwpark@wonju.ac.kr

신 명 철 (申 明 澈)



1947년 4월 3일생. 1970년 성균관대학교 전기공학과 졸업. 1978년 연세대학교 대학원 전기공학과 졸업(공학). 1975~1978년 충북대학교 전기공학과 조교수. 1982년~1983년 미국 코넬대 전기공학과 교환교수. 2000년~2001년 미국 펜실바니아

주립대 전기공학과 교환교수. 2005년 대한전기학회 회장. 1978년~현재 성균관대학교 정보통신공학부 교수. 성균관대학교 부총장.

Tel : 031-290-7103

Fax : 031-290-7103

E-mail : mcshin@yurim.skku.ac.kr