

논문 2006-43SD-10-18

버스 분할 설계를 위한 저전력 버스 기반 평면계획

(Low-Power Bus Driven Floorplan for Segmented Bus Design)

유재민*, 임종석**

(Jaemin Yoo and Chongsuk Rim)

요약

본 논문은 버스의 소비 전력을 비용 함수로 정의하여 버스의 소비 전력을 줄이는 버스 기반 평면계획을 제안한다. 기존 버스 기반 평면계획의 비용함수는 버스의 면적만을 줄이고 버스의 소비 전력은 고려하지 않는다. 그러나 버스 분할 설계 방식을 가정한 경우 버스의 소비 전력이 면적에 반드시 비례하지는 않기 때문에 기존의 비용함수로는 버스의 소비 전력을 반영할 수가 없다. 본 논문에서는 버스 분할 설계 기법이 적용된 경우를 가정하고 버스에 연결된 블록간의 통신량과 실제 거리를 고려하여 버스의 소비 전력을 비용함수에 추가 하였다. 실험 결과 새로운 비용함수를 사용한 버스 기반 평면계획에서는 버스의 소비 전력에 관련된 값이 평균 11.43%만큼 감소하였다.

Abstract

In this paper, we present the Low-Power Bus Driven Floorplan(BDF) in which the bus power consumption is minimized by using a new cost function. The previously reported BDF has used the cost function which minimizes only the chip and the bus area. However, such a cost function may not consider the bus power consumption determined by the topology of a bus in case of the segmented bus design. In this paper, we formulate a new cost function which reflects the communication frequency and the real distance between blocks in a bus to model the bus power consumption. For the Low-Power BDF with the new cost function, the experimental results show the bus power consumption cost is reduced by 11.43% on the average.

Keywords : 저전력, 평면계획, 버스 설계, Low-Power, Floorplan, Bus Design

I. 서론

최근 VLSI 공정 기술이 발달하면서 회로의 집적도가 급격히 높아져 설계에 걸리는 시간이 크게 증가하고 있다. 이에 대한 해결책으로 SoC(System-On-Chip)를 사용하여 설계 시간을 단축하는 개발 방식이 등장하였다.

SoC를 이용한 설계는 ASIC 설계와는 달리 다수의 매크로 블록을 버스를 사용하여 연결하는 것이 특징이다^[1]. 이 때 버스를 사용하여 블록간의 데이터 통신이

이루어지기 때문에 버스를 효율적으로 배치하는 것이 중요하다. VLSI 회로에서 버스의 물리적인 모양과 위치는 물리적 설계(physical design) 단계에서 결정한다. 특히 물리적 설계의 첫 단계인 평면계획 단계에서는 버스가 연결하는 블록의 개략적인 위치를 결정한다. 그리하여 블록의 위치와 함께 버스의 위치도 함께 고려하는 버스 기반 평면계획법이 등장하였다^[1,2,3,4].

버스 기반 평면계획법은 회로의 면적 이외에 버스의 면적을 줄이는 것에도 중점을 둔다. 그러나 면적 외에 빼놓을 수 없는 것이 바로 버스의 소비 전력이다. 특히 버스 분할 설계 기법^[5]으로 버스를 설계하였다면 평면계획에서 통신을 많이 하는 블록은 가까운 위치에 배치해야 한다. 그러나 기존의 버스 기반 평면계획법은 버스의 소비 전력을 고려하지 않으며 통신량에 따라서 블록을 배치하지도 않는다. 따라서 본 논문에서는 버스

* 정희원, 삼성전자 기술총괄 SW 연구소
(SW Lab, CTO, Samsung Electronics)

** 정희원, 서강대학교 컴퓨터학과
(Department of Computer Science, Sogang)

※ 본 연구는 IDEC(반도체설계교육센터)의 지원으로 수행되었습니다.

접수일자: 2006년2월8일, 수정완료일: 2006년8월28일

분할 설계 기법으로 버스를 설계한 경우를 가정하고 버스에 속한 블록간 통신량과 거리에 따른 버스의 소비 전력을 비용함수에 포함시켜 버스 기반 평면계획법을 수행한다.

본 논문의 구성은 다음과 같다. II장과 III장에서는 버스 기반 평면계획과 버스 분할 설계 기법을 소개한다. IV장에서는 버스에 연결된 블록간의 통신량과 거리에 따라 버스의 소비 전력을 비용함수에 추가하는 방법과 저전력 버스 기반 평면 계획을 설명한다. 그리고 V장과 VI장에서는 실험결과에 대한 평가와 결론을 제시한다.

II. 버스 기반 평면계획

버스 기반 평면계획은 다음과 같이 정의할 수 있다^[2].

정의 1. 버스 기반 평면계획 문제: n 개의 블록의 집합 $B = \{b_1, b_2, \dots, b_n\}$ 와 m 개의 버스의 집합 $U = \{u_1, u_2, \dots, u_m\}$ 에 대하여 각 블록이 서로 겹치지 않고 버스도 서로 겹치지 않으면서 회로의 면적과 버스의 면적이 최소가 되도록 블록과 버스의 위치를 결정하는 것을 버스 기반 평면계획 문제라고 한다(그림1).

참고문헌 [4]의 다중 굴절 버스 기반 평면계획법에서는 버스가 그림 1의 버스 u_3 와 같이 최대 두 번 굴절할 수 있다. 본 논문에서는 이 방법에 따라 버스 기반 평면계획을 수행한다.

버스 기반 평면계획법은 그림 2와 같이 기존의 평면계획법에 버스의 배치 가능성을 판별하는 부분과 버스를 고려하여 블록과 버스의 위치를 결정하는 부분을 추가한 것이다.

버스의 배치 가능성을 판별하는 방법은 평면계획을 부호화 하는 방법에 따라서 다르지만 공통적으로 SP^[6]

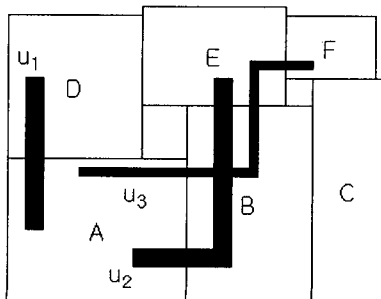


그림 1. 버스 기반 평면계획의 예
Fig. 1. A bus driven floorplan.

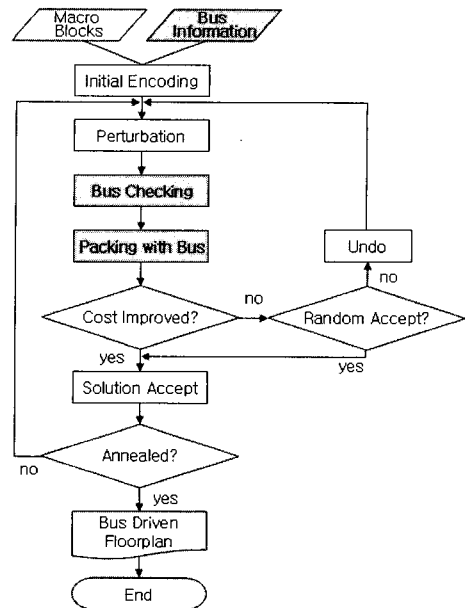


그림 2. 버스 기반 평면계획법의 흐름도
Fig. 2. The general flow of bus driven floorplanning.

나 B*-tree^[7]에서 직접 판별이 가능하다. 그리고 블록의 위치를 결정할 때에는 버스를 고려하지 않고 블록의 위치를 먼저 정한 다음 버스가 지나갈 수 있도록 블록의 위치를 조정하는 방법을 공통적으로 사용한다.

버스 기반 평면계획의 비용함수는 회로의 면적(A), 버스의 면적(B), 배치에 실패한 버스의 개수(I)를 반영하며 식 1로 나타낼 수 있다. (α, β, γ 는 사용자가 지정할 수 있는 값.)

$$F = \alpha \cdot A + \beta \cdot B + \gamma \cdot I \tag{1}$$

이 때 버스의 면적은 버스의 배선 길이에 비례하기 때문에 면적이 줄어들면 최대 지연 시간이 짧아지고 배선용량도 낮아져 소비 전력이 줄어드는 효과가 있을 수 있다. 그러나 기존 버스 기반 평면계획에서는 버스의 소비 전력을 언급하거나 고려하지는 않는다.

III. 버스 분할 설계 기법

버스의 소비 전력은 식 2와 같이 축전량 C , 전압 V_{dd} , 스위칭 빈도 f 의 곱으로 나타낼 수 있다[8].

$$P = C \cdot V_{dd}^2 \cdot f \tag{2}$$

따라서 위의 세 요소 중 하나 이상을 낮추면 버스의 소비 전력을 낮출 수가 있다. 참고문헌 [5]의 버스 분할 설계 기법은 그 중 축전량 C 를 낮추어 버스의 소비 전

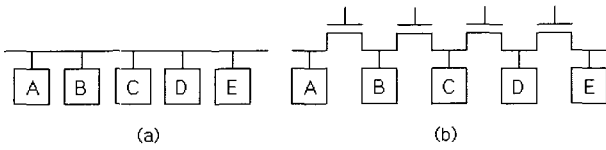


그림 3. 일반 버스(a)와 분할된 버스(b)
Fig. 3. A normal bus(a) and a segmented bus(b).

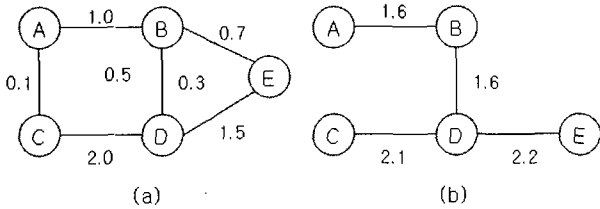


그림 4. 버스 모델링 그래프 G (a)와 GH-트리 T (b)
Fig. 4. Bus Modeling Graph G (a) and GH-tree T (b).

력을 줄이는 방법이다.

그림 3의 (a)에서는 블록 A와 B가 통신을 할 때 전체 버스가 charging 된다. 그러나 이 버스를 그림 3의 (b)와 같이 패스 트랜지스터를 사용하여 버스에 연결된 블록의 개수만큼 분할하고 블록 B와 C 사이의 패스 트랜지스터를 끄면 블록 A와 B의 통신에 관련된 부분만 charging 할 수 있어 축전량 C 가 줄어든다. 따라서 통신을 많이 하는 블록은 멀리 떨어뜨리는 대신 가깝게 배치해야 축전량 C 가 줄어든다.

그림 4의 (a)는 버스 모델링 그래프로서 각 노드는 버스에 속한 블록을 의미하고 에지는 블록간의 통신이 있음을 의미하며 에지의 가중치는 블록간의 통신량을 의미한다. 버스 분할 설계에서는 통신량이 많은 블록이 인접하도록 GH-트리 알고리즘^[9]을 사용하여 버스 모델링 그래프를 그림 4의 (b)와 같은 GH-트리 형태로 재구성한다. GH-트리 형태로 버스를 구성하면 버스의 소비 전력은 최소가 된다.

식 3은 GH-트리 형태로 구성한 버스의 소비 전력을 모델링 하는 식이다. $w_G(i, j)$ 는 버스 모델링 그래프에 속한 에지 (i, j) 의 가중치로 통신량을 의미하며 식 2의 스위칭 빈도 f 에 해당한다. 그리고 $dist_T(i, j)$ 는 GH-트리에서 노드 i 와 j 를 연결하는 패스의 길이로 식 2의 전하량 C 에 해당한다^[5].

$$P = \sum_{\forall e(i,j)} w_G(i, j) \cdot dist_T(i, j) \quad (3)$$

그림 5의 (a)와 (b)는 버스 분할을 적용한 버스 기반 평면계획이다. 여기에서 각 블록간의 거리가 균일하고

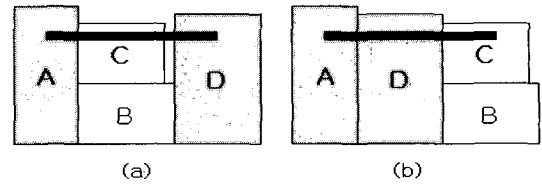


그림 5. 버스면적이 동일하나 소비전력이 다른 예
Fig. 5. The bus area is same but the bus power consumption is different.

$w_G(A, D) = 3, w_G(A, C) = 1, w_G(C, D) = 2$ 라고 가정하자. 이 때 평면계획 (a)와 (b)에서 버스의 소비 전력을 식 3에 따라 계산하면 $P_a = 9, P_b = 7$ 이 되어 버스의 면적은 같지만 평면계획 (b)에서 버스의 소비 전력이 더 작다. 기존의 비용함수 F 로는 이와 같은 경우를 구분할 수 없다.

IV. 저전력 버스 기반 평면계획법

버스를 버스 분할 방식으로 설계하였다고 가정할 때 저전력 버스 기반 평면계획 문제는 다음과 같다.

정의 2. 저전력 버스 기반 평면계획 문제: n 개의 블록의 집합 $B = \{b_1, b_2, \dots, b_n\}$, m 개의 버스의 집합 $U = \{u_1, u_2, \dots, u_m\}$, 각 버스의 GH-트리의 집합 $T = \{T_1, T_2, \dots, T_m\}$ 에 대하여 각 블록이 서로 겹치지 않고 버스도 서로 겹치지 않고 버스를 GH-트리 형태가 되도록 회로의 면적과 버스의 면적이 최소가 되도록 블록과 버스의 위치를 결정하는 것을 저전력 버스 기반 평면계획 문제라고 한다.

예를 들어 그림 6은 GH-트리 T 의 형태로 버스를 배치한 평면 계획이다. 이렇게 버스가 GH-트리의 모양이 되도록 버스 기반 평면계획을 수행하면 버스의 소비 전력은 최소가 된다. 그러나 기존 버스 기반 평면계획법에서는 직선이거나 구부러진 직선의 형태로 버스를 배

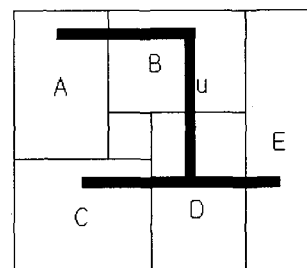


그림 6. 저전력 버스 기반 평면계획의 예.
Fig. 6. A Low-Power BDF.

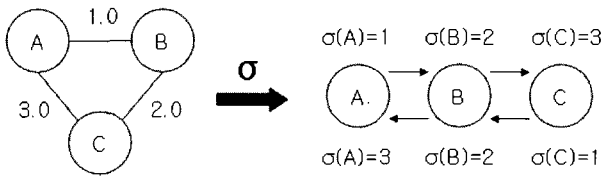


그림 7. 최소 선형 나열의 예.
Fig. 7. A minimum linear arrangement.

치하며 임의의 트리 형태로 블록을 배치하지는 못하고 있다. 또 다른 문제점은 버스 분할 기법에서 블록간의 거리가 균일(unit)하다고 가정한 것이다. 따라서 두 블록이 GH-트리에서는 인접하지만 실제 평면계획에서는 멀리 떨어져 배치될 가능성이 있다.

따라서 블록을 GH-트리의 형태가 아니라 그림 3의 (b)와 같이 일렬로 늘어놓는 경우를 고려하면 버스에 일렬로 연결한 블록의 순서를 조정하여 버스의 소비 전력이 최소가 되도록 하는 방법을 생각할 수 있다. 이것은 최소 선형 나열 문제(Minimum Linear Arrangement Problem)^[10]의 일종으로 정의 3과 같이 정의할 수 있다. 예를 들어 그림 7과 같이 A,B,C 세 개의 노드에 대하여 버스 모델링 그래프가 주어질 때 <A,B,C> 또는 <C,B,A>의 순서로 노드를 나열할 때 정의 3의 P값이 최소가 된다.

정의 3. 최소 선형 나열 문제: 버스 모델링 그래프 $G(V,E)$ 에 대해 다음 식

$$P = \sum_{\forall(i,j)} w_G(i,j) \cdot (|\sigma(i) - \sigma(j)|)$$

이 최소가 되도록 노드를 일렬로 나열하는 일대일 함수 $\sigma: V \rightarrow \{1, 2, \dots, |V|\}$ 를 구하는 것을 최소 선형 나열 문제라고 한다.

그러나 최소 선형 나열 문제는 NP-Hard 문제이기 때문에 최적해를 쉽게 구하기 어렵다^[10]. 그리고 노드간 거리가 실제 평면 계획에서의 거리에 반드시 비례하지

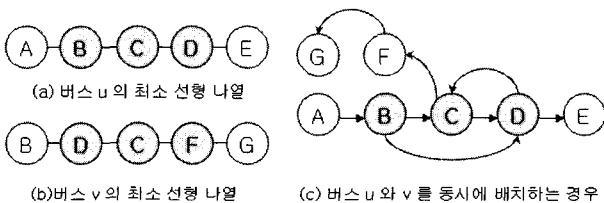


그림 8. 최소 선형 나열의 충돌.
Fig. 8. Conflict of the different MLAs.

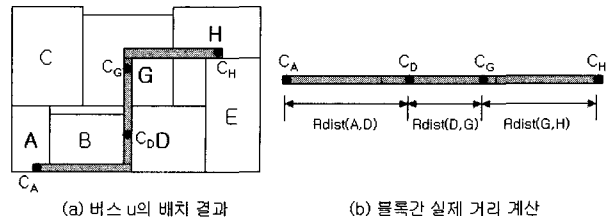


그림 9. 버스 소비 전력 계산시 블록간 실제 거리.
Fig. 9. The distance between blocks for the bus power.

는 않는다. 또한 한 버스에 대해서 최적해를 구한다고 하더라도 여러 개의 버스에 대해서는 그림 8과 같이 서로 다른 최소 선형 나열이 충돌하는 문제가 있다. 따라서 본 논문에서는 버스가 해당 블록을 일렬로 연결할 때의 소비 전력을 블록간 통신량과 실제 거리를 고려한 새로운 비용함수를 정의하여 사용한다.

그림 9의 (a)와 같은 평면계획에서 버스 u 가 블록 A,D,G,H를 연결한다고 할 때 이 버스 u 가 연결하는 블록간의 거리는 그림 9의 (b)와 같이 구할 수 있다. 여기에서 C_A, C_D, C_G, C_H 는 버스가 각 블록을 지나는 중심 위치로 블록간의 거리는 버스를 그림 9의 (b)와 같이 일자로 생각했을 때 해당 블록의 중심 위치의 거리로 생각할 수 있다. 이 때 버스 모델링 그래프 $G(V,E)$ 가 주어졌다면 버스 u 의 소비 전력은 식 4와 같이 블록간 통신량과 거리의 곱의 합으로 나타낼 수 있다.

$$P_{RD} = \sum_{\forall(i,j)} w_G(i,j) \cdot Rdist(i,j) \tag{4}$$

따라서 어떤 평면계획에 속한 모든 버스의 소비 전력의 합은 버스의 소비 전력 P_{RD} 의 합으로 나타낼 수 있다. 그리고 이를 기존의 비용함수 F 에 추가한 새로운 비용함수 F_{RD} 는 식 5와 같이 정의할 수 있다. (α 는 사용자가 지정할 수 있는 값.)

$$F_{RD} = F + \alpha \cdot \sum_{\forall buses} P_{RD} \tag{5}$$

앞에서 정의한 저전력 버스 기반 평면계획법에서 버스가 GH-트리의 모양대로 배치되어야 한다는 조건 대신 새로운 비용함수 F_{RD} 를 사용하여 정의 4와 같이 조건을 완화한 저전력 버스 기반 평면계획 문제를 정의할 수 있다.

정의 4. 조건 완화 저전력 버스 기반 평면계획 문제: n 개의 블록의 집합 $B = \{b_1, b_2, \dots, b_n\}$, m 개의 버스

집합 $U = \{u_1, u_2, \dots, u_m\}$, 버스 모델링 그래프 $G = \{G_1, G_2, \dots, G_m\}$ 에 대해 각 블록이 서로 겹치지 않고 버스도 서로 겹치지 않으면서 비용 함수 F_{RD} 가 최소가 되도록 블록과 버스의 위치를 결정하는 것을 조건을 완화한 저전력 버스 기반 평면계획이라고 한다.

본 논문에서는 정의 4의 조건을 완화한 저전력 버스 기반 평면계획 문제를 해결하기 위하여 참고문헌 [4]의 방법에 따라 버스 기반 평면계획법을 수행하였다. 따라서 SP^[6]를 사용하여 평면계획을 부호화하여 버스의 배치 가능성을 판별하고 블록과 버스의 위치를 결정하였다. 이 과정에서 참고문헌 [4]에서 사용한 비용함수 F 대신 버스의 소비 전력을 나타내는 식 5에서 정의한 F_{RD} 를 사용하여 버스의 소비 전력이 줄어들게 하였다.

V. 실험 결과

표 1의 실험 데이터는 참고문헌^[4]의 다중굴절 버스 기반 평면계획법에서 사용한 데이터로 MCNC 벤치마크에 버스에 관한 정보를 추가한 것이다. 그러나 이 데이터에는 버스에 연결된 블록간의 통신량 정보가 없기 때문에 본 논문에서는 참고문헌 [5]의 버스 모델링 그래프 예를 참고하여 통신량 정보를 추가하였다. ami49-4,5,6-real 데이터는 이와 같이 생성한 것으로 블록간의 통신량으로 0~1.0 사이의 값을 할당하고 통신량이 많은 블록들을 나타내기 위하여 일부 블록간 통신량에 10.0~20.0 사이의 값을 추가로 할당하였다. ami49-4,5,6-rand 데이터는 블록간의 통신량의 차이가 작은 경우에 대한 것으로 블록간의 통신량을 0~1.0 사이로 할당하였다.

프로그램은 C++로 구현하여 리눅스 시스템에서 실행하였다. 식 5에서 α 값은 실험적으로 결정하였으며 각 데이터에 대하여 1000번씩 버스 기반 평면계획법을 수행한 후 버스를 모두 배치한 경우에 대하여 실험 결과를 정리하였다. 그리고 표 2와 3의 WS(%)는 전체 면적 대비 빈공간(White Space)의 비율을 의미한다.

표 2의 결과는 새로운 비용함수 F_{RD} 를 사용하였을 때 ΣP_{RD} 값의 평균을 비교한 것이다. F_{RD} 를 사용한 경우 F 를 사용한 경우에 비해 ΣP_{RD} 값은 평균적으로 11.43%만큼 낮았으며 ami49-4-real의 경우 14.60%만큼 낮았다. 또한 블록간 통신량의 차이가 상대적으로 낮은 ami49-4,5,6-rand에서도 최소 5.67%에서 최대 12.79%

표 1. 실험 데이터.

Table 1. Test Data.

| 데이터명 | 블록의 수 | 버스의 수 | 버스의 길이 |
|--------------|-------|-------|--------|
| ami49-4-rand | 49 | 1 | 15.0 |
| ami49-5-rand | 49 | 3 | 11.6 |
| ami49-6-rand | 49 | 4 | 10.0 |
| ami49-4-real | 49 | 1 | 15.0 |
| ami49-5-real | 49 | 3 | 11.6 |
| ami49-6-real | 49 | 4 | 10.0 |

표 2. 기존 평면계획법 결과와의 ΣP_{RD} 평균값 비교

Table 2. Comparison of the average ΣP_{RD} .

| 데이터 | F | | | F_{RD} | | | ΣP_{RD} 차이 (%) |
|--------------|--------|--------------------|-----------------|----------|--------------------|-----------------|------------------------|
| | WS (%) | 버스면적 (μm^2) | ΣP_{RD} | WS (%) | 버스면적 (μm^2) | ΣP_{RD} | |
| ami49-4-rand | 9.02 | 2481235 | 232773 | 9.58 | 2366881 | 202995 | 12.79 |
| ami49-5-rand | 13.70 | 4734477 | 434496 | 17.49 | 4805616 | 409876 | 5.67 |
| ami49-6-rand | 16.80 | 5701470 | 356112 | 17.96 | 5523720 | 326333 | 8.36 |
| ami49-4-real | 8.61 | 2427373 | 2072866 | 9.13 | 2468203 | 1770165 | 14.60 |
| ami49-5-real | 15.29 | 4767272 | 4007856 | 15.91 | 4923450 | 3493791 | 12.83 |
| ami49-6-real | 16.80 | 5676502 | 3435483 | 17.75 | 5560615 | 2943279 | 14.33 |
| 평균 | | | | | | | 11.43 |

표 3. 기존 평면계획법 결과와의 ΣP_{RD} 최소값 비교

Table 3. Comparison of the minimum ΣP_{RD} .

| 데이터 | F | | | F_{RD} | | | ΣP_{RD} 차이 (%) |
|--------------|--------|--------------------|-----------------|----------|--------------------|-----------------|------------------------|
| | WS (%) | 버스면적 (μm^2) | ΣP_{RD} | WS (%) | 버스면적 (μm^2) | ΣP_{RD} | |
| ami49-4-rand | 6.43 | 2016600 | 185140 | 7.26 | 2049600 | 161581 | 12.72 |
| ami49-5-rand | 10.65 | 4605300 | 360051 | 11.75 | 4487150 | 353380 | 1.85 |
| ami49-6-rand | 11.22 | 4838580 | 305357 | 10.27 | 4748010 | 298336 | 2.30 |
| ami49-4-real | 5.90 | 2113200 | 1840529 | 6.53 | 2161000 | 1462059 | 20.56 |
| ami49-5-real | 12.28 | 4642600 | 3414615 | 13.76 | 4790500 | 2912299 | 14.71 |
| ami49-6-real | 11.26 | 4694910 | 3243754 | 9.88 | 4878240 | 2898931 | 10.63 |
| 평균 | | | | | | | 10.46 |

만큼 ΣP_{RD} 값이 낮게 나타났다. 이는 블록간 통신량의 차이가 작아도 버스의 소비 전력을 줄일 수 있다는 것을 의미한다.

표 3은 새로운 비용함수 F_{RD} 를 사용한 경우 ΣP_{RD} 값이 제일 작게 나온 평면계획을 비교한 것이다. 새로운 비용함수를 사용했을 때 평균적으로 ΣP_{RD} 값은 10.46%만큼 작게 나타났다. 특히 ami49-4-real 데이터의 경우에는 20.56%만큼 작게 나타났다. 이는 ami49-4-real 데이터의 버스의 개수가 적어서 버스에 연결된 블록의 움직임은 통하여 ΣP_{RD} 값의 개선이 크게 이루어졌다는 것을 의미한다. 특히 ami49-4-real 데이터의 경우에는 버스의 면적이 유사함에도 ΣP_{RD} 값이 20.56%만큼 차이가 났으며 ami49-6-real 데이터의

경우에는 버스의 면적이 더 크지만 ΣP_{RD} 값이 오히려 10.63%만큼 차이가 났다. 이것은 버스의 면적이 버스의 소비전력과 비례하지 않는 경우를 의미하며 버스의 면적만을 줄이는 기존의 비용함수로는 버스의 소비전력을 제대로 줄이기 어렵다는 것을 말한다.

VI. 결 론

본 논문에서는 버스의 소비 전력을 비용함수에 포함시킨 새로운 저전력 버스 기반 평면계획을 제안하였다. 실험결과에서 확인하였듯이 기존의 비용함수에서 평면 계획의 평가 요소인 버스의 면적은 버스의 소비 전력에 비례하지 않는 경우가 있다. 따라서 버스에 연결된 블록간 통신량과 거리를 고려하여 버스의 소비 전력을 모델링하여 비용함수에 포함시켜야 한다. 실험 결과 새로운 비용함수를 사용하는 평면 계획에서는 버스의 소비 전력에 비례하는 값이 평균 11.43% 만큼 감소하였다.

앞으로는 버스 분할 설계를 좀더 정확히 반영할 수 있도록 다양한 형태의 버스를 구현할 수 있는 평면계획법을 연구해야 할 것이다. 또한 블록간의 거리 변화에 따른 회로의 기능상의 변화도 고려해야 할 것이다.

참 고 문 헌

[1] F. Rafiq, M. Chrzanowska-Jeske, H. H. Yang, M. Jeske, and N. Serwani, "Iterated Floorplanning with Buffer/Channel Insertion for Bus-Based Designs," *IEEE Trans. on CAD*, vol. 22, no. 6, pp. 730-741, June 2003.

[2] H. Xiang, X. Tang, and D. F. Wong, "Bus-Driven Floorplanning," *IEEE Trans. on CAD*, vol. 23, no. 11, pp. 1522-1530, Nov. 2004.
 [3] T. C. Chen and Y. W. Chang, "Modern Floorplanning Based on Fast Simulated Annealing," in *Proc. ISPD*, Apr. 2005, pp. 104-112.
 [4] H. Y. Law and E. F. Young, "Multi-bend Bus Driven Floorplanning," in *Proc. ISPD*, Apr. 2005, pp. 113-120.
 [5] W. B. Jone, J. S. Wang, H. I. Lu, I. P. Hsu, and J. Y. Chen, "Design Theory and Implementation for Low-Power Segmented Bus Systems," *ACM Trans. on DAES*, vol. 8, no. 1, pp. 38-54, Jan. 2003.
 [6] H. Murata, K. Fujiyoshi, S. Nakatake, and Y. Kajitani, "VLSI Module Placement Based on Rectangle-Packing by the Sequence-Pair," *IEEE Trans. on CAD*, vol. 15, no. 12, pp. 1518-1524, Dec. 1996.
 [7] Y. C. Chang, Y. W. Chang, G. M. Wu, and S. W. Wu, "B*-trees: A New Representation for Non-Slicing Floorplans," in *Proc. DAC*, 2000, pp. 458-463.
 [8] Neil H. E. Weste and David Harris, *CMOS VLSI Design*, Addison Wesley, 2005
 [9] R. E. Gomory and T. C. Hu, "Multi-terminal Network Flows," *SIAM Journal on Computing*, vol. 9, no. 4, pp. 551-569, Dec. 1961.
 [10] S. Rao and A. W. Richa, "New Approximation Techniques for Some Linear Ordering Problems," *SIAM Journal on Computing*, vol. 34, no. 2, pp. 388-404, 2004.

저 자 소 개



유재민(정회원)
 2001년 서강대학교 컴퓨터학 학사
 2006년 서강대학교 컴퓨터학 석사
 2006년~현재 삼성전자 기술총괄 연구원

<주관심분야 : 알고리즘, CAD, 모바일 플랫폼 >



임종석(정회원)
 1981년 서강대학교 전자공학 학사
 1983년 한국 과학기술원 전기 및 전자공학 석사
 1989년 University of Maryland, College Park 전기공학 박사

1990년~현재 서강대학교 컴퓨터학과 교수
 <주관심분야 : 알고리즘, CAD, VLSI 설계>