

논문 2006-43SD-10-12

# Capacitance Scaling 구조와 여러 개의 전하 펌프를 이용한 고속의 $\Sigma\Delta$ Fractional-N PLL

(A Fast-Locking Fractional-N PLL with Multiple Charge Pumps and  
Capacitance Scaling Scheme)

권태하\*

(Tae-Ha Kwon)

## 요약

본 논문에서는 capacitance scaling 구조를 이용하여 짧은 locking 시간과 작은 fractional spur를 가지는  $\Sigma\Delta$  fractional-N PLL을 설계 하였다. 루프필터의 실효 커패시턴스를 변화시키기 위하여 여러 개의 전하펌프를 이용해 서로 다른 경로로 커패시터에 전류를 공급하였다. 필터의 실효 커패시턴스는 동작상태에 따라 크기가 변하며 커패시터들은 하나의 PLL 칩에 집적화 할 수 있을 정도로 작은 크기를 가진다. 또한 PLL이 lock 되면 전하펌프 전류의 크기도 작아져 fractional spur의 크기도 작아진다. 제안된 구조는 HSPICE CMOS 0.35 $\mu\text{m}$  공정으로 시뮬레이션 하였으며 8 $\mu\text{s}$  이하의 locking 시간을 가진다. PLL의 루프 필터는 200pF, 17pF의 작은 커패시터와 2.8k $\Omega$ 의 저항으로 설계되었다.

## Abstract

A novel  $\Sigma\Delta$  fractional-N PLL architecture for fast locking and fractional spur suppressing is proposed based on the capacitance scaling scheme. It changes the effective capacitance of loop filter (LF) by increasing and decreasing current to the capacitor via different paths with multiple charge pumps. The effective capacitance of loop filter (LF) can be scaled up/down depending on operating status while keeping LF capacitors small enough to be integrated into a single PLL chip. Fractional spurs suppressing have been achieved by reducing the magnitude of charge pump current when the PLL is in-lock without degrading fast locking characteristic. It has been simulated by HSPICE in a CMOS 0.35 $\mu\text{m}$  process, and shows that locking time is less than 8 $\mu\text{s}$  with the small size of LF capacitors, 200pF and 17pF, and 2.8k $\Omega$  resistor.

**Keywords :** Phase locked loop (PLL),  $\Sigma\Delta$  fractional-N, capacitance scaling, effective capacitance

## I. 서론

지금까지 짧은 locking 시간과 저잡음 특성을 얻기 위해 adaptive bandwidth controller를 이용한 PLL (Phase locked loop)<sup>[1]</sup>, gradual loop-bandwidth 변화 방식을 이용한 디지털 PLL<sup>[2]</sup>, dual-slope phase

frequency detector (PFD)와 capacitance scaling 구조를 이용한 PLL<sup>[3]-[4]</sup>등의 다양한 구조의 PLL이 연구되었다. 비선형 PFD<sup>[3]</sup>의 사용은 close-in 위상잡음 특성을 나쁘게 할 수 있다. 그리고 복잡한 구조의 capacitance scaler<sup>[3]-[4]</sup>를 사용하는 것 역시 잡음의 근원이 되며 동작 주파수 범위도 제한한다. Capacitance scaler나 dual-path active 루프필터는 루프필터 커패시터의 크기를 줄이기 위해 사용되었다<sup>[4]-[5]</sup>. 이러한 구조의 PLL은 연산 증폭기나 복잡한 capacitance scaler가 필요하다. 기존의  $\Sigma\Delta$  fractional-N PLL 구조에서 DAC나 추가적인  $\Sigma\Delta$  modulator를 이용하여 위상 잡음을 더욱 더 줄이는 방식이 연구되었지만, 이는 칩의 크기를

\* 정희원, 부경대학교 전자,컴퓨터정보통신공학부  
(Dept. of Electronic, Computer and Telecommunication  
Engineering, Pukyong National Univ.)

※ 이 논문은 2004학년도 부경대학교 기성회 학술연구비에 의하여 연구되었음

접수일자: 2006년6월19일, 수정완료일: 2006년9월4일

더 크게 하는 복잡한 회로가 필요하다<sup>6)</sup>.

본 논문에서는 capacitance scaling 구조를 가진 새로운 형태의  $\Sigma\Delta$  fractional-N PLL을 제안하였다. 여러 개의 전하펌프들로부터 공급되는 경로와 동작 상태에 따른 전류의 크기를 조절하여 짧은 locking 시간과 fractional spur의 크기를 줄일 수 있으며, 하나의 칩에 집적화가 가능할 정도로 작은 커패시터를 가지는  $\Sigma\Delta$  fractional-N PLL을 설계했다. 제안한 구조는 연산증폭기, capacitance scaler, DAC, 추가적인  $\Sigma\Delta$  modulator 등의 복잡한 회로를 필요치 않는다.

## II. PLL의 구조

### 1. 제안한 PLL의 구조

제안된 PLL은 루프필터의 capacitance scaling을 위해 서로 다른 경로로 전류를 공급하는 전하펌프들로 이루어져 있는데, 이것은 그림 1과 같다. 제안된 구조의 PLL은 그림 1에서 볼 수 있듯이 복합 PFD, Locking Status Indicator (LSI), 세 개의 전하펌프, 루프 필터, 전압제어 발진기 (VCO), 3단의 MASH  $\Sigma\Delta$  modulator가 결합된 fractional-N 분주기로 구성된다. 루프필터는 2차 저역 통과 필터이다. LSI는 locking 상태에 따라 신호를 생성한다. 복합 PFD는 일반적인 PFD와 래치 버퍼로 구성되었으며 세 개의 전하펌프가 적합한 동작을 하기 위한 입력신호를 만들어 낸다. 전하펌프1은 LSI의 신호에 따라 가변적인 크기의 전류를 공급한다. 전하펌프2와 전하펌프3은 커패시터 CZ에 흐르는 전류를 양을 조절한다. PLL이 unlock 상태인 경우는 전하펌프1의 전류는 증가하게 되며, 펌프2의 전류는 전하펌프3의 전류에 비해 아주 큰 전류가 흐른다. 따라서 CZ는 전하펌프1과 전하펌프2에 의해 급속하게 충전된다. 그 결과

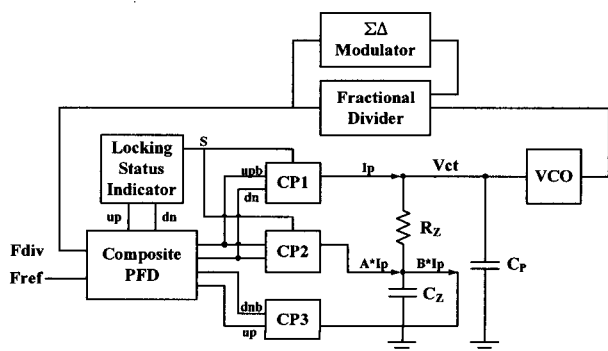


그림 1. 제안한 PLL의 구조  
Fig. 1. Architecture of proposed PLL.

CZ의 실효 커패시턴스(effective capacitance) 값이 작아지게 된다. 그러므로 대역폭은 넓어지며 locking 과정이 가속화된다. PLL이 lock 상태가 되면, 전하펌프2는 LSI 신호에 의해 동작하지 않게 된다. 만약 전하펌프3의 전류가 전하펌프1의 전류에 비해 매우 작다면, CZ의 실효 커패시턴스 값의 변화가 거의 없으므로, lock 상태가 되면 전하펌프1의 전류를 전하펌프3보다 조금 큰 값을 가지도록 줄인다. 그 결과 CZ의 실효 커패시턴스 값이 커지게 되고, 좁은 대역폭을 가진 PLL로 동작하게 된다.

### 2. 전달함수

그림 2는 type-2의 3차 PLL의 블록 다이어그램을 나타내며 그 전달함수는 다음과 같다.

$$G(s) = \frac{K_p \cdot K_{vco} \cdot F(s)}{s} \quad (1)$$

$$H(s) = \frac{1}{N} \quad (2)$$

$$G(s)H(s) = \frac{K_p \cdot K_{vco} \cdot F(s)}{Ns} \quad (3)$$

여기서, G(s)는 순방향 루프 이득이며, F(s)는 루프필터의 임피던스이고, H(s)는 역방향 루프 이득이다.  $K_p = IP/2$  [amp/radian]는 위상주파수검출기와 전하펌프의 결합 이득이며, IP는 전하펌프의 전류이고,  $K_{VCO}$  [Hertz/volt]는 VCO의 이득, N은 분주기의 분주 비이다.

본 논문에서는 그림 1에서 볼 수 있듯이 RZ, CZ, CP로 구성된 2차의 저역 통과 필터를 사용한다. 제안된 PLL의 전달함수는 식(4)과 같다.

$$V_{ct} = \frac{sC_z R_z + (A - B + 1)}{s^2 C_p C_z R_z + s(C_p + C_z)} I_p \quad (4)$$

이것은 또한 식(5)과 같이 표현할 수 있다.

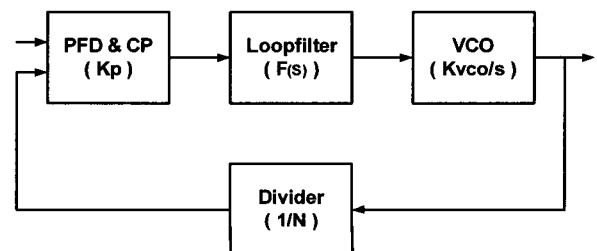


그림 2. 일반적인 PLL의 구조  
Fig. 2. Architecture of conventional PLL.

$$V_{ct} = \frac{\left( s + \frac{1}{\frac{C_Z}{(A-B+1)} R_Z} \right) C_Z R_Z}{s^2 C_P C_Z R_Z + s(C_P + C_Z)} I_p \quad (5)$$

루프필터의 출력전압은 전하펌프의 동작상태와 전하펌프의 전류의 크기에 따라 변하게 된다.  $C_Z$ 의 실효 커패시턴스 변화는 식(5)의 분자식에서 쉽게 확인할 수 있다. PLL의 동작 상태에 따라 변수 A, B를 변화시켜 하나의 칩에 집적화가 가능한 작은 크기의 커패시터로 큰 값의 실효 커패시턴스를 가지도록 한다.

### 3. Fractional Spur 크기제어

Fractional spur 크기를 제어하기 위해서 주기적 차이를 랜덤화 하고 잡음을 고주파 대역으로 옮겨주는  $\Sigma\Delta$  modulator가 도입되었다. PLL의 저역 통과 전달함수 특성으로 인하여 fractional spur를 크기가 억제된다. 또한 lock 상태에서 전하펌프의 전류를 감소시키면 fractional spurs 크기를 더 줄일 수 있다.

VCO는 입력전압에 비례하는 출력 주파수를 생성한다.  $v_f(t)$ 에 의해 주기적 파형을 가정해 보면, VCO의 출력은 식(6)과 같이 표현된다<sup>[7]</sup>.

$$v_{out}(t) = V_o \cos[\omega_{fr} t + K_{vco} \int v_f(t) dt + K_{vco} \int V_{cont} dt] \quad (6)$$

여기서,  $\omega_{fr}$ 는 프리 러닝 주파수이다.  $v_f(t)$ 의 푸리에급수 표현은 식(7)과 같다.

$$\begin{aligned} v_f(t) &= \frac{\Delta V \Delta t}{T_{REF}} + \sum_{n \neq 0} a_n \cos(n\omega_{REF} t + \theta_n) \\ &= \frac{\Delta V \Delta t}{T_{REF}} + \Delta V \sum_{n \neq 0} K_n \cos(n\omega_{REF} t + \theta_n) \end{aligned} \quad (7)$$

여기서,  $T_{REF}$ 는 기준 신호의 주기이다.  $v_f(t)$ 의 푸리에급수 표현에 의해 식(6)은 식(8)과 같이 된다.

$$\begin{aligned} v_{out}(t) &\approx V_o \cos(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont}) t \\ &\quad - K_{vco} V_o [\Delta V \sum_{n \neq 0} \frac{K_n}{n\omega_{REF}} \sin(n\omega_{REF} t + \theta_n)] \\ &\quad + \sin(\omega_{fr} + K_{vco} \frac{\Delta V \Delta t}{T_{REF}} + K_{vco} V_{cont}) t \end{aligned} \quad (8)$$

식(8)에서처럼, fractional spur 크기는  $\Delta V$ 의 크기에 따

라 결정된다. 때문에, 전하펌프의 작은 전류는 VCO 입력 전압의 변동 값인  $\Delta V$ 를 감소시킨다. 이것은 단지  $\Sigma\Delta$  modulator 만을 사용한 PLL의 출력 신호에 비하여 더 낮은 fractional spur를 가지도록 하여준다. 이러한 구조를 통하여,  $\Sigma\Delta$  modulator의 차수를 낮추는 것이 가능해 지므로 칩의 크기와 전력소모를 줄일 수 있게 된다.

### III. PLL 회로 설계

그림 3에 나타난 복합 PFD는 일반적인 PFD와 두 개의 latch buffer로 이루어져 있다. 복합 PFD는 네 가지의 동기화된 서로 다른 신호를 생성하는데, 전하펌프1과 2를 위한 upb/dn 신호와, 이와는 180°의 위상차가 나는 dnb/up 신호를 전하펌프3을 위해 생성한다. 또한 래치 버퍼는 PLL이 lock 상태가 되어 전하펌프1과 전하펌프3 만이 동작할 때, 이 두 개의 전하펌프를 구동하는 신호의 시간적 불일치를 제거하기 위한 동기화된 신호를 생성하기 위해 사용되었다.

그림 4의 LSI는 전하펌프1과 전하펌프2를 제어하기 위한 신호를 생성한다. 이 신호는 전하펌프1의 전류 크기와 전하펌프2의 동작의 유무를 locking 상태에 따라 조절하도록 한다. MP1, MN1에 흐르는 전류에 의해  $C_{load}$ 의 전압  $V_a$ 가 정해지고,  $V_a$ 에 따라서 Schmitt trigger가 동작한다. PLL이 unlock인 상태, 즉 PFD 두 입력신호의 주파수와 위상 차이가 크면 NOR 게이트의 출력은 상대적으로 "Low" 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS가 "on" 되어 흐르는 전류보다 상대적으로 PMOS가 "on" 되어 흐르는 전류량이 많아서 커패시턴스  $C_{load}$ 의 전압  $V_a$ 는 서서히

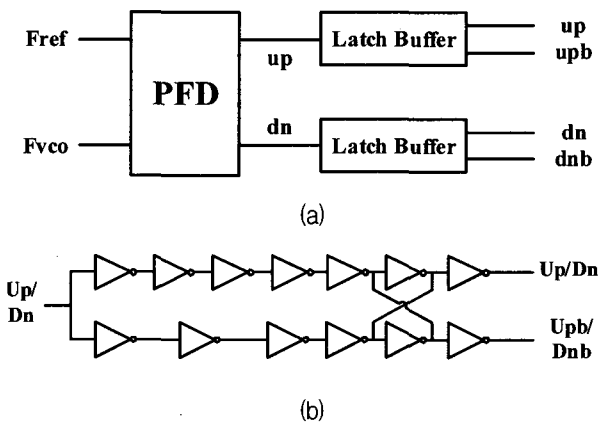


그림 3. (a) 복합 PFD와 (b) 래치버퍼

Fig. 3. (a) Composite PFD and (b) latch buffer.

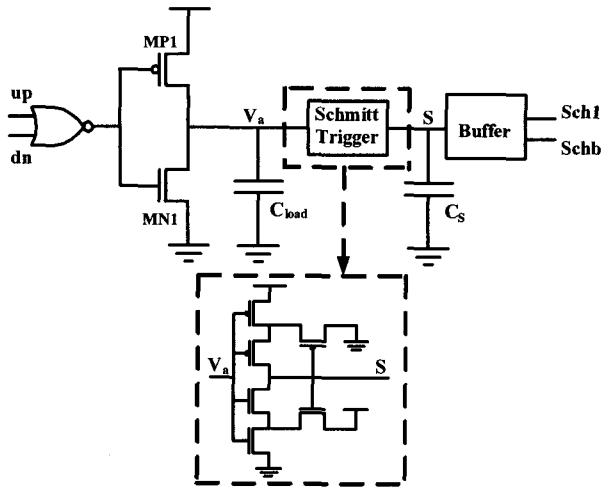


그림 4. LSI의 구조  
Fig. 4. Architecture of LSI.

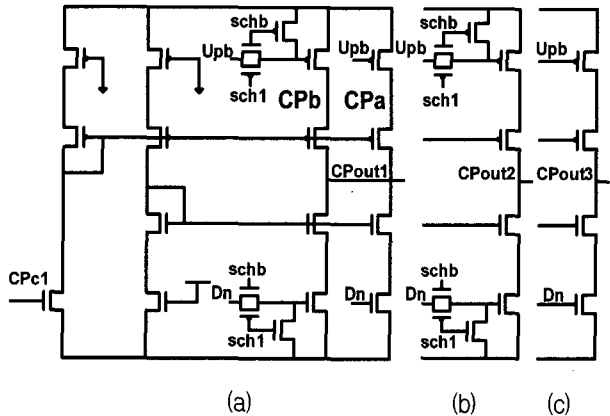


그림 5. (a) 전하펌프1, (b) 전하펌프2, (c) 전하펌프3 회로  
Fig. 5. Circuit of (a) CP1, (b) CP2, (c) CP3.

증가한다. 반면, lock 상태일 때는  $V_a$ 는 서서히 감소한다. PLL이 동작하는 과정에서는  $V_a$ 는 NOR 게이트 출력의 비주기적 펄스에 의해 흔들리게 되고, 커패시턴스  $C_{load}$ 를 랜덤 패턴으로 충/방전 시킨다. 만약 locking 상태에 따라 LSI의 출력신호 S가 일정하지 않고 움직인다면 신호 S에 연결된 전하 펌프와 루프 필터가 원하는 동작을 할 수 있다. Schmitt trigger의 히스테리시스 효과를 이용하면  $V_a$ 의 출력거림에 관계없이 안정된 신호 S를 출력한다. 따라서  $V_a$ 의 출력거림이 심한 부분에서도 Schmitt trigger의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다. 또한, Schmitt trigger의 히스테리시스 동작 범위가 정해지면 MP1, MN1에 흐르는 전류와  $C_{load}$ 의 값을 짧은 locking 시간을 가지도록 설계하였다. 신호 S로부터 생성되는 두 개의 신호 sch1과 schb는 locking 상태에 따라 기준 전압회로와 전하 펌프들을 제어한다.

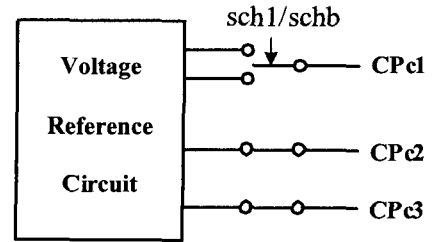


그림 6. 기준전압 회로의 블록 다이어그램  
Fig. 6. Block diagram of voltage reference circuit.

제안된 구조에서는, 세 개의 전하펌프들이 요구된다. 그림 5의 (a)와 같은 전하펌프1은 LSI의 신호에 따라 두 가지의 서로 다른 크기의 전류를 루프 필터로 전달하는 이중구조를 가진다. CPa는 항상 일정하게 작은 전류를 흘리는 반면 CPb는 lock이 안된 상태일 때만 큰 전류를 흘린다. 그림 5의 (b)와 같은 전하펌프2는 LSI의 신호에 따라 unlock 상태일 때만 일정한 양의 전류를 전달한다. 그림 5의 (c)에 나타난 전하펌프3은 항상 일정한 양의 전류를 루프필터의 커패시터  $C_2$ 로부터 빼낸다.

그림 6의 기준전압 회로의 출력전압은 이 전하펌프의 전류의 크기를 결정한다. CPc1은 전하펌프1을 위한 두 가지 출력 중 하나의 신호를 sch1과 schb 신호에 따라 선택하게 된다. 왜냐하면 전하펌프1은 locking 상태에 따라 흐르는 전류의 크기가 달라야 하기 때문이다. 남은 두 개의 출력 전압은 CPc2와 CPc3으로 연결되어 전하펌프2와 전하펌프3이 일정한 전류를 흐르게 한다.

PLL이 lock 상태가 되면, 오직 전하펌프1의 전하펌프 a와 전하펌프3만이 동작하게 된다. 제안된 PLL에서는 전하펌프a와 전하펌프3 간의 전류차이가 아주 작다. 그러므로 공정변화에 아주 민감해지게 된다. 그래서 전하펌프a와 전하펌프3의 트랜지스터 크기를 같게 설계하고 작고 일정한 양의 전류차이를 유지하기 위해 기준 전압 회로의 출력 전압 차이를 이용했다. 전하펌프a와 전하펌프3에 전달되는 신호의 시간차가 나지 않도록 설계하였다. PLL이 locking 된 상태에서 이 신호의 시간 차이는 위상 잡음의 크기를 증가시키는 요인이 될 수 있다. 복합 PFD가 동기화된 서로 다른 신호, 즉 전하펌프1/2를 위한 upb/dn 신호와, 180°의 위상차가 나는 전류 펌프3을 위한 dnb/up 신호를 생성하여 신호의 시간차가 나지 않도록 하였다. 전하펌프에서 PMOS transistor의 크기를 NMOS 트랜지스터보다 크게 하는 것 역시 신호 간에 시간차가 생기는 원인이 된다. 이것은 NMOS 트랜지스터에 동작하지 않는 트랜지스터를 더해 주는 방

표 1. 동작영역에 따른 전하펌프 전류의 크기  
Table 1. The magnitudes of charge pump current depending on operating region.

Region	I	II	III
CP1(Ip)	20	400	20
CP2(A*Ip)	0(A=0)	418(A=1.045)	0(A=0)
CP3(B*Ip)	18(B=0.9)	18(B=0.045)	18(B=0.9)

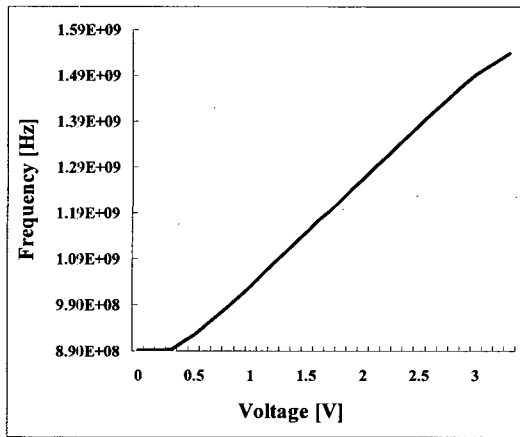
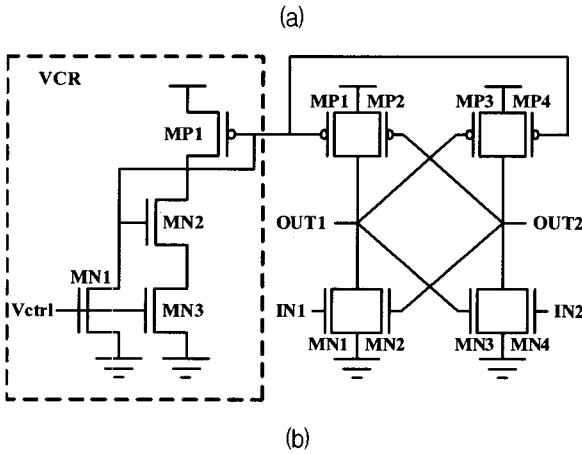
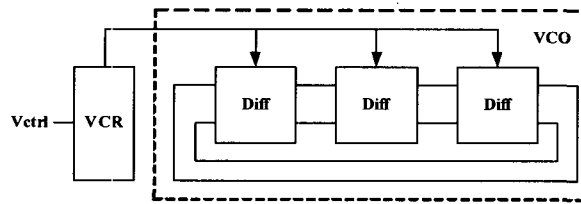


그림 7. VCR을 포함한 VCO의 (a) 전체 블록 다이어그램, (b) VCO의 차동 지연 셀과 VCR, (c) 입력 전압 대 출력 주파수 특성

Fig. 7. Voltage controlled oscillator with voltage controlled resistor. (a) The overall block diagram. (b) A differential delay cell of VCO and VCR. (c) Characteristic of input voltage vs output frequency.

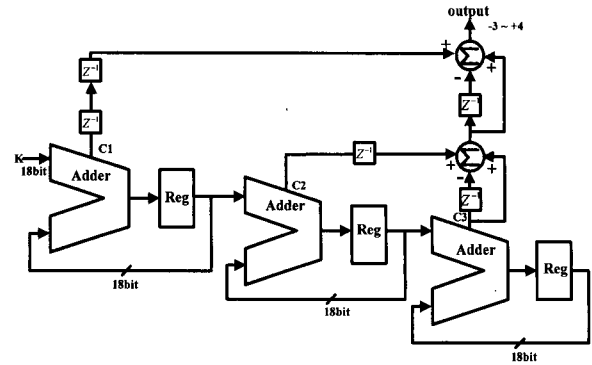


그림 8. 3단의 MASH  $\Sigma\Delta$  modulator의 블록 다이어그램  
Fig. 8. Block diagram of the 3-stage MASH  $\Sigma\Delta$  modulator.

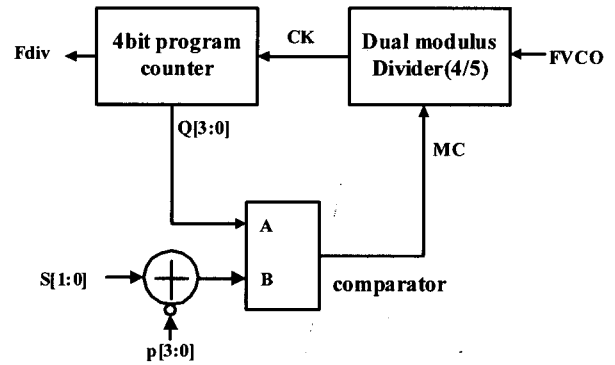


그림 9. Fractional divider의 블록 다이어그램  
Fig. 9. Block diagram of fractional divider.

법을 통해, PMOS와 NMOS 트랜지스터들의 입력 커패시턴스를 같게 만들 수 있다. 이것은 PMOS와 NMOS 트랜지스터들의 on/off 반응 시간을 같게 만들어준다.

전하펌프의 전류량은 표 1에 나타난 것과 같이 동작 영역에 따라 달라진다. 초기 상태인 영역 I와 lock 상태인 III에서의 전류량은 같다.

전압제어 저항 (VCR)은 넓은 주파수 대역을 가진 VCO의 지연시간을 제어한다. 전체의 블록 다이어그램과 VCR을 포함한 VCO의 차동 지연소자 그리고 입력 전압 대 주파수 특성이 그림 7에 나타나있다. 루프필터의 출력전압  $V_{ct}$ 는 VCR을 통해 VCO의 지연 시간을 조절하는 전류로 변환된다. VCR은 입력 전압을 변화로 큰 전류의 변화로 바꾸어 주어 VCO가 넓은 범위의 주파수를 만들어내게 한다. VCO는 세 개의 차동 지연소자로 구성되어있다. MP2와 MP3, MN2와 MN3는 지연소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다<sup>[8]</sup>. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다. 입력전압  $V_{ct}$ 와 생성된 주파수의 관계를 그림 7 (c)에서 볼 수 있다.

그림 8에 도시된 3단의 MASH  $\Sigma\Delta$  modulator는 설계가 용이하기 때문에 제한한 구조에서는 이를 사용하였다. 3단의 MASH  $\Sigma\Delta$  modulator는 1차 modulator의 cascade 형태로 구성되며, 다음 단의 입력이 된다. 각 modulator는 18-bit 더하기와 레지스터로 구성되고 그 출력은 4-bit 데이터가 된다. 그림 9에는 fractional divider의 블록 다이어그램이 도시되어있다. Fractional divider는 52~59 분주 비를 가진다.

#### IV. 시뮬레이션 결과

충분한 위상마진과 고속 locking이 가능한 대역폭을 가지도록 회로의 저항, 커패시턴스, 전하펌프의 전류 그리고 VCO의 이득 등의 변수를 구하기 위해 MATLAB이 사용되었다. 그림 10은 MATLAB을 이용한 보드 선도이다. 영역 I와 III의 위상 마진은  $54^{\circ}\sim 56.5^{\circ}$ 이며 대역폭은 40.1~44.1kHz이다. 한편 영역 II의 위상 마진은  $41.9^{\circ}\sim 43.3^{\circ}$ 이며, 대역폭은 787~864kHz이다. 제안된 구조에서는 PLL이 in-lock 상태가 되면 위상마진은 더욱 증가한다. 영역 I와 III의 좁은 대역폭은 fractional spurs를 억제하기에 충분하며 영역 II에서는 고속 locking이 가능한 넓은 대역폭을 가진다.

그림 11에 도시된 시뮬레이션 결과들은 HSPICE CMOS 0.35 $\mu$ m 공정으로 시뮬레이션 되었으며, VCO의 입력전압, Schmitt trigger의 입력전압  $V_a$ 와 출력전압 S 그리고 VCO 출력전압의 크기가 나타나있다. 시뮬레이션에 사용된 변수 들은  $F_{ref}$  가 23MHz, VCO의 이득은 235MHz/V 그리고 분주기의 분주 비는 52~59이다. 루프 필터는 2.8k $\Omega$  저항과 200pF과 17pF의 커패시터로 구성

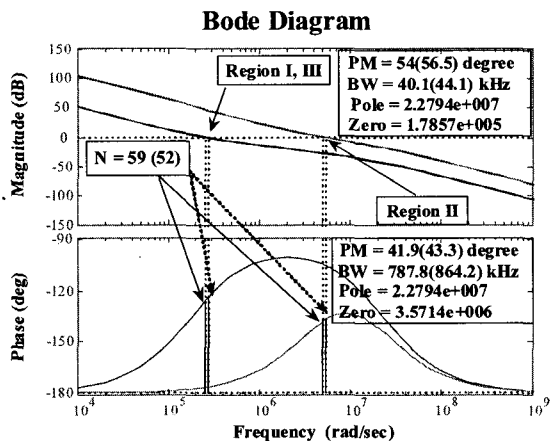
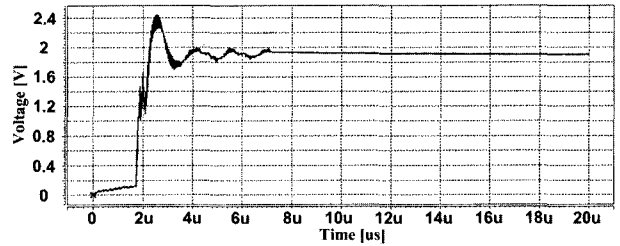
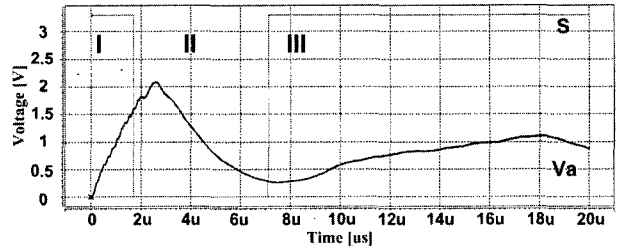


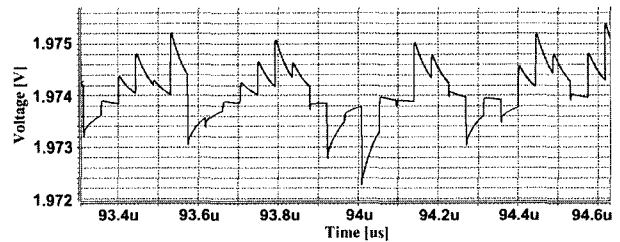
그림 10. 제안된 PLL의 보드선도  
Fig. 10. Bode plot of the proposed PLL.



(a)



(b)



(c)

그림 11. (a) VCO의 입력 전압, (b) Schmitt trigger의 입력  $V_a$ 와 출력 S, (c) VCO 입력 전압의 흔들림  
Fig. 11. (a) VCO input voltage, (b) input and output voltage of Schmitt trigger,  $V_a$  and S.(c) Fluctuation of VCO input voltage.

되었다. Locking 시간은 그림 11 (a)에서 볼 수 있듯이 8 $\mu$ s이하이다. 그림 11 (b)에서 Schmitt trigger의 입력 전압  $V_a$ 는 0V로 떨어지지 않고 triggering 전압 아래에서 흔들리는데, 이것은 fractional-N PLL의 경우 본래 PFD입력에 위상과 주파수의 차이가 존재하기 때문이다. 위쪽  $V_a$  전압의 흔들림은 그림 4의 MN1 트랜지스터의 넓이를 증가 시키면 보다 더 안정된 동작을 하도록 낮출 수 있다. 그림 11 (c)에 보이는 VCO전압 흔들림의 최대 크기는 약 1mV 정도 이다.

#### V. 결 론

본 논문에서 제안한  $\Sigma\Delta$  fractional-N PLL은 기존의 fractional-N PLL에 LSI와 세 개의 전하펌프 그리고 3단의 MASH  $\Sigma\Delta$  modulator를 더한 형태이다. PLL이 unlock 상태일 경우, 루프필터의 작은 실효 커패시턴스로 인해 대역폭은 넓어지게 되어 고속 locking이 이루

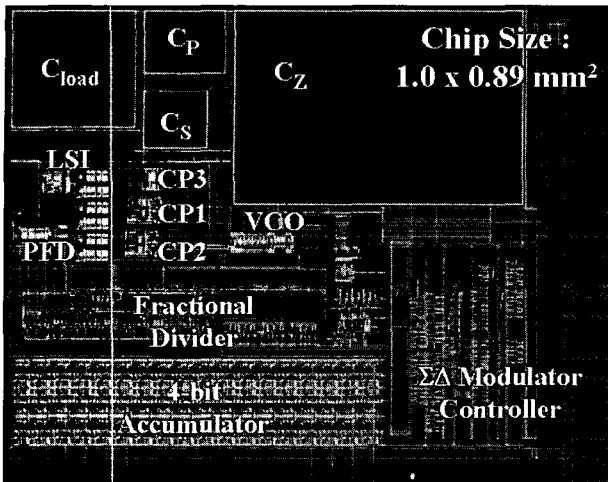


그림 12. 제안된 PLL의 레이아웃

Fig. 12. Layout of the proposed PLL.

어진다. 한편 PLL이 lock 상태가 되면, 루프필터의 큰 실효 커패시턴스로 인해 대역폭은 좁아지게 되고 전하 펌프의 전류 역시 작아지게 된다. 전하펌프의 작아진 전류는  $\Sigma\Delta$ 에 의해 변조된 fractional spurs를 더욱 작게 만들어 준다. 루프필터의 커패시터들은 하나의 PLL 칩에 집적 가능한 크기로 작게 설계 되었다. 그림 11에는 루프필터의 커패시터가 집적화 된 PLL의 레이아웃이 도시 되었으며 칩의 크기는 1.0 x 0.89 mm<sup>2</sup> 이다. 제안된 구조를 이용하여 PLL은 1.2658GHz 주파수대역에서 동작 하며 8 $\mu$ s이하의 locking 시간을 가진다.

## 참 고 문 헌

- [1] J. Lee and B.Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1137-1145, Aug. 2000.
- [2] J. Dunning et al., "An all-digital phase-locked loop with 50-cycle lock time suitable for high-performance microprocessors," IEEE J. Solid-State Circuits, vol. 30, no. 4, pp.4124-22, Apr. 1995.
- [3] L.C. Liu and B.H Li, "Fast locking scheme for PLL frequency synthesizer," Electronics Letters, vol. 40, no.15, pp. 918-920, July 2004.
- [4] Keliu Shu, Edgar Snchez-Sinencio, Jos Silva-Martnez and Sherif H. K. Embabi, "A 2.4-GHz Monolithic Fractional-N Frequency Synthesizer With Robust Phase-Switching Prescaler and Loop Capacitance Multiplier," IEEE J. Solid-State Circuits, vol. 38, no. 6, pp. 866-874, June 2003.

- [5] Jan Craninckx and Michel S. J. Steyaert, "A Fully Integrated CMOS DCS-1800 Frequency Synthesizer," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp.2054-2065, Dec. 1998.
- [6] Sudhakar Parmati, Lars Jansson and Ian Galton, "A Wideband 2.4-GHz Delta-Sigma Fractional-N PLL With 1-Mb/s In-Loop Modulation," IEEE J. Solid-State Circuits, vol. 39, no. 1, pp.49-62, Jan. 2004.
- [7] B. Razavi, RF Microelectronics, Prentice Hall PTR, 1998.
- [8] C. H. Park and B. Kim, "A Low Noise, 900-MHz VCO in 0.6- $\mu$ m CMOS," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp.586-591, May 1999.

## 저 자 소 개



권 태 하(정회원)

1975년 경북대학교 전자공학과 학사 졸업.

1979년 경북대학교 전자공학과 공학석사 졸업.

1986년 경북대학교 전자공학과 공학박사 졸업.

1982년 3월~현재 부경대학교 전자컴퓨터정보통신공학부 교수

<주관심분야 : 적외선 센서, 유전체 비휘발성 반도체, 박막형 초전도체, 태양전지, RF 집적회로 설계>