

논문 2006-43SD-10-8

System-On-Panel을 위한 Poly-Si TFT Vth보상 전류원

(Vth Compensation Current Source with Poly-Si TFT for System-On-Panel)

홍 문 표*, 정 주 영**

(Moon Pyo Hong and Ju Young Jeong)

요 약

본 논문에서는 Poly-Si의 불규칙한 Grain boundary 분포로 인해 발생하는 문턱전압의 변화에 대해서도 일정한 전류를 흘려 줄 수 있는 전류원을 제안하였다. 기존의 문턱전압 보상 전류원에 비해 넓은 입력전압 범위에서도 포화영역의 특성이 매우 향상되었으며, 문턱전압의 변화에 따른 전류의 오차를 감소시킬 수 있었다. 마지막으로 HSPICE 시뮬레이션 과정을 통해 Poly-Si TFT의 특성곡선과 제안된 전류원의 특성곡선을 비교하였으며 각각의 입력전압에 대한 문턱전압의 변화에 따른 출력 전류의 상대오차를 측정하였다.

Abstract

We developed a constant current source which is insensitive to threshold voltage variation caused by irregular grain boundary distribution in polycrystalline silicon. The proposed current source has superior saturation characteristics over wide range of input voltages as well as small current error compared to the previously reported Vth compensated sources. We measured the circuit performance and error in current due to parameter variation by using HSPICE.

Keywords : SOP, LTPS TFT, Vth Compensation, Current Source

I. 서 론

다결정 실리콘 박막트랜지스터 LCD는 유리기판위에 화소배열 뿐만 아니라 구동회로까지 함께 집적 시킬 수 있기 때문에 PCB(Printed circuit board)가 없는 조립과 간단한 모듈 공정으로 신뢰도와 수율을 증가시키고 비용을 감소시킬 수 있는 장점이 있다. 따라서 디스플레이 시스템의 최종목표는 다결정 실리콘 박막트랜지스터를 이용하여 데이터 Driver IC 뿐만 아니라 DC-DC 컨버터 및 프로세서에 이르기까지 모든 시스템이 하나의 기판위에 집적되는 SOP(System-On-Panel)가 될 것이다.^[1]

SOP를 구현하기 위해 저온 다결정 실리콘 공정 기술의 개선을 통해 높은 이동도를 갖는 다결정 실리콘을 제조하려는 노력들이 활발히 이루어지고 있으며, 최근 Line beam ELA(Excimer Laser Annealing)와 SLS(Sequential Lateral Solidification) 기술 등을 통해 $1\text{cm}^2/\text{Vs}$ 의 이동도를 갖는 비정질 실리콘으로 $100\sim 300\text{cm}^2/\text{Vs}$ 의 이동도를 갖는 다결정 실리콘을 제작함에 따라 SOP의 상용화가 가능할 것이라는 기대가 조금씩 실현되고 있는 추세이다.^[2]

그러나 저온 다결정 실리콘 공정에서 얻어지는 다결정 실리콘은 패널의 위치에 따라 Grain boundary가 불규칙하게 분포되어 박막트랜지스터의 문턱전압(Threshold Voltage)과 이동도(Mobility)를 변화시킨다. 또한, SOI(Silicon-On-Insulator) 소자에서 발생하는 키크 효과(Kink Effect)는 박막트랜지스터의 포화영역 내에서의 전류를 비정상적으로 증가시켜 아날로그 회로를 구현하는데 어려움을 가져온다.^[3]

* 학생회원, ** 정회원, 수원대학교 전자공학과
(Department of Electronics Eng., Suwon University)

※ 본 연구는 학술진흥재단의 중점연구지원사업의 연구비(KRF-2004-005-D00164)에 의해 지원되었다.
접수일자: 2006년5월18일, 수정완료일: 2006년8월29일

전류모드 회로를 구현하기 위해서는 문턱전압과 이동도의 변화에 대해서 보상할 수 있는 전류원이 꼭 필요하며 이러한 노력들은 AMOLED(Active Matrix Organic Light Emitting Displays)의 픽셀을 전류모드로 구동하기 위한 연구에서 활발히 이루어지고 있다.^[4]

그러나 안정적인 전류원은 AMOLED 픽셀에서 뿐만 아니라 전류모드 논리게이트나 전류모드 DAC와 같은 회로 등을 구성하기 위해서도 꼭 필요하며 이러한 회로들에서 사용되는 전류원은 문턱전압의 변화를 보상할 수 있어야 함은 물론이고 포화영역 내에서의 전류변화가 작아야 하며 출력임피던스는 크도록 설계해야 한다.^{[5][6][7]}

II. 본 론

1. 기존 문턱전압 보상 전류원

일반적으로 일정한 전류를 공급하는 전류원으로는 포화영역에서 동작하는 트랜지스터가 사용된다. 이때의 드레인 전류는 수식(1)과 같이 표현되며, 일정한 VGS가 공급될 경우 일정한 전류가 공급될 수 있다.

$$I_D = \frac{1}{2} K_n \frac{W}{L} (V_{GS} - V_{th1})^2 \quad (1)$$

그러나 저온 다결정 실리콘 공정에서 제작된 박막 트랜지스터는 불규칙하게 분포되어있는 Grain boundary로 인해 문턱전압(Vth)변화가 빈번히 발생하게 되며, 이로 인해 드레인 전류의 변화가 발생하게 된다. 따라서 문턱전압의 변화에 따라 일정한 전류를 공급하는 전류원의 설계가 절실히 요구된다.

그림 1은 트랜지스터의 문턱전압을 커패시터에 저장하여 문턱전압의 변화에 의한 영향을 받지 않고 전류를 구동하기위해 제안된 회로이며, 그림 2는 구동파형이다.^[8]

Vth Detecting 구간동안 커패시터에는 트랜지스터의 Vth가 저장되며 Driving 구간동안 (VGS + Vth')의 전압이 인가된다. 이때의 드레인 전류는 수식(2)와 같이 표현되며 저장된 Vth'에 의해 문턱전압의 변화를 감소시킬 수 있다.

$$I_D = \frac{1}{2} K_n \frac{W}{L} [V_{GS} + V_{th1}'] - V_{th1}]^2 \quad (2)$$

위에서 표현한 식은 트랜지스터가 포화영역에서 동작할 경우를 가정하였으며, 채널-길이 변조(Channel-

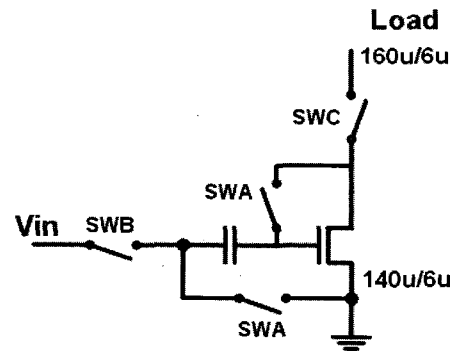


그림 1. 기존 문턱전압 보상 전류원
Fig. 1. Configuration of conventional threshold voltage compensation current source.

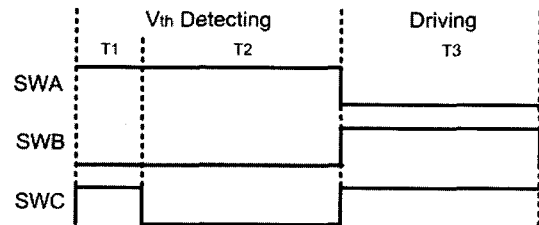


그림 2. 구동파형
Fig. 2. Driving Waveform.

length modulation)를 무시한 식이다.

좋은 전류원은 수식(1)또는 (2)에서와 같이 전류가 입력전압(VGS)에 의해서만 변하고, 드레인 전압의 변화에 대해서는 무관하게 동작하여야 한다. 곧 좋은 포화영역의 특성은 전류원으로 사용되는 트랜지스터에서 가장 중요한 특성이다. 그러나 제공된 박막 트랜지스터의 포화영역 특성은 매우 나쁘기 때문에 기존 문턱전압 보상 전류원 회로에서는 이를 해결하기위해 트랜지스터의 크기를 크게 하고, 낮은 게이트 전압을 사용함으로써 전류원의 특성을 향상시키려 하였다.

문턱전압을 보상하기 위해서 사용한 커패시터는 문턱전압에 해당하는 전하를 저장하게 되는데 스위칭 트랜지스터의 누설전류에 의해서 전하가 빠져나감에 따라 전압이 떨어지게 된다. 따라서 기존 문턱전압 보상 전류원 회로와 같이 크기가 큰 트랜지스터를 낮은 입력전압만을 사용하여 전류를 공급하면 약간의 입력전압의 변화에 대해서도 출력전류는 크게 변화한다.

따라서 전류원의 특성향상을 위해 트랜지스터의 크기를 키우는 방법은 면적뿐만 아니라, 전류변화를 줄이기 위해서도 좋지 않은 방법이다.

2. 포화영역의 특성향상

아날로그 회로의 Performance를 향상시키기 위하여

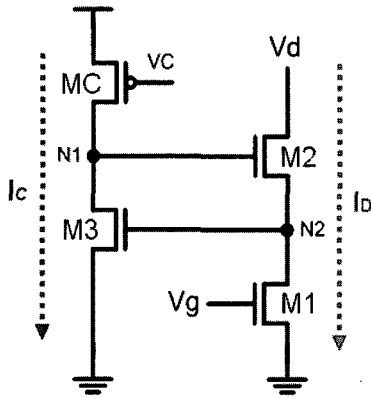


그림 3 슈퍼 트랜지스터 회로
Fig. 3. Super transistor circuit.

그림 3과 같은 슈퍼 트랜지스터가 제안되었다. 제안된 슈퍼 트랜지스터 회로는 높은 출력 임피던스와 작은 귀환 커패시턴스를 가지면서 하나의 MOS처럼 동작한다.^[8]

그림 3에서 MC는 포화영역에서 동작하는 전류원으로 사용되고 있으므로 MC의 드레인 전류는 수식(3)과 같이 표현될 수 있다.

$$I_C = \frac{1}{2} K_n \frac{W}{L} (V_{DD} - V_C - V_{THC})^2 \quad (3)$$

이때 N2에 걸리는 전압(V_{N2})은 수식(4)와 같이 표현되며 수식(3)을 수식(4)에 대입하여 수식(5)와 같이 표현할 수 있다.

$$V_{N2} = \sqrt{\frac{2I_C}{K_n \frac{W}{L}}} + V_{THB} \quad (4)$$

$$V_{N2} = \sqrt{\frac{2[\frac{1}{2} K_n \frac{W}{L} (V_{DD} - V_C - V_{THC})^2]}{K_n \frac{W}{L}}} + V_{THB} \quad (5)$$

수식(5)에서 pTFT와 nTFT의 $K_n \frac{W}{L}$ 은 다르나, 상수값이므로 같다고 가정하여 간단히 생략하고 전개하면 수식(6)과 같다.

$$V_{N2} = V_{DD} - V_C - V_{THC} + V_{THB} \quad (6)$$

수식(6)에서 N2에 걸리는 전압은 충분히 작으며 고정된 값이다. 또한 N2에 걸리는 전압이 M1의 드레인-소스 전압(V_{DS})이므로 M1은 선형영역에서 동작한다. 따라서 슈퍼 트랜지스터의 드레인 전류는 수식(7)과 같이 표현될 수 있다.

$$I_D = K_n \frac{W}{L} [(V_G - V_{TH1}) V_{N2} - \frac{1}{2} V_{N2}^2] \quad (7)$$

수식(7)는 선형영역에서 동작하는 전류식이지만 V_{N2} 가 일정하기 때문에 입력전압에 의해서만 전류가 결정되어 전류원으로 사용할 수 있다.

채널길이변조를 고려하면 위에서 전개했던 식은 수식(3-2)~(6-2)로 다시 표현될 수 있으며 수식에 사용된 MC의 드레인-소스 전압(V_{DS})은 N1전압과 같다.

$$I_C = \frac{1}{2} K_n \frac{W}{L} (V_{DD} - V_C - V_{THC})^2 (1 + \lambda V_{DS}) \quad (3-2)$$

$$V_{N2} = \sqrt{\frac{2I_C}{K_n \frac{W}{L} (1 + \lambda V_{DS})}} + V_{THB} \quad (4-2)$$

$$V_{N2} = \sqrt{\frac{2[\frac{1}{2} K_n \frac{W}{L} (V_{DD} - V_C - V_{THC})^2]}{K_n \frac{W}{L} (1 + \lambda V_{DS})}} + V_{THB} \quad (5-2)$$

$$V_{N2} = (V_{DD} - V_C - V_{THC}) \sqrt{\frac{1}{1 + \lambda V_{DS}}} + V_{THB} \quad (6-2)$$

수식(6-2)에서 결정된 V_{N2} 가 M1의 전류식(수식(7))에 인가되어 채널길이변조에 따른 출력 임피던스의 변화를 가져오게 된다. 일반적인 전류원에서 채널길이변조에 의해 변화된 출력 전류식은 $(1 + \lambda V_{DS})$ 항이 곱해져서 표현되지만 수식(6-2)는 $\sqrt{\frac{1}{1 + \lambda V_{DS}}}$ 항이 곱해져서 나타나기 때문에 채널길이변조에 의한 출력전류의 변화가 일반적인 경우보다 작아진다. 또한 출력전류가 증가함에 따라 N1전압(M2의 게이트 전압)은 상승하기 때문에 λV_{DS} 가 작아지면서 채널길이변조의 영향이 더욱 감소된다. 따라서 출력임피던스는 매우 커지게 된다.

3. 슈퍼 트랜지스터의 문턱전압 보상

슈퍼 트랜지스터를 사용하여 출력임피던스를 향상시킬 수 있으나 다결정 실리콘 박막 트랜지스터의 문턱전압의 변화는 여전히 발생할 수 있다. 따라서 이를 보상하기 위한 회로가 요구된다.

슈퍼 트랜지스터의 출력전류를 나타내는 수식(7)에서는 M1 문턱전압의 변화에 따라 V_{TH1} 이 변할 수 있으며, MC와 M3 문턱전압의 변화에 따라 V_{N2} 이 변할 수

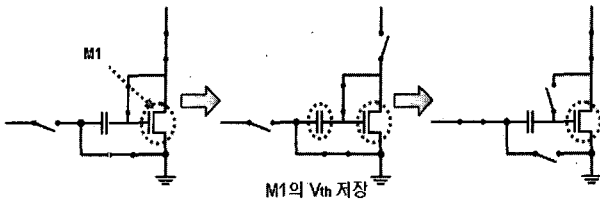


그림 4. M1의 Vth보상 방법
Fig. 4. Vth compensation of M1.

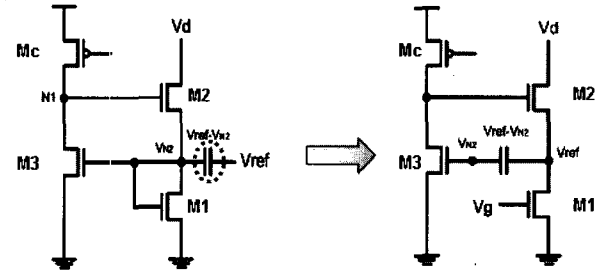


그림 5. N2전압 보상방법
Fig. 5. Node voltage compensation of N2.

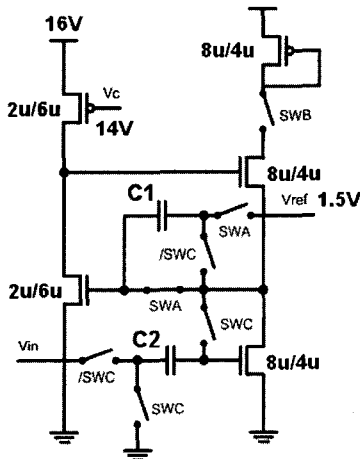


그림 6. 제안된 전류원 회로
Fig. 6. Proposed current source circuit.

있기 때문에 이 두 전압을 보상하는 회로를 추가하였다.

우선, V_{TH1} 을 보상하기 위해서는 그림 4에서와 같이 기존 회로에서의 방법과 동일한 세 단계를 통해 커패시터에 M1의 문턱전압을 저장한 후 입력전압을 인가하여 문턱전압의 변화에 의해서도 전류가 변하지 않도록 하는 방법을 사용하였다.

다음으로 V_{N2} 를 보상하기 위해 수식(6)에서 표현된 전압에 해당하는 기준전압을 이용하여 그림 5과 같은 두 단계를 거쳐 보상한다. 그림 5의 첫 번째 단계에서는 변화된 문턱전압에 의해 형성된 N2전압과 기준전압의 차이를 저장하며, 두 번째 단계에서는 저장된 전압을 M3의 게이트와 M1의 드레인 사이에 인가하여 N2 전압이 문턱전압의 변화에 상관없이 일정한 전압(기준

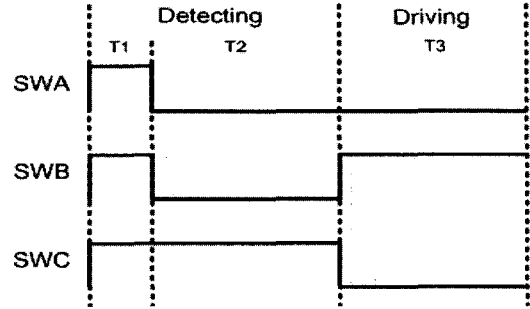


그림 7. 제안된 전류원 회로의 구동파형
Fig. 7. Driving waveform of proposed current source circuit.

전압)을 가지도록 한다.

위의 두 가지 방법을 동시에 적용하여 다음 그림과 같은 슈퍼 트랜지스터 회로를 제안하였다. 제안된 회로는 첫 번째 보상방법과 동일한 세 단계를 통해 N2전압과 M1의 문턱전압을 동시에 보상할 수 있다.

Detecting 구간동안 C1에는 $(V_{ref} - V_{N2})$ 에 해당하는 전압이 저장되며 C2에는 M1의 문턱전압인 V_{TH1} 이 저장된다. 그리고 Driving 구간에서는 Detecting 구간에서 저장된 전압이 직렬로 인가되어 문턱전압의 변화에 따른 출력전류의 변화를 감소시키게 된다.

III. 실험

1. TFT와 슈퍼 트랜지스터의 IV 특성곡선

그림 8은 저온 다결정 실리콘 공정에서 제조된 nTFT Width/Length=4um/4um의 IV 특성곡선이다.

그림 8의 nTFT 특성곡선에서 트랜지스터의 포화영역의 특성이 매우 나뉘를 확인할 수 있었으며, 이를 전류원으로 사용하기 위해서는 매우 낮은 게이트 전압을

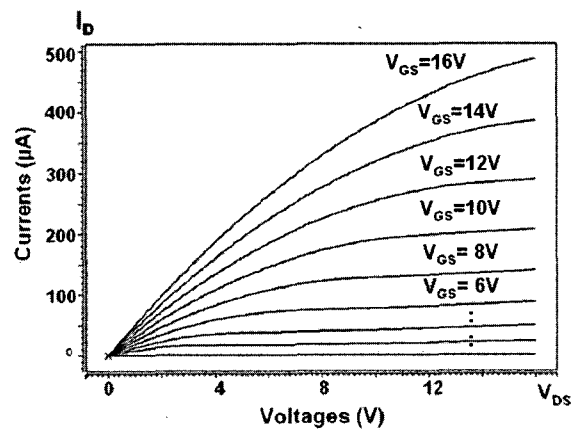


그림 8. nTFT (W/L=4um/4um)의 IV 특성곡선
Fig. 8. IV characteristic curve of nTFT (W/L=4um/4um).

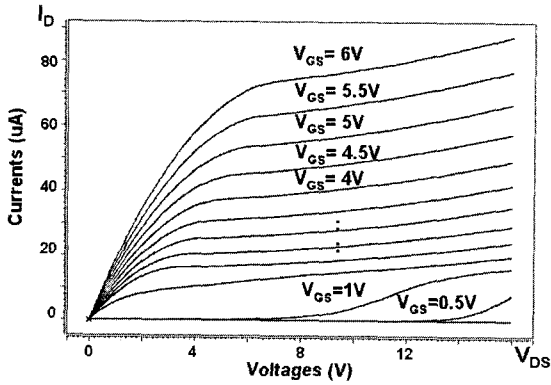


그림 9. nTFT IV 특성곡선 (낮은 게이트 전압)
Fig. 9. IV characteristic curve of nTFT. (low gate voltage)

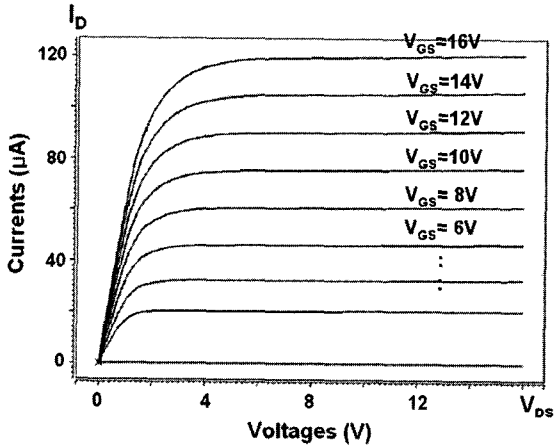


그림 10. 슈퍼 트랜지스터의 IV 특성곡선
Fig. 10. IV characteristic curve of super transistor.

사용하여야 할 것이다. 그러나 그림 9의 측정결과 낮은 게이트 전압에서도 전류원으로써 사용하기에는 좋지 않은 특성을 보임을 확인하였다.

이에 반해 슈퍼 트랜지스터의 동작특성은 낮은 게이트 전압에서뿐만 아니라 높은 게이트 전압에서도 포화 영역의 특성이 모두 좋음을 확인할 수 있었다. 그림 10은 슈퍼 트랜지스터의 동작특성이다.

그림 10의 동작특성을 살펴보면 TFT의 IV 특성곡선에 비해 포화가 빨리 일어나며 포화영역에서의 기울기도 매우 작아짐을 확인하였다. 따라서 슈퍼 트랜지스터를 이용하여 전류원을 설계하였을 경우 특성이 매우 좋을 것임을 예측할 수 있다.

2. 제안된 회로의 문턱전압변화에 따른 오차측정

제안된 회로의 문턱전압의 변화에 따른 오차를 모의 실험하기 위하여 그림 11과 같이 회로를 구성하였다. 입력전압은 10V를 인가하였고, 1pF의 비교적 작은 커

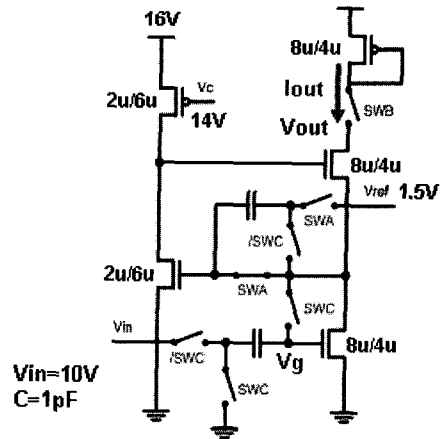


그림 11. 제안된 전류원 회로
Fig. 11. Proposed current source circuit.

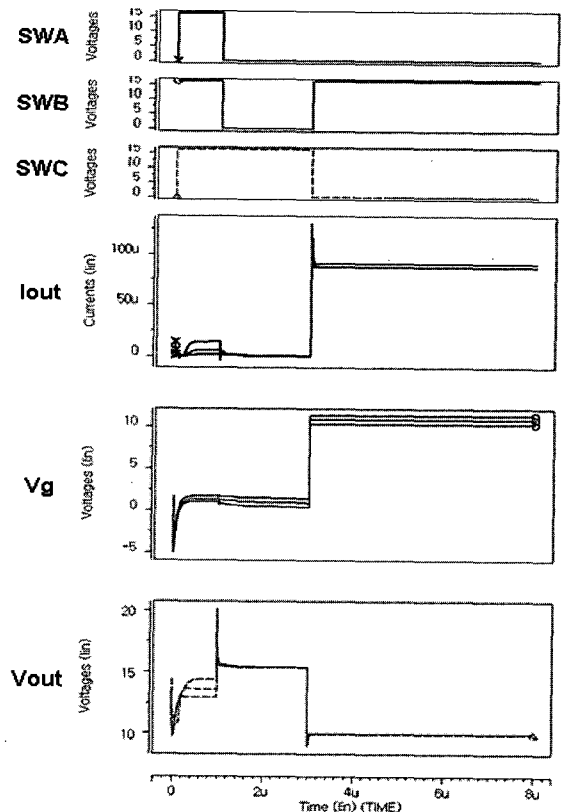


그림 12. 제안된 전류원 회로의 모의실험 결과
Fig. 12. Simulation waveform of proposed current source circuit.

패시터를 사용하였다. 그리고 문턱전압은 -0.5V ~ +0.5V의 변화를 갖도록 하여 출력전류의 변화를 관찰하였다.

일반적으로 높은 게이트 전압을 인가하였을 경우에 문턱전압의 변화에 따른 전류의 변화가 더 심해진다. 그러나 제안된 회로에서는 그림 13에서와 같이 10V의 입력전압에서도 매우 작은 전류변화를 보였다.

그림 13은 그림 12의 출력전류의 변화를 확대하여 나

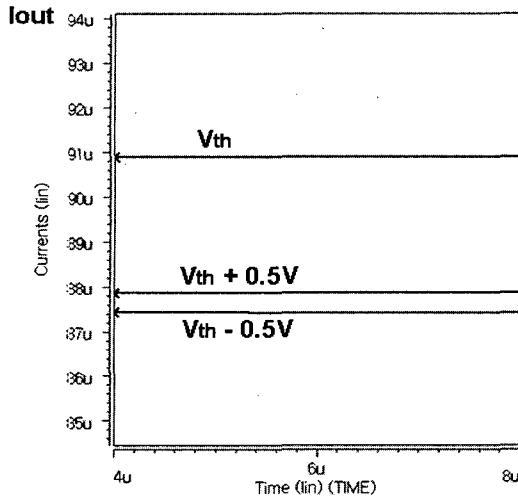


그림 13. 제안된 회로의 모의실험 결과(확대)

Fig. 13. Simulation waveform of proposed current source circuit. (enlarge scale)

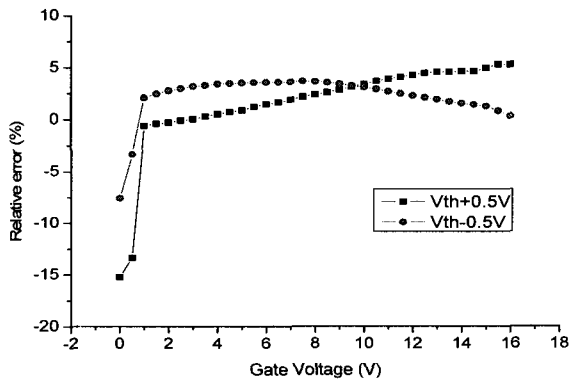


그림 14. 출력전류의 상대오차

Fig. 14. Relative error of output current.

탄낸 결과이다. 측정결과 문턱전압이 변하지 않았을 경우의 출력전류는 $91\mu\text{A}$ 이며 문턱전압이 0.5V 증가하였을 경우의 출력전류는 $88\mu\text{A}$, 문턱전압이 0.5V 감소하였을 경우의 출력전류는 $87.5\mu\text{A}$ 로 측정되었다.

측정된 전류의 상대적인 오차를 계산해 보면 문턱전압이 0.5V 증가하였을 경우에는

$$\frac{91\mu\text{A} - 88\mu\text{A}}{91\mu\text{A}} \times 100\% = 3.296\%$$

으로 약 3.3%의 오차를 보이며, 문턱전압이 0.5V 감소하였을 경우에는

$$\frac{91\mu\text{A} - 87.5\mu\text{A}}{91\mu\text{A}} \times 100\% = 3.846\%$$

으로 약 3.8%의 오차를 나타낸다.

그림 14는 수식(5)에 의해 계산된 입력전압의 변화에

따른 출력전류의 상대적인 오차를 그래프로 표현한 결과이다.

$$\text{Relative Error} = \frac{I_{(V_{th})} - I_{(V_{th} + \Delta V_{th})}}{I_{(V_{th})}} \times 100\% \quad (5)$$

그래프를 통해 문턱전압의 변화가 $-0.5\text{V} \sim +0.5\text{V}$ 일 경우, 낮은 입력전압에서 높은 입력전압까지 모두 5%미만의 작은 오차를 보임을 확인할 수 있었다. 또한 슈퍼트랜지스터를 사용하여 높은 출력 임피던스를 갖기 때문에 안정적인 전류를 공급하는 전류원으로 사용하기에 적합할 것이다.

IV. 결 론

본 논문에서는 저온 다결정 실리콘 공정에서 얻어지는 박막 트랜지스터를 이용하여 문턱전압의 변화에도 매우 안정적인 전류를 공급하는 전류원을 제안하였다.

주어진 Poly-Si TFT와 제안된 전류원의 IV 특성곡선의 시뮬레이션 결과에서 제안된 회로의 출력임피던스가 매우 크음을 확인하였으며, 1pF 의 비교적 작은 커패시터 두 개를 이용하여 기존 보상회로와 같은 3단계를 통해 문턱전압의 변화를 보상한 결과, 문턱전압이 $+0.5\text{V}$ 와 -0.5V 가 변할 경우에도 낮은 입력전압에서 높은 입력전압까지 전류변화를 모두 5%미만으로 줄일 수 있었다.

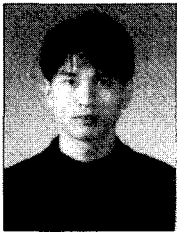
제안된 전류원은 출력임피던스가 크면서도 문턱전압의 변화에 대해서도 작은 오차를 갖기 때문에 Poly-Si TFT를 이용하여 전류모드로 동작하는 회로를 구성할 경우, 전류원으로 사용하면 동작특성이 향상될 것으로 예상된다.

참 고 문 헌

- [1] Dae-June Kim, Kyun-Lyeol Lee, Changsik Yoo "Required characteristics of poly-Si TFTs for analog circuits of System-on-Glass" IMID'05, Session5-3, 2005.
- [2] Ludolf Herbst, Frank Simon, Ulrich Rebhan, Thorsten Geuking, Ingo Klafit, Burkhard chner "Enhanced LTPS Manufacturing Equipmen employing Excimer Laser Crystallization" IMID'05, pp. 1124-1127. 2005.
- [3] Woo-Jin Nam, Sang-Myeon Han, Hye-Jin Lee, and Min-Koo Han "Current Saturation Improvement of Poly-Si TFTs for Analog

- Circuit Integration" IMID'05 pp. 289-292. 2005
- [4] Woo-Jin Nam, Jae-Hoon Lee, Sang-Myeon Han, Hye-Jin Lee, and Min-Koo Han, "New Current Compensation Theory in AM-OLED Pixel Circuit by Employing Voltage-Scaled Programming Method" IDW/AD '05, pp. 637-640. 2005.
- [5] Eduard Sackinger, Walter Cuggenbuhl, "A High-Swing, High-Impedance MOS Cascode Circuit." in Proc. of IEEE journal of solid-state circuits, pp. 289-298, Vol. 25, NO. 1, February, 1990.
- [6] Chris Taillefer and Chunyan Wang, "Current Mirror Compensation for Transistor Mismatch." in Proc. of IEEE International Symposium on Circuit and Systems, May 28-31, 2000, Geneva, Switzerland.
- [7] Shu-Yuan Chin and Chung-Yu Wu, "A 10-b 125-MHz CMOS Digital-to-Analog Converter with Threshold-Voltage Compensated Current Source." in Proc. of IEEE journal of solid-state circuits, pp. 1374-1380, Vol. 29, NO. 11, November, 1994.
- [8] Woo-jae Choi, Seong-Joong Kim, Yoo-Chang Sung, In-Hwan Kim, Yoo-Chang Sik, Oh-Kyong Kwon "Vth Variation Insensitive Current Source and Current Mirror Circuits using poly-Si TFTs" IDW'03 DIGEST pp. 642-645. 2003.

저 자 소 개



홍 문 표(학생회원)
 2005년 수원대학교 전자공학과
 학사 졸업.
 2005년~현재 수원대학교
 전자공학과 석사과정.
 <주관심분야 : LCD 구동회로 설
 계>

정 주 영(정회원)
 대한전자공학회 논문지 제33권 A권 10호 참조