논문 2006-43SD-11-11

무선랜용 I/Q 채널 12bit 120MHz CMOS D/A 변환기 설계

(I/Q channel 12-Bit 120MHz CMOS D/A Converter for WLAN)

하 성 민*, 남 태 규*, 서 성 욱*, 신 선 화*, 주 찬 양*, 윤 광 섭**

(Sungmin Ha, Tae-kyu Nam, Sung-uk Seo, Sunhwa Shin, Chanyang Joo, and Kwang S. Yoon)

요 약

본 논문에서는 무선통신용 송·수신기에 집적화할 수 있도록 0.35μm CMOS n-well 1-poly 4-metal 공정을 이용하여 3.3V의 전원 전압으로 동작하는 I/Q 채널 12비트 120MHz 전류구동 D/A 변환기를 설계하였다. 설계된 12비트 D/A 변환기는 4비트 온도계 디코더를 3단 구성하여 글리치 에너지와 선형오차 특성을 최소화 하였다. 측정된 선형오차인 INL/DNL은 각각 ±1.5 LSB, ±1.3LSB이며, 글리치 에너지는 31pV·s 로 측정되었고, 전력소모는 105mW이다. 샘플링 및 입력주파수가 각각 120MHz, 1MHz일 때, 싱글 톤 테스트에서 유효비트수는 10.5비트로 측정되었다. 듀얼 톤 테스트에서 1MHz/1.1MHz 의 기저대역신호는 0.9MHz/1.2MHz의 영상신호 차이가 -63dB 나타나는 것으로 측정되었다.

Abstract

This paper describes the design of I/Q channel 12bit Digital-to-Analog Converter(DAC) which shows the conversion rate of 120MHz and the power supply of 3.3V with 0.35um CMOS n-well 1-poly 4-metal process for advanced wireless transceiver. The proposed DAC utilizes 4-bit thermometer decoder with 3 stages for minimum glitch energy and linearity error. Also, using a optimized 4bit thermometer decoder for the decrement of the chip area. Integral nonlinearity(INL) of ±1.6LSB and differential nonlinearity(DNL) of ±1.3LSB have been measured. In single tone test, the ENOB of the proposed 12bit DAC is 10.5bit and SFDR of 73dB(@ Fs=120MHz, Fin=1MHz) is measured, respectively. Dual-tone test SFDR is 61 dB (@ Fs=100MHz, Fin=1.5MHz, 2MHz). Glitch energy of 31 pV·s is measured. The converter consumes a total of 105mW from 3.3-V power supply.

Keywords: CMOS, D/A converter, WLAN, Thermometer decoder

I. 서 론

고성능 디지털/아날로그 (D/A) 변환기는 최근 전자산업의 흐름에 비추어 볼 때, 영상 신호 처리, 디지털 신호의 합성(digital signal synthesis), 유·무선 통신의 분야에 필수적인 요소이다. CMOS 전류구동 D/A 변환기는 고속 동작이 가능하고 선형특성이 우수하여 많은 시스템에서 요구하는 D/A 변환기에 적합한 방법이다.[1~5] 그러나 전류구동 D/A 변환기는 공정에서 발생하는 경사 오차, 전류원셀의 오차와 디지털 신호의 비동기에 따른 글리치 에너지에 의해 정적(static) 성능과동적(dynamic) 성능에 많은 영향을 받는다.[1~4] 그리고 D/A 변환기는 디지털 블록과 아날로그 블록이 혼합되어 있다. 이로 인하여 디지털 신호의 잡음이 아날로그 신호에 영향을 줌으로써 정적 및 동적 특성에 악영향을 준다. 이러한 전류구동 D/A 변환기는 구조에 따라 정적 성능과 동적 성능이 결정된다.[6~10]

현재 CMOS current steering 12비트 D/A 변환기를 구현하는 방법은 여러 논문에서 발표되고 있다. 대표적인 방법으로 세그멘티드 D/A 변환기[11~13]이다. 세

* 학생회원, ** 정회원, 인하대학교 전자공학과
(Dept. of Electronic Engineering, Inha University)
※ 본 논문은 정보통신부의 출연금으로 수행한 IT SoC 핵심 설계 인력양성 사업의 수행결과입니다.
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

그멘티드 D/A 변환기는 이진 가중치 방식과 온도계 디코더 방식의 장점을 혼용한 구조이나 서로 다른 구조의 sub-D/A 변환기에 의해 입력 신호의 지연시간 차이, 해상도가 높아질수록 두 구조의 해상도 또한 증가되어 두 구조에서 발생하는 단점이 나타나게 된다. 본 연구는 앞서 발표된 세그멘티드 D/A 변환기에서 발생하는 단점을 보완하고 무선랜용 D/A 변환기를 구현하기 위해 새로운 구조의 D/A 변환기를 제안하였다. 제안한 D/A 변환기의 구조와 자세한 설명은 Ⅱ장에 소개하였다. Ⅲ장은 레이아웃 방법과 플로플랜에 대하여 논의하였고, Ⅳ장은 설계된 12비트 D/A 변환기의 측정 결과를 기술하였다. 그리고 마지막 Ⅴ장에서는 결론을 맺었다.

Ⅱ. I/Q 채널 12비트 DAC 구조

고해상도의 전류구동 방식의 D/A 변환기의 설계는 일반적으로 세그멘티드 구조를 갖는다.[5] 세그멘티드 D/A 변환기의 구조는 온도계 디코더의 서브 D/A 변환기와 이진 가중치 방식의 서브 D/A 변환기로 구성된다. 그러나 세그멘티드 D/A 변환기는 각기 다른 구조의 D/A 변환기의 혼합 형태로 인하여 레이아웃에서의 부정합특성 문제가 있고, 이진 가중치 구조의 D/A 변환기로 인하여 글리치 에너지가 크다는 단점이 있다. 이를 해결하기 위하여 제안하는 12비트 D/A 변환기는 4비트 온도계 디코더를 3단으로 구성하여 설계하였다. 온도계 디코더의 비트수가 감소하고, 단수를 증가시켜서 설계하면 칩 면적이 감소하며 고속 동작에 유리하다. 그러나 각 단 사이에서의 정합 특성이 저하되어 글리치 에너지가 증가하며, 정적 성능 및 동적 성능이 감소하는 결과를 나타낸다. 온도계 디코더의 비트수가 증가하고 단수가 감소하면 글리치 에너지가 작아지고, 정적 성능 및 동적 성능이 증가한다. 그러나 칩 면적이 증가하여 한정된 칩 면적에 I/Q 채널 D/A 변환기를 구현하는데 어려움이 있다. 모의실험 결과 칩 면적과 정적 성능 및 동적 성능을 고려하여 온도계 디코더는 4비트로 설계하고 단수는 3단으로 구성하였다. 4비트 온도계 디코더는 2비트 행·열 디코더로 구현하였다. 이와 같이 디코더의 입력 값을 반으로 줄임으로써 디코더의 구조를 간단하게 구현하여 칩 면적을 효과적으로 줄일 수 있고 게이트의 수를 줄임으로써 낮은 전력 소모를 보장한다. 그리고 임계경로를 동일하게 맞춤으로써 4비트 온도계 디코더에서 발생되는 지연시간의 차를 최소화하여 성능 개선을 하였다. 전체 구조에서 D/A 변환기의 디지털 입력 단에 래치를 사용하여 입력 신호들 간의 지연시간의 차이를 원천적으로 제거 하였다. 그림 1은 제안된 12비트 D/A 변환기의 전체 블록 다이어그램을 나타낸다.

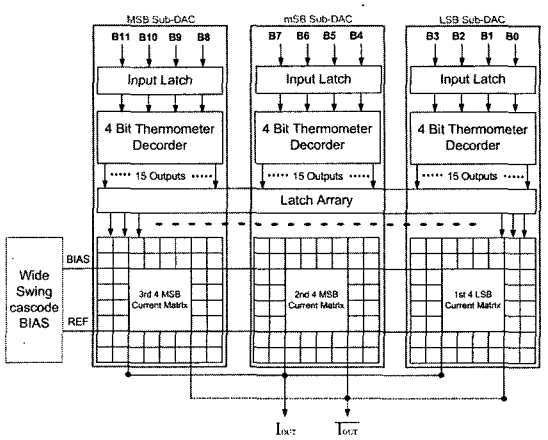


그림 1. 12비트 D/A 변환기의 전체 블록 다이어그램
Fig. 1. Block diagram of 12 bit D/A converter.

디지털 블록은 입력 래치와 같은 구조로 설계된 4비트 온도계 디코더와 15개의 온도계 디코더 출력의 동기화를 위한 래치회로로 구성되어있다. 특히 래치회로는 디지털 입력신호의 빠른 변화 또는 신호 변환시의 지연시간으로 인하여 신호의 비동기 현상이 발생하고, 이로 인하여 갑작스러운 글리치의 발생을 감소시키는 역할을 한다. 아날로그 블록으로는 디지털 블록으로부터 받은 신호로 전류를 제어하는 아날로그 스위치와, 기준전압과 바이어스 전압을 생성하고 전류를 생성하는 와이드 스윙 캐스코드 바이어스단과 캐스코드 전류미러로 구성되어있다. 특히 D/A 변환기에서 중요한 블록 중의 하나인 바이어스 단은 내부에 바이어스 저항을 이용할 수도 있고, 외부로부터 가변저항을 통해 전류의 크기를 가변시킬 수도 있고, 전류를 직접 받아서 사용할 수도 있도록 설계하여 칩 동작의 다양화를 시도하였다.

Ⅲ. I/Q 채널 12비트 D/A 변환기의 레이아웃

설계된 D/A 변환기는 무선랜 시스템에서 응용할 수 있도록 전체적으로 I/Q채널 D/A 변환기로 그림 2의 플로플랜과 같이 레이아웃 하였다. D/A 변환기의 상단부에는 입력 래치단, 4비트 온도계 디코더단, 래치 어레이단을 배치하였다. 레이아웃 중앙부에는 아날로그 스위치 어레이를 배치하였고, 하단부에는 소자정합특성을 고려하여 아날로그 전류원 셀 어레이를 배치하였다. I-

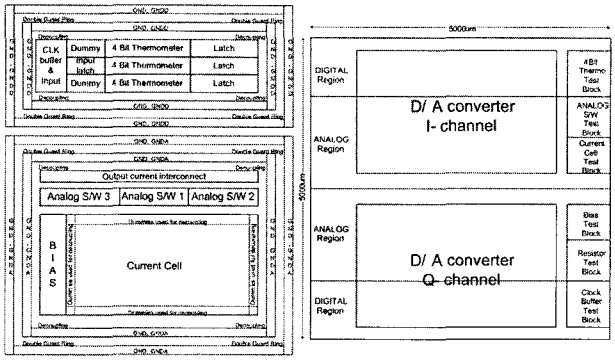


그림 2. 12비트 D/A 변환기 플로플랜
Fig. 2. Floor plan of 12 bit D/A converter.

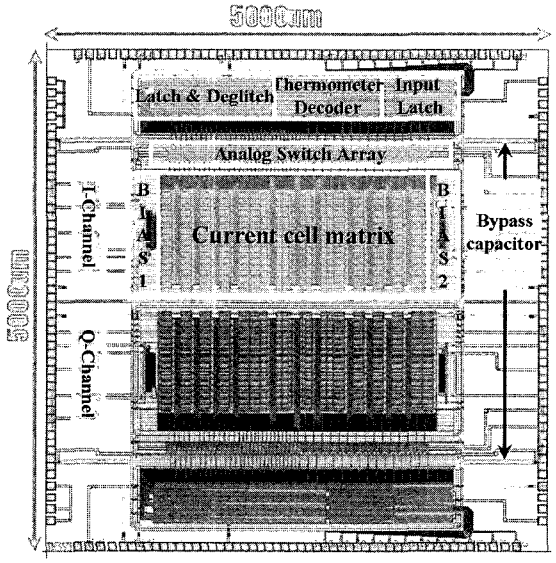


그림 3. 12비트 D/A 변환기 레이아웃
Fig. 3. Layout of 12 bit D/A converter.

채널 D/A 변환기와 Q-채널 D/A 변환기의 매칭 특성을 향상시키기 위하여 최종 패드의 입력과 출력 라인뿐만 아니라 전원라인까지 대칭적으로 레이아웃 하였다.

I/Q채널 D/A 변환기의 레이아웃은 전류원셀 주변에 더미셀을 배치함으로써 전류원의 부정합 문제를 개선하였다. 또한 전류셀을 매트릭스 형식으로 레이아웃 함으로써 전류셀 사이의 간격을 최소화하여 전류셀 간의 거리에 따른 시스템 오차의 영향을 최소화 할 수 있다. 그리고 아날로그 블록과 디지털 블록을 더블 가드링을 만들어 분리하고, 기판의 바이패스 커패시터를 사용함으로써 잡음의 유입을 억제하였고, 선형성과 동적 성능을 향상시켰다. 또한 모든 전류셀에 가드링을 만들어 기판의 누설 전류에 의한 전류셀의 오차를 최소화하였다. 디지털 신호라인과 아날로그 신호라인이 교차하는 부분은 그라운드 선을 이용하여서 신호간섭 현상을 제거하였다. 이와 같은 방법들이 12비트 D/A 변환기에 적용되었고, 이를 토대로 레이아웃을 진행하였다. 그림 3은 CMOS 0.35um 1-Poly 4-Metal 공정을 이용하여서 그림 2의 플로플랜을 구현한 I/Q채널 D/A 변환기의 레이아웃 그림이다. 레이아웃 결과 제작된 12비트 D/A 변환기의 유효 칩 면적은 3.5mm x 4mm로 나타났다.

Ⅳ. 측정결과 및 고찰

본 연구에서 구현된 DAC의 성능 측정을 위해서 그림 4와 같은 성능 검증용 PCB를 제작하였다. I/Q채널 D/A 변환기의 정합 특성을 고려하여 I-채널과 Q-채널을 대칭적으로 구성하였다. 또한, 동작의 다양화를 위해 바이어스단의 전류를 조절해 주는 가변저항부와 칩 내부 저항을 선택할 수 있는 접속 단자를 구성하였다. 측정결과 D/A 변환기는 디지털 코드 0에서 4096까지 미스코드 없이 단조 증가성을 유지하는 그림 5와 같은 D/A 변환기의 단조성 출력결과를 얻을 수 있었다.

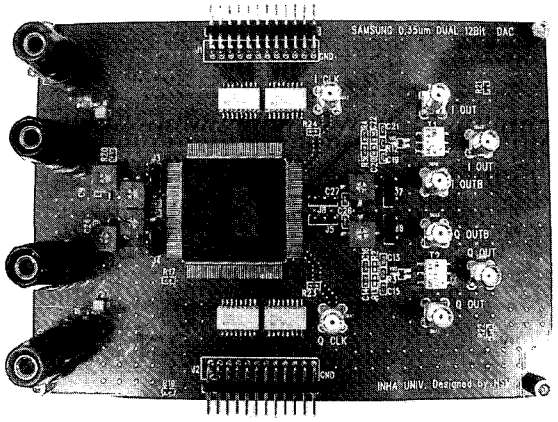


그림 4. 12비트 D/A 변환기 성능검증용 PCB
Fig. 4. PCB picture for measurement of 12 bit D/A converter.

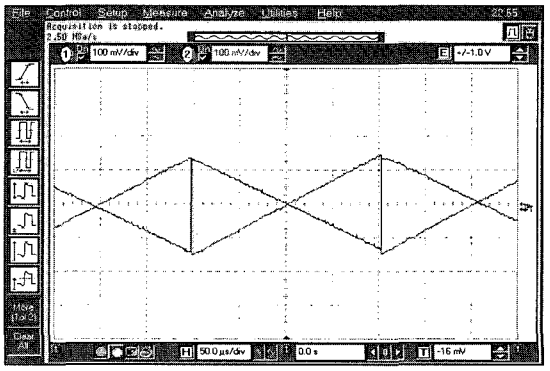


그림 5. 12비트 D/A 변환기 단조성 측정
Fig. 5. Measurement of Monotonicity.

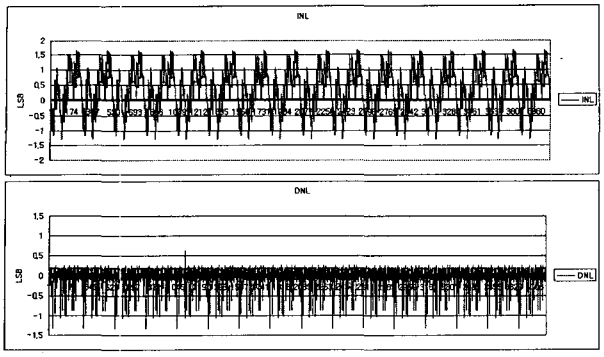


그림 6. 2비트 D/A 변환기의 INL 및 DNL 측정
Fig. 6. Measurement of INL and DNL for linearity.

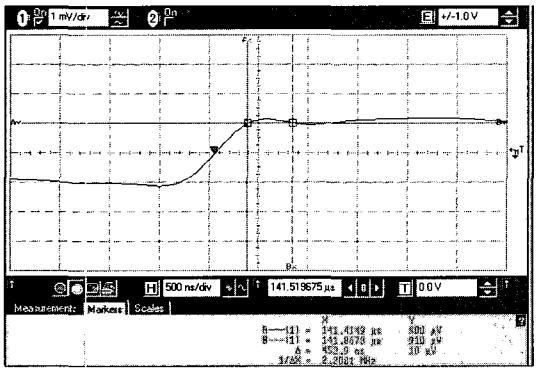


그림 7. 12비트 D/A변환기 글리치 에너지 측정결과
Fig. 7. Measurement of glitch energy.

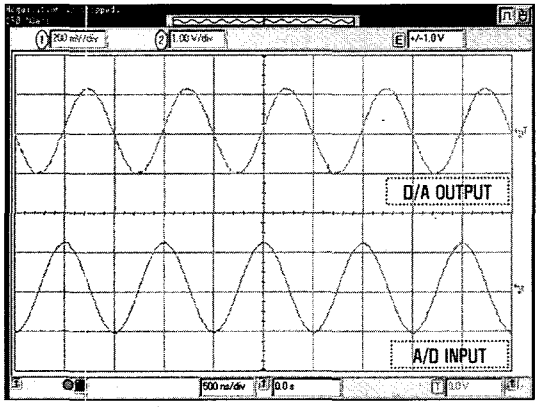


그림 8. 12비트 D/A변환기 신호 복원 측정
Fig. 8. Measurement of signal reconstruction.

단조성 측정결과를 토대로 하여서 그림 6과 같은 12비트 D/A 변환기의 선형 특성인 INL 및 DNL특성의 결과를 측정할 수 있다. 측정결과 INL 및 DNL은 각각 ±1.5 LSB / ±1.3 LSB로 나타났다.

제작된 12비트 D/A 변환기의 글리치 에너지를 측정하기 위해서 입력 디지털 코드가 011111111111에서 100000000000로 변환되게 설정하였다. 디지털 코드가 변환될 때 변환기의 출력신호를 측정하였고, 측정결과

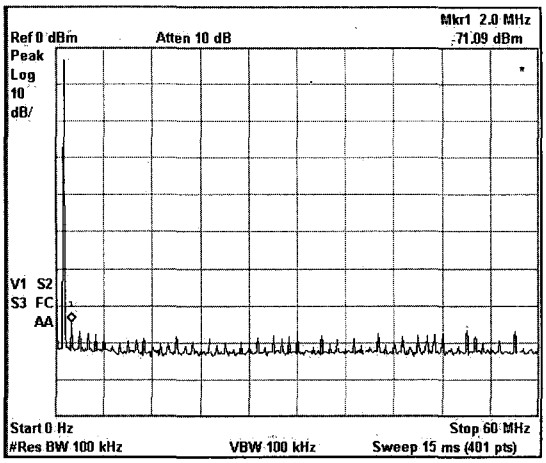


그림 9. 제안된 D/A변환기 SFDR 측정결과
Fig. 9. Measurement of SFDR.

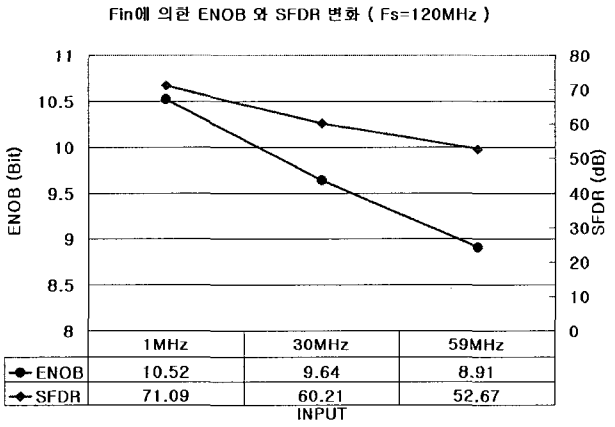


그림 10. 입력 주파수에 따른 SFDR, ENOB 변화
Fig. 10. Measured SFDR and ENOB as a function of input frequency at sampling frequency of 120MHz.

는 그림 7과 같다. 측정된 결과를 이용해서 계산된 D/A 변환기의 글리치 에너지는 31pV·sec로 측정 되었다.

구현된 변환기의 동적 특성 측정을 위하여 TI사의 ADS5500I A/D변환기(14비트 120Ms/s)에 정현파를 인가하고 A/D 변환기의 출력을 구현된 D/A 변환기의 입력에 인가하여 복원된 정현파 신호를 측정하였다. 신호 복원 실험을 통하여 SFDR 및 SNR 을 측정하였다. 측정결과 샘플링 주파수가 120MHz 이고, 입력 주파수가 1MHz 일때, SFDR은 71.09 dB로 측정 되었다. 그림 8은 복원된 파형을 나타내고, 그림 9는 SFDR특성을 나타낸다.

구현된 변환기의 입력주파수 변화에 따른 동적특성을 측정하기위해서 샘플링 주파수는 120MHz로 고정시

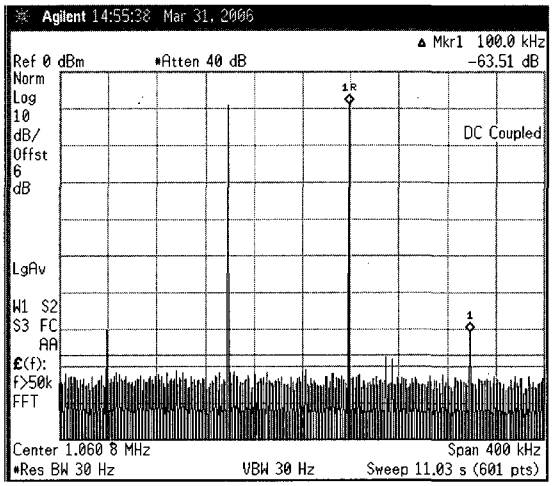


그림 11. 듀얼 톤 측정결과

Fig. 11. Measurement of dual tone test.

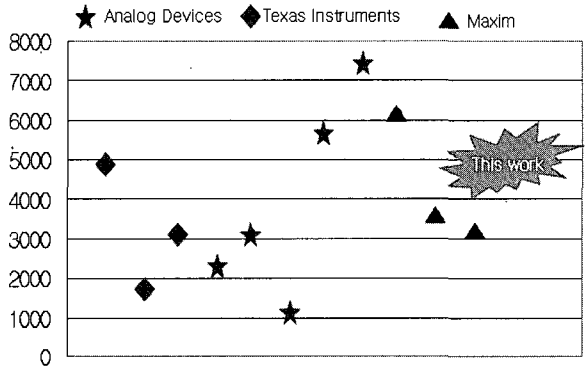


그림 12. 제안된 D/A변환기와 상용제품들과의 비교

Fig. 12. Comparison of FoM between the proposed DAC and commercial DACs.

키고, 입력 주파수를 그림 10과 같이 1MHz에서 나이퀴스트 주파수까지 가변시키면서 SFDR과 유효비트수(ENOB)를 측정하였다. 측정 결과 유효비트수는 입력주파수가 1MHz에서 10.5 비트이며, 나이퀴스트 주파수에서 8.9비트로 측정되었다.

무선랜내 입력 송신 신호간 간섭 특성을 측정하기 위해서 1MHz와 1.1MHz의 입력 정현파를 동시에 입력시켜서 듀얼 톤 테스트를 그림 11과 같이 수행하였다. 측정결과 SFDR은 63.51 dB이며, 100KHz 범위 안에서도 두 개의 간섭주파수를 분리할 수 있는 것으로 확인되었다. 또한 1.1MHz의 기저대역신호와 0.9MHz/1.2MHz의 영상신호 간의 신호크기가 -63dB 이상 차이나는 것으로 측정되었으므로 구현된 변환기는 기저대역 신호와 영상신호를 충분히 분별할 수 있는 능력이 있는 것으로 확인되었다.

제안된 I/Q채널 12비트 D/A 변환기와 반도체 제조업

표 1. 12비트 D/A변환기의 성능요약

Table 1. Performance summary of 12bit DAC.

Resolution	12 bit
Conversion rate	120 MHz
Glitch energy	31 pVsec
INL / DNL	±1.5 / ±1.3 LSB
Power dissipation	105 mW
ENOB	10.52 Bit
SFDR	71.09 dB
Power supply	3.3 V
Technology	CMOS n-well 0.35 μm
Effective chip area	$14mm^2$

체에서 제작한 상용 12비트 D/A 변환기의 성능을 비교하였다. 성능 비교 시 D/A 변환기의 주요 성능 변수인 유효비트수(n)와 변환속도 및 전력소모를 이용하여 식 (1)과 같은 FoM(Figure of Merit)을 이용하였다.

$$FoM = \frac{2^n \times Conversion\,Speed}{Power\,Dissipation}\ Point \qquad (1)$$

비교 분석결과는 그림 12와 같다. 제안된 I/Q채널 12비트 D/A 변환기는 상용제품과 비교 분석하여 보았을 때, 전력소모 측면에서는 매우 우수하였으나 변환속도가 다소 떨어지므로 구현된 변환기의 FoM이 상용제품들의 중상위정도로 나타났다.

구현된 변환기의 성능을 요약하면 표 1과 같다. 즉, 3.3V의 공급 전원 전압에서 105mW의 전력소모를 나타냈으며, 유효 칩 면적은 14mm^2 이다.

V. 결 론

제안한 무선랜용 I/Q채널 12비트 D/A변환기는 CMOS n-well 0.35μm 1-Poly 4-Metal 공정을 이용하여 설계 및 구현하였다. 선형성 및 동적특성을 높이기 위해 온도계 디코더를 사용하여 설계 하였으며, 한정된 칩 면적에 I/Q채널 D/A 변환기를 구현하기 위해 전체 12비트 입력을 4비트 온도계 디코더를 3중으로 구성하였다. 측정 결과 전력소모는 105mW, INL / DNL 선형성은 ±1.5 / ±1.3 LSB 이며, 유효비트수는 10.5비트, 기저대역신호와 영상신호의 신호 간섭 분별력이 -63dB 로 나타나서 무선랜내 장착시키기에 적절한 것으로 확인되었다. 구현된 변환기는 WLAN, AWG, ATE, DDFS, HDTV등에 적용될 수 있을 것으로 기대된다.

참 고 문 헌

[1] K. O'Sullivan, C. Gorman, M. Hennessy, and V. Callaghan, "A 12-bit 320-MS/s Current-Steering CMOS D/A converter in 0.44mm2, " IEEE J.Solid-State Circuits, vol. 39, pp1064-1072, Jul 2004.

[2] Y. Nakamura, T. Miki, A. Maede, H. Kondoh, and N. Yazawa, "A 10-b 70-MS/s CMOS D/A converter," IEEE J. Solid-State Circuits, vol. 26 , pp.637-642, Apr. 1991.

[3] T. Wu, C. Jih, J. Chen, and C. Wu, "Alow glitch 10-bit 75-MHz CMOS video D/A converter," IEEE J. Solid-State Circuits, vol. 30, pp. 68-78, Jan. 1995.

[4] P. Hendriks, "Specifying communications D/A converters,"IEEE Spectrum, vol. 34, pp.57-69, July 1997.

[5] Ki-Hong Ryu, Sung Young Park and Kwang Sub Yoon, "A 3.3V 12-Bit High-Speed Current Cell Matrix CMOS D/A converter," J. Korean Phys. Soc, vol.39, No.1, pp. 127-131, July, 2001.

[6] A. Van den Bosch, Marc A. F. Borrenmans, M. Steyaert and W. Sansen, "A 10bit 1GSample/s Nyquist Current Steering CMOS D/A converter," IEEE J. Solid-State Circuits, vol.36, No.3, pp.315-324, Mar, 2001.

[7] Yijun Zhou and jiren Yuan, "An 8-Bit 100-MHz Low Glitch Interpolation D/A converter," ISCAS, vol.4, pp.116-119, May, 2001.

[8] Jussi Pirkkalaniemi,Mikko Waltari, Marko Kosunen, Lauri Sumanen and Kari Halonen, "A 14-bit, 40MS/s D/A converterwith Current Mode Deglitcher," ISCAS, vol.1, pp.I-121-I-124, 2002.

[9] M. Pelgrom, A. Duinmaijer, and A. Welbers, "Matching Properties of MOS Transistors," IEEE J. Solid-State Circuits, vol.24, No.5 pp. 1433-1440, Oct. 1989.

[10] B. Razavi, Principle of Data Conversion System Design, IEEE Press, 1995.

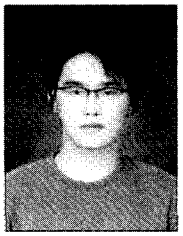
[11] B. Schafferer, R. Adams, "A 3V CMOS 400mW 14b 1.4GS/s DAC for Multi-Carrier Applications, " IEEE ISSCC, Feb. 2004.

[12] Q. Huang, P. andrea Francese, C. Martelli, J. Nielsen, "A 200MS/s 14b 97mW DAC in 0.18μm CMOS, " ISSCC, session 20, Feb, 2004.

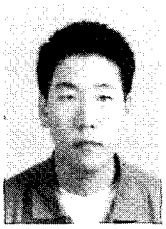
[13] K. Doris, J. Briaire, D. Leenaerts, M. Vertregt, A. van Roermund, "A 12b 500MS/s DAC with > 70dB SFDR up to 120MHz in 0.18μm CMOS, " ISSCC, session 6, Feb, 2005.

저 자 소 개

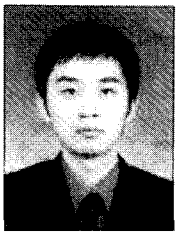
하 성 민(학생회원)
2004년 홍익대학교 전자공학과 학사 졸업.
2006년 인하대학교 전자공학과 석사 졸업.
<주관심분야 : 데이터 변환기 설계, Analog/Mixed Signal IC 설계, 반도체, VLSI>



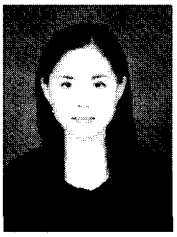
서 성 욱(학생회원)
2005년 인하대학교 전자공학과 학사 졸업.
2005년~인하대학교 전자공학과 석사 재학.
<주관심분야 : 데이터 변환기 설계, Analog/Mixed Signal IC 설계, 반도체, VLSI>



주 찬 양(학생회원)
2006년 인하대학교 전자공학과 학사 졸업.
2006년~인하대학교 전자공학과 석사 재학.
<주관심분야 : 데이터 변환기 설계, Analog/Mixed Signal IC 설계, 반도체, VLSI>



남 태 규(학생회원)
2004년 인하대학교 전자공학과 학사 졸업.
2006년 인하대학교 전자공학과 석사 졸업.
<주관심분야 : 데이터 변환기 설계, Analog/Mixed Signal IC 설계, 반도체, VLSI>



신 선 화(학생회원)
2005년 인하대학교 전자공학과 학사 졸업.
2006년~인하대학교 전자공학과 석사재학
<주관심분야 : 데이터 변환기 설계, Analog/Mixed Signal IC 설계, 반도체, VLSI>

윤 광 섭(정회원)
1982년 인하대학교 전자공학과 학사 졸업
1983년 Georgia Institute of Technology 공학석사
1989년 Georgia Institute of Technology 공학박사
1989년 3월~ 1992년 2월 Silicon Systems Inc, Tustin Calif. U.S.A Senior Design Engineer
1992년 3월~ 현재 인하대학교 전자공학과 교수
<주관심분야 : ADC, DAC, PLL 등 아날로그 및 혼성신호 집적회로 설계I>