

논문 2006-43SD-11-7

마이크로 전자 기계 시스템 응용을 위한 12비트 200KHz 0.52mA 0.47mm² 알고리즘 A/D 변환기

(A 12b 200KHz 0.52mA 0.47mm² Algorithmic A/D Converter for
MEMS Applications)

김 영 주*, 채 희 성**, 구 용 서***, 임 신 일***, 이 승 훈****

(Young-Ju Kim, Hee-Sung Chae, Yong-Seo Koo, Shin-Il Lim, and Seung-Hoon Lee)

요 약

본 설계에서는 최근 부상하고 있는 motor control, 3-phase power control, CMOS image sensor 등 각종 센서 응용을 위해 고해상도와 저전력, 소면적을 동시에 요구하는 12b 200KHz 0.52mA 0.47mm² 알고리즘 ADC를 제안한다. 제안하는 ADC는 요구되는 고해상도와 처리 속도를 얻으면서 동시에 전력 소모 및 면적을 최적화하기 위해 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 알고리즘 구조로 설계하였다. 입력단 SHA 회로에서는 고집적도 응용에 적합하도록 8개의 입력 채널을 갖도록 설계하였고, 입력단 증폭기에는 folded-cascode 구조를 사용하여 12비트 해상도에서 요구되는 높은 DC 전압 이득과 동시에 충분한 위상 여유를 갖도록 하였다. 또한, MDAC 커패시터 열에는 소자 부정합에 의한 영향을 최소화하기 위해서 인접 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하였으며, SHA와 MDAC 등 아날로그 회로에는 항상된 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 저전력을 구현하였다. 기준 전류 및 전압 발생기는 칩 내부 및 외부의 잡음에 덜 민감하도록 온-칩으로 집적하였으며, 시스템 응용에 따라 선택적으로 다른 크기의 기준 전압을 외부에서 인가할 수 있도록 설계하였다. 또한, 다운 샘플링 클럭 신호를 통해 200KS/s의 동작뿐만 아니라, 더 적은 전력을 소모하는 10KS/s의 동작이 가능하도록 설계하였다. 제안하는 시제품 ADC는 0.18um n-well 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL과 INL은 각각 최대 0.76LSB, 2.47LSB 수준을 보인다. 또한 200KS/s 및 10KS/s의 동작 속도에서 SNDR 및 SFDR은 각각 최대 55dB, 70dB 수준을 보이며, 전력 소모는 1.8V 전원 전압에서 각각 0.94mW 및 0.63mW이며, 시제품 ADC의 칩 면적은 0.47mm²이다.

Abstract

This work describes a 12b 200KHz 0.52mA 0.47mm² algorithmic ADC for sensor applications such as motor controls, 3-phase power controls, and CMOS image sensors simultaneously requiring ultra-low power and small size. The proposed ADC is based on the conventional algorithmic architecture with recycling techniques to optimize sampling rate, resolution, chip area, and power consumption. The input SHA with eight input channels for high integration employs a folded-cascode architecture to achieve a required DC gain and a sufficient phase margin. A signal insensitive 3-D fully symmetrical layout with critical signal lines shielded reduces the capacitor and device mismatch of the MDAC. The improved switched bias power-reduction techniques reduce the power consumption of analog amplifiers. Current and voltage references are integrated on the chip with optional off-chip voltage references for low glitch noise. The employed down-sampling clock signal selects the sampling rate of 200KS/s or 10KS/s with a reduced power depending on applications. The prototype ADC in a 0.18um n-well 1P6M CMOS technology demonstrates the measured DNL and INL within 0.76LSB and 2.47LSB. The ADC shows a maximum SNDR and SFDR of 55dB and 70dB at all sampling frequencies up to 200KS/s, respectively. The active die area is 0.47mm² and the chip consumes 0.94mW at 200KS/s and 0.63mW at 10KS/s at a 1.8V supply.

Keywords : 알고리즘, 저전력, 소면적, CMOS, ADC

* 학생회원, **** 평생회원, 서강대학교 전자공학과 (Dept. of Electronic Engineering, Sogang University)

** 정회원, 엠텍비전(주) (Mtekvision Co., Ltd.)

*** 평생회원, 서경대학교 전자공학과 (Dept. of Electronic Engineering, Seokyeong University)

※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」 및 산업자원부 시스템2010과제에 의해 지원되었음.

접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

I. 서 론

기존의 다양한 메모리 및 마이크로프로세서 중심의 디지털 집적회로는 거의 단일 칩으로 제작되어 사용되고 있지만 아날로그 회로는 여전히 개별 소자를 사용하는 경우가 대부분이었다. 최근에 디지털 집적회로와 아날로그 집적회로를 하나의 칩으로 만드는 System-on-a-Chip(SoC) 설계 분야가 급속도로 발전함에 따라 혼성모드 회로 설계 기법을 토대로 한 SoC에 대한 연구가 활발하게 진행되면서, 고화질 비디오 시스템, 차세대 개인 휴대용 통신기기, 고속 디지털 통신망, 군사 통신 시스템 및 의료용 장비 등에 사용되는 고성능 A/D 변환기 (Analog-to-Digital Converter : ADC)에 대한 요구도 상응하여 증가하고 있다. 이에 따라 고해상도와 서로 상충될 수 있는 높은 사양을 가지면서도 동시에 다른 대규모 CMOS 디지털 회로와 집적 가능한 저전력 소면적 ADC가 절실한 상황이다. 특히, 최근 부상하고 있는 motor control, 3-phase power control, CMOS image sensor 등 각종 센서 응용과, 고성능 휴대용 멀티미디어 영상처리 시스템, data acquisition 시스템, optical 네트워크 및 고속 모뎀 등의 통신 시스템 분야에 사용되는 ADC는 12비트 이상의 고해상도와 수 KS/s에서 수백 KS/s 이상의 샘플링 속도를 가지면서도 동시에 시스템 집적을 위해 적은 전력 소모 및 작은 면적이 필수적으로 요구된다. 이러한 응용에 사용되는 ADC에는 아날로그 회로와 디지털 회로의 동작 시간을 증가시키고, 배터리의 무게와 부피 등을 감소시키기 위해 저전력과 소면적을 위한 회로 설계 기술 및 레이아웃 기법이 절대적으로 필요하다.

기존의 다양한 ADC 구조 중에서, 12비트 수준의 고해상도와 수백 KS/s 수준의 동작 주파수 조건을 만족시키는 구조로는 over-sampling ADC, Successive Approximation Register (SAR) 형태의 ADC 및 알고리즘 ADC를 많이 적용하고 있는 추세이다^{[1]-[8]}. 그러나 over-sampling ADC는 고해상도를 구현할 수 있지만 상대적으로 높은 over-sampling 클럭 입력을 필요로 하면서 필수적인 디지털 회로와 함께 작은 면적 속에 제반 블록을 집적하기에는 회로가 다른 구조에 비해 비교적 복잡하다는 단점을 가지고 있다. 또한, SAR 형태의 ADC는 회로의 구조가 비교적 간단하지만, 해상도가 증가할수록 커패시터의 크기가 지수적으로 증가하기 때문에 높은 정확도와 함께 작은 면적에 구현하기가 힘들다. 그 반면, 알고리즘 ADC는 회로의 구조가 간단

하며, 작은 면적을 차지하고, 비교적 높은 해상도를 구현할 수 있으며, 전력 소모도 매우 적다. 본 논문에서는 기존의 구조에 비해 상당히 낮은 전력을 소모하면서 작은 면적을 차지하는 ADC의 구현을 위해 앞단의 출력이 다음단의 입력으로 연결되는 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 최적화된 알고리즘 ADC를 제안한다.

최근에 학회 및 저널 등을 통해 발표된 12비트 수준의 해상도에서 샘플링 속도가 수백 KS/s 수준의 CMOS로 구현된 ADC들을 본 논문에서 제안하는 ADC의 성능과 함께 표 1에 나타내었다^{[1]-[8]}. 표 1에 정리된 ADC들은 칩 면적에 있어서 대부분 1.0mm²를 초과하며, 전력 소모 역시 수 mW에서 수십 mW 수준의 전력 소모를 보인다. 또한 본 논문에서 제안하는 ADC 시제품을 제외하고는 기준 전압 회로를 모두 오프-칩으로 사용하였으며, 이를 온-칩으로 구현할 때 소모되는 면적 및 전력 소모를 감안하면, 발표된 수준보다 실제 전력 소모 및 면적이 상당 부분 추가적으로 증가할 수 있다. 표 1에서 over-sampling 구조로 구현된 ADC^[7]의 경우 칩 면적이 0.65mm²이지만 이는 변조기(modulator)만의 면적으로 디지털 신호 처리 회로 등 부가적인 면적이 포함되어 있지 않으며, 전력 소모 역시 41.0mW로 매우 커서, 작은 면적과 적은 전력 소모를 요구하는 응용에 적합하지 않다. 그 반면, 본 논문에서 제안하는 알고리즘 ADC는 온-칩 기준 전압 회로를 포함하여 0.47mm²의 작은 면적과 0.94mW의 적은 전력 소모로 SoC에 따

표 1. 기존의 발표된 12b 수백 KS/s 대역의 CMOS ADCs

Table 1. Conventional 12b hundreds of KS/s CMOS ADCs.

	This work	[1]	[2]	[3]	[4]	[5]	[6]	[7]	[8]
해상도 (bits)	12	12	12	12	12	12	12	12	12
구조	Algo.	Algo.	SAR	SAR	SAR	SAR	SAR	Σ-Δ	Algo.
변환속도 (KS/s)	200	600	800	1000	1000	1400	2000	2100	5000
전원전압 (V)	1.8	2.5	3.3	3.0	5.0	3.3	5.0	5.0	0.9
면적 (mm ²)	0.47	1.00	2.13	1.98	1.50	2.25	17.00	0.65	1.40
전력 (mW)	0.94	45.00	1.90	1.00	15.00	9.20	7.20	41.00	12.00
DNL/INL (LSB)	0.76/2.47	0.6/1.0	0.6/0.5	-/1.0	-/0.5	-/0.5	-/-	-/-	0.6/1.4

른 시스템 집적이 매우 적합함을 알 수 있다.

본 논문에서는 12비트의 고해상도에서 200KS/s의 동작 속도를 만족시키는 ADC를 구현하기 위해, (1) 전력 소모와 면적을 최적화하기 위해 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 알고리즘 구조로 설계하였으며, (2) 입력단 Sample-and-Hold Amplifier (SHA) 회로에는 다양한 시스템 응용의 고집적도에 적합하도록 8개의 입력을 갖도록 설계하였으며, 전력 소모를 최소화하기 위해 향상된 스위치 기반의 바이어스 전력 최소화 기법을 적용하였고, (3) 전체 ADC 해상도에 결정적인 영향을 주는 Multiplying D/A 변환기 (MDAC)의 커패시터 열에는 소자 부정합을 최소화하면서 인접 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하였으며, MDAC 회로에도 전력 소모를 최적화하기 위해 SHA 회로에서와 마찬가지로 스위치 기반의 바이어스 전력 최소화 기법을 적용하였으며, (4) 고해상도의 동작을 위해 기준 전류 및 전압 발생기 회로를 온-칩으로 집적하여 중요한 아날로그 블록에 기준 전압을 안정적으로 공급하는 한편, 다운 샘플링 클럭 신호를 통해 200KS/s의 정상 동작 속도가 아닌 또 다른 응용에서 많이 사용하는 10KS/s의 낮은 동작 속도에서 아날로그 회로인 SHA와 MDAC의 증폭기를 통상적인 strong inversion 영역이 아닌 weak inversion 영역에서 동작하도록 하여, 전력 소모를 한층 더 최소화 할 수 있도록 설계하였다. II 장에서는 제안하는 알고리즘 ADC의 전체 구조를 간략히 설명하며, III 장에서는 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 설명한다. IV 장에서는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC의 전체 구조

본 논문에서 제안하는 12비트 200KHz ADC는 적은 전력 소모와 작은 면적을 위해 파이프라인 구조의 하나의 단만을 반복적으로 사용하는 최적화된 알고리즘 구조를 가지며, 전체 구조는 그림 1과 같이, 입력단 SHA, 1개의 MDAC, 1개의 flash ADC, 디지털 교정 회로 (digital correction logic), 온-칩 기준 전류 및 전압 발생기 회로, 타이밍 회로 및 클럭 발생기 (clock generator)로 구성된다.

하나의 시스템 입력 클럭으로부터 2개의 중첩되지 않는 클럭 (non-overlapping clock) Q1, Q2와 파이프라인 구조의 사용을 위한 타이밍 클럭을 칩 내부에서 발

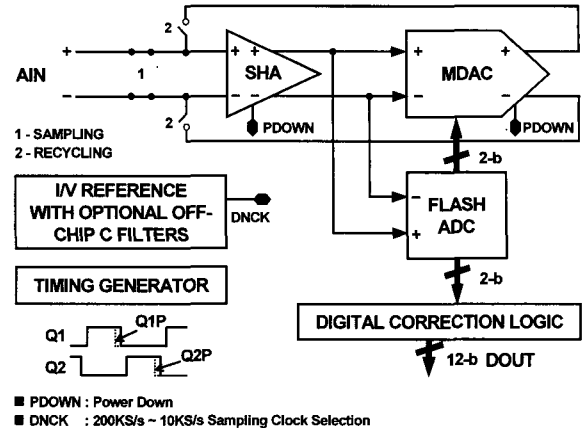


그림 1. 제안하는 12b 200KHz 알고리즘 ADC
Fig. 1. Proposed 12b 200KHz algorithmic ADC.

생시켰다. 제안하는 ADC의 전체 동작은 11클럭 주기의 변환 주기를 가지며, SHA는 처음 1주기 동안 8개의 채널로 이루어진 입력단 중 하나의 채널로부터 외부의 입력을 받고 나머지 10주기 동안 내부 타이밍 신호의 제어를 통해 MDAC으로부터 재처리되는 입력을 받는다. 한편, flash ADC는 1주기마다 2비트의 신호를 디지털 교정 회로로 전달하며, 디지털 교정 회로에서는 신호 처리 중에 부정확할 수 있는 아날로그 회로 블록인 SHA, MDAC 및 flash ADC의 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough)오차들에 의해 발생하는 오차를 디지털 영역에서 교정하며, 1주기가 2.2MHz가 되는 시스템 입력 클럭을 사용하여 11주기가 지난 후 최종 출력을 내보내어 200KS/s의 변환 속도를 가지게 된다. 제안하는 ADC의 모든 기준 전류 및 전압은 내부의 온-칩 전류 및 전압 발생기 회로 블록에서 발생하며, 온-칩으로 집적한 타이밍 회로는 12비트의 해상도로 구현되었으나, 최근 높아져가는 소자의 매칭 정확도를 고려해서 14비트 이상의 고해상도로의 확장이 용이하도록 모듈식으로 설계하였다.

III. 제안하는 ADC 회로 설계 기법

1. 스위치 기반의 바이어스 전력 최소화 기법을 적용한 저전력 저잡음 SHA

클럭을 사용하는 대규모 집적회로 시스템에 응용된 연산 증폭기의 경우, 신호를 오픈 루프 형태로 샘플링하는 클럭의 반 주기 동안에는 증폭기를 사용하지 않도록 설계를 할 수 있다. 따라서 제안하는 SHA 회로에 이를 활용하여 샘플링하는 클럭의 반 주기 동안에 증폭기의 바이어스 회로에 스위치를 사용하여 증폭기의 동

작 전류 공급을 완전히 차단하고, 나머지 반 주기인 증폭 기간 동안 다시 증폭기에 바이어스 전류를 공급함으로써 전체 전력 소모를 최소화하는 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 샘플링 모드에서 증폭기의 동작 전류 공급을 차단하게 되어, 증폭기의 출력단이 일정한 바이어스 전압에 연결되어 있지 않으면 중요한 전압 노드(node)들이 임의의 방향으로 움직일 수가 있고, 이는 그 다음의 증폭 동작 모드의 정착시간에 부정적인 영향을 줄 수 있다. 따라서 증폭기의 출력단이 일정한 바이어스 전압을 유지하도록 하였으며, 증폭기에 적용된 스위치 기반의 바이어스 전력 최소화 기법은 적절한 바이어스 방법으로 이러한 성능의 손실 없이도 전력 소모를 최소화한다. 그림 2는 이러한 스위치 기반의 바이어스 전력 최소화 기법을 적용한 SHA에 사용되는 folded-cascode 증폭기와 다른 회로 블록으로부터의 간섭을 방지하기 위해 독립적으로 사용되는 바이어스 회로를 보여준다. 기존의 전력 최소화 기법^{[9],[10]}은 샘플링 모드로 동작할 경우, 증폭기의 공급 전류를 완전히 차단하지 않고 소량의 일정한 전류를 공급 해주었으나, 본 설계에 적용된 스위치 기반의 바이어스 전력 최소화 기법은 그림 2에서 보듯이 증폭기가 샘플링 모드로 동작할 때, BIAS1, BIAS2 및 BIAS4의 공급을 완전히 차단하여 전력 소모를 최소화하였다. 또한, 홀딩 모드로 동작할 경우, 증폭기에 바이어스 전류를 MP3 및 MN3로 이루어진 지연 셀에 의해서 BIAS4 → BIAS1, BIAS2의 일정한 순서에 따라 공급함으로써 기존의 경우보다 향상된 스위칭을 통해 증폭기가 안정적으로 동작할 수 있도록 설계하였다. 이러한 기법을 적용하여 설계된 SHA 회로에서의 전력 소모는 스위치 기반의 바이어스 전력 최소화 기법을 적용하지 않은 경우보다 바이어스 회로를 포함하여 30% 감소하였고, 요구되는 200KHz의 변환 속도를 위한 2.2MHz의 시스템 클럭에서 72.7dB의 높은 DC 이득을 가지면서 동시에 88.7°의 위상 여유를 만족하도록 구현되었다.

제안하는 입력단 SHA 회로에서는 시스템 응용의 고 집적도에 부응하기 위해 8개의 입력 채널을 갖도록 설계되었으며, 3비트 제어 신호를 통해 입력 채널을 조정할 수 있도록 하였다. 입력 채널 회로는 추가적인 면적을 차지하게 되지만, 본 논문의 응용분야 중의 하나인 MEMS 응용에서는 여러 채널로 순차적인 입력이 들어오게 되므로, 여러 개의 ADC를 병렬로 사용하는 경우보다 다채널을 가진 단일 ADC를 한 개만 사용하여 집적도를 향상시킬 수 있다.

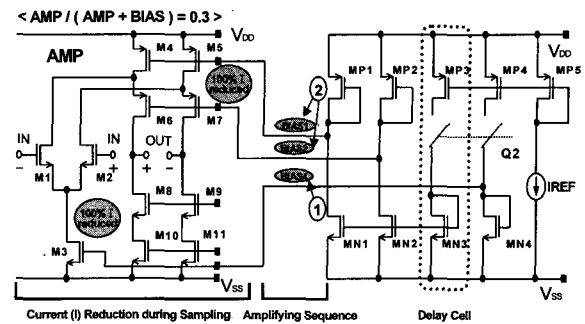


그림 2. 스위치 기반의 바이어스 전력 최소화 기법을 적용하는 SHA

Fig. 2. SHA circuit based on a switched bias power-reduction technique.

이와 같이 제안하는 SHA 회로는 요구되는 12비트 해상도 및 200KHz 이상의 샘플링 속도를 위한 2.2MHz의 시스템 클럭에서 동작하면서 동시에 작은 칩 면적과 적은 전력 소모를 얻기 위해, 2개의 커패시터를 사용하는 flip-around 구조로 설계하였고, SHA의 입력 커패시터의 크기는 열잡음과 1Vp-p의 입력 신호에서 12비트 수준의 정확도를 고려하여 1pF을 사용하였다.

2. 스위치 기반의 바이어스 전력 최소화 기법과 3차원 완전 대칭 레이아웃 기법을 사용하는 저전력 MDAC

ADC의 두 번째 중요 아날로그 회로 블록 중의 하나인 MDAC에 사용되는 증폭기에도 SHA에서 사용한 것과 유사한 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 다만 SHA 회로에서 사용한 1단 증폭기와는 달리, 그림 3은 스위치 기반의 바이어스 전력 최소화 기법이 적용된 MDAC의 folded-cascode, unfolded-cascode의 2단 증폭기와 바이어스 회로를 보여준다. Folded-cascode로 이루어진 첫 번째 증폭기에 샘플링 모드로 동작하는 반 주기 동안 바이어스 회로로부터 BIAS1, BIAS2 및 BIAS4의 공급을 완전히 차단하며, 나머지 반 주기인 증폭 모드로 동작할 때, MN3와 MP3로 이루어진 전류거울에 의한 전류 지연 셀에 의해 BIAS4 → BIAS1, BIAS2의 일정한 순서로 바이어스 전류를 공급함으로써 증폭기가 신호를 증폭하는 동안 안정적으로 동작하도록 설계하였다. 이러한 스위치 기반의 바이어스 전력 최소화 기법을 적용하여, MDAC에서 소모되는 전력을 전력 최소화 기법을 적용하지 않은 경우보다 바이어스 회로 포함하여 40%를 줄일 수 있었다.

한편, 기존 ADC의 전체 칩 성능에서 Differential

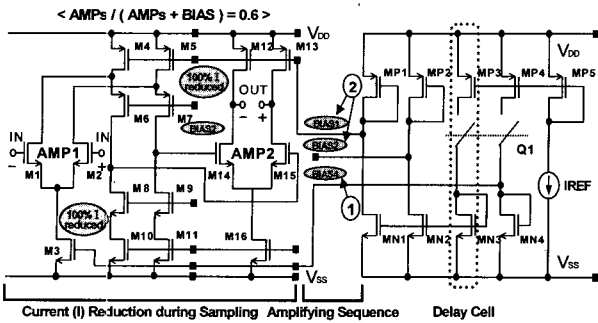


그림 3. 스위치 기반의 바이어스 전력 최소화 기법을 적용하는 MDAC

Fig. 3. MDAC circuit based on a switched bias power-reduction technique.

Non-Linearity (DNL), Integral Non-Linearity (INL)과 같은 정적 성능 및 Signal-to-Noise-and-Distortion Ratio(SNDR), Spurious-Free Dynamic Range(SFDR)과 같은 동적 성능을 결정하는 주요 요인 중 하나는 사용하는 커패시터 간의 부정합으로, 이러한 커패시터 간의 부정합은 부정확한 예칭 및 절연체의 두께 변동 등 공정상의 한계로 인해 발생하는 임의의 오차 및 인접 신호선과의 기생 커패시턴스로 인해 발생하는 규칙적인 오차에 의한 영향이 크다. 특히, MDAC의 커패시터 열의 부정합은 ADC 칩 성능에 직접적인 영향을 주기 때문에 매우 중요하다. 높은 해상도를 요구하는 ADC의 경우, 커패시터 열의 부정합을 제거하기 위해 특별한 보정기법을 사용할 수도 있으나, 이러한 보정기법은 추가적인 회로로 인한 면적과 전력 소모 및 비용 등을 증가시키는 단점이 있다^{[11]-[17]}. 커패시터 열의 부정합은 추가적인 보정 기법 없이 고도로 정돈된 레이아웃 기법으로 상당 부분 감쇄시킬 수 있으며, 그림 4는 MDAC의 커패시터 열의 부정합을 최소화하여 높은 커패시터 매칭 정확도를 얻기 위해 제안하는 3차원 완전 대칭 레이아웃 기법을 나타낸다.

그림 4의 구조는 기존의 단위 커패시터들의 하층기판과 연결 신호 선을 포함하여 단위 커패시터들 전부를 모든 금속 층으로 둘러싸서 레이아웃한 것^[18]과는 다르게 이를 개선하여 단위 커패시터들의 하층기판을 제외한 연결 신호 선들을 각각의 단위 커패시터들과 완전히 분리하고 모든 금속 층으로 둘러싸서 레이아웃 하였다. 기존의 레이아웃 기법은 인접 신호 선에 신호가 없을 경우 단위 커패시터들의 주변 조건이 동일해지나 인접 신호 선에 특정 신호가 지나갈 경우 이 신호선의 신호에 의해 각각의 단위 커패시터들에 서로 다른 기생 커패시턴스가 생성되어 단위 커패시터들의 주변 조건이

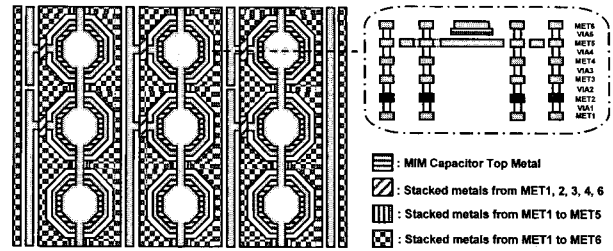


그림 4. 높은 소자 매칭 정확도를 위해 제안하는 3차원 완전 대칭 MDAC 커패시터

Fig. 4. Proposed 3-D fully symmetric MDAC capacitors for high matching accuracy.

동일해지기 어렵지만, 제안하는 레이아웃 기법은 인접 신호 선까지 각각의 단위 커패시터들과 완전히 분리시킴으로써 인접 신호 선을 지나는 신호에 관계없이 모든 커패시터들의 주변 조건을 완전히 동일하게 함으로써 커패시터 부정합을 최소화하였다.

스위치 기반의 바이어스 전력 최소화 기법과 3차원 완전 대칭 레이아웃 기법을 적용한 MDAC에 사용되는 커패시터 값은 열잡음 및 입력단 SHA의 입력 커패시터 1pF과의 정합 등을 고려하여 250fF의 단위 커패시터를 사용하였다.

3. 다운 샘플링 클럭 기능을 가지는 온-칩 기준 전류 및 전압 발생기

최근 SoC의 연구개발 추세에 따라서 기준 전류 및 전압 발생기를 온-칩으로 구현하는 빈도가 높아지고 있지만, 상용화되어 나온 제품의 대부분은 기준 전압을 오프-칩에 의존하고 있는 실정이다. 특히, 수백 KHz의 낮은 주파수 대역에서는 저전력 구현을 위해 기준 전압 발생기 회로를 온-칩으로 구현한 것이 거의 드물다. 제안하는 ADC에는 SoC 응용의 집적도를 향상시키기 위해 그림 5에서 보는 바와 같이 기준 전류 및 전압 발생기를 온-칩으로 집적하였으며, 다음과 같은 기능을 가지고 있다.

IREF 블록은 온도 및 전원 전압에 덜 민감하도록 각 블록에 기준 전류 및 전압을 공급하며, 3비트의 IVCN 디지털 코드에 의해 소자의 변화에 대한 40% 이내의 전류 및 전압의 값의 변화를 보정을 할 수 있도록 하였다^[19]. 또한 휴대용을 위해 Power Off (=POFF) 신호를 사용하여, ADC를 사용하지 않을 경우, 전력 소모를 1uW 이하로 줄일 수 있도록 하였으며, External Reference (=EXTRF)의 제어 신호를 통하여 온-칩으로 집적된 기준 전압 발생기의 기준 전압을 사용하거나,

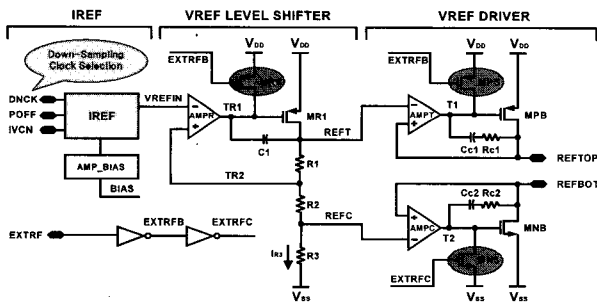


그림 5. 다운 샘플링 클럭 모드를 가지는 온-칩 기준 전류 및 전압 발생기

Fig. 5. On-chip current and voltage references with a down-sampling clock mode.

시스템 요구에 따라 외부의 다른 기준 전압을 선택적으로 사용할 수 있도록 하였다.

또한, 최근 연구에서는 초저전력 구현을 위해서 증폭기의 동작이 통상적인 strong inversion 영역이 아닌 weak inversion 영역에서의 동작 여부가 관심의 대상으로 떠오르고 있다^{[20]-[23]}. 본 논문의 응용 분야 중의 하나인 MEMS 응용에 사용되는 ADC는 수십 KS/s의 동작 속도 정도를 만족하면 되며, 이에 따라 대부분의 전력을 소비하는 아날로그 회로에 공급되는 바이어스 전류를 제어하여 전력 소모를 더욱더 최소화할 수 있도록 하였다. 따라서 제안하는 ADC에 다운 샘플링 클럭 (=DNCK) 신호를 두어 SHA와 MDAC으로 공급하는 바이어스 전류를 제어하였으며, 이를 바탕으로 증폭기가 strong inversion 영역 및 weak inversion 영역의 두 영역에서 모두 동작할 수 있도록 함으로써, 두 영역에서의 동작을 정량적으로 검증할 수 있도록 함과 동시에 낮은 동작 주파수에서의 전력 소모를 최적화하였다. DNCK 신호가 low 일 경우, 정상 동작 모드로 SHA와 MDAC의 증폭기가 strong inversion 영역에서 동작하며, 200KS/s의 동작 속도를 가진다. 반면, DNCK 신호가 high 일 경우, 다운 샘플링 클럭 모드로 SHA와 MDAC의 증폭기가 weak inversion 영역에서 동작하며, 10KS/s의 동작 속도를 가진다.

한편, ADC에서 사용되는 기준 전압은 MOS 스위치를 통하여 ADC의 각 동작 블록에 공급되므로, 클럭에 따라 스위치가 ON 및 OFF가 반복되면서 채널 전하도 순간적으로 충전 및 방전을 반복하게 된다. 이때 발생하는 고주파 스위칭 잡음과 글리치 등으로 기준 전압 출력 노드의 전압이 12비트 수준의 일정한 값으로 유지되기 어렵다. 이를 위해 기존의 경우 기준 전압 출력 노드에 0.1uF 수준의 바이패스 커패시터를 사용함으로

써 충전 및 방전에 의한 잡음을 해결하였으나, 제안하는 ADC는 200KS/s의 낮은 동작 속도를 고려하여 0.1uF 수준의 외부 바이패스 커패시터 없이 내부 회로만으로도 충분히 충전 및 방전에 의한 잡음을 해결하도록 하였다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 12비트 200KHz 알고리즘 ADC는 동부일렉트로닉스의 0.18um n-well 1P6M CMOS 공정으로 제작 되었으며, 고성능 집적시스템의 핵심 IP로 사용할 수 있도록 외부로 연결되는 핀은 입력, 출력, 전원 전압 등으로 제한하였다. 그림 6은 시제품 ADC의 칩 사진을 보여주며, 입출력 패드를 제외한 칩 면적은 0.47mm²이다. 유휴공간에는 전원 전압의 안정성을 위해 전체 ADC의 아날로그와 디지털 전원부에 decoupling 커패시터를 집적하였으며, 그림 6 상에서 □ 부분은 PMOS로 구현된 decoupling 커패시터를 나타낸다.

제안하는 ADC는 1.6V에서 2.0V까지의 전원 전압에서 모든 블록이 이상 없이 동작하도록 설계하였으며, 1.8V 전원 전압, 11번 반복되는 recycling 동작에서 200KHz의 변환 속도를 위한 2.2MHz의 시스템 클럭에서 0.94mW의 전력을 소모한다. 온-칩으로 집적한 기준 전압 발생기의 기준 전압을 사용하지 않고 외부의 다른 기준 전압을 사용할 경우, 전체 면적이 약 95%로 줄어들며, 전체 전력 소모는 84%로 줄어든다. 또한, 증폭기가 strong inversion 영역이 아닌 weak inversion 영역에서 동작시키는 다운 샘플링 클럭 모드일 경우, 전체 전력을 0.63mW 소모하며, 마찬가지로 기준 전압

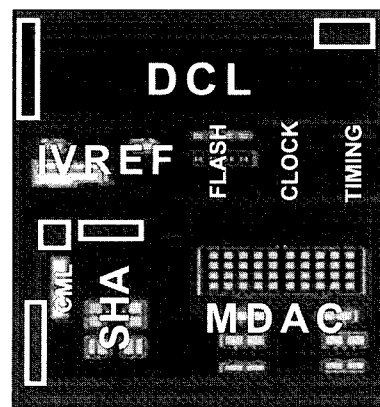


그림 6. 12b 200KHz 알고리즘 ADC 시제품 칩 사진 (0.60mm × 0.78mm)

Fig. 6. Die photograph of the prototype 12b 200KHz algorithmic ADC (0.60mm × 0.78mm).

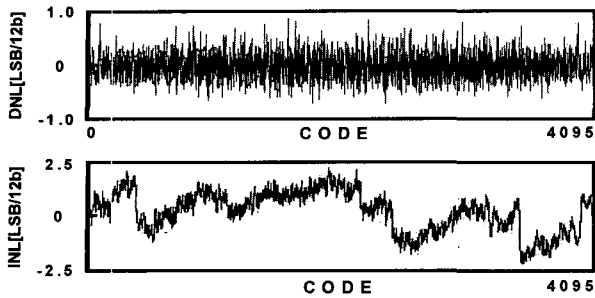
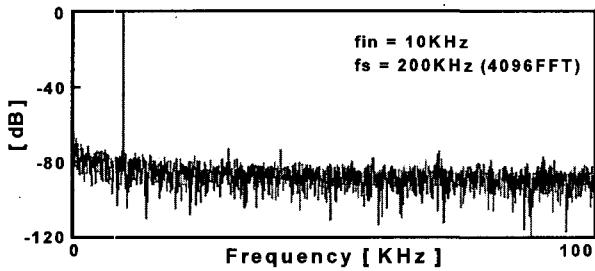
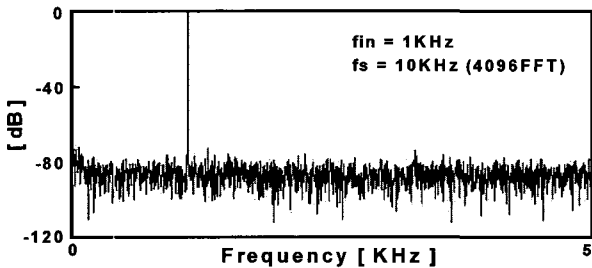


그림 7. 시제품 ADC의 측정된 DNL 및 INL
Fig. 7. Measured DNL and INL of the prototype ADC.



(a)



(b)

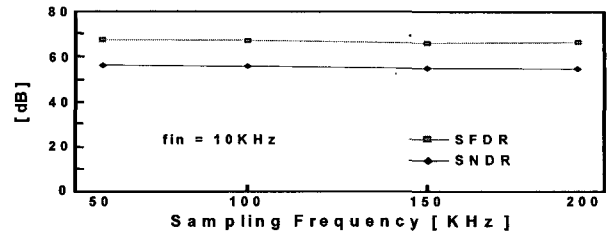
그림 8. 입력 및 샘플링 클럭에 따라 측정된 신호 스펙트럼 : (a) nominal 200KS/s 모드 및 (b) 저전력 10KS/s 다운 샘플링 클럭 모드

Fig. 8. Signal spectrum measured with input and sampling clocks at (a) a nominal 200KS/s mode and (b) a low-power 10KS/s down-sampling clock mode.

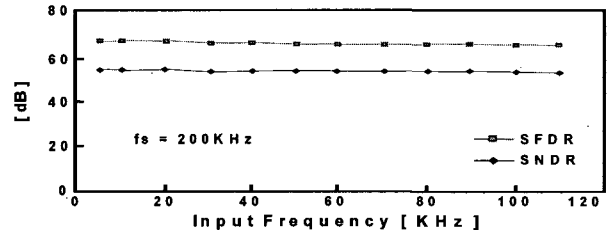
을 오프-칩에 의존할 경우, 76%로 줄어든 전력을 소모한다. 시제품 ADC의 측정된 DNL 및 INL은 그림 7에서 보는 바와 같이 각각 최대 0.76LSB, 2.47LSB 수준이다.

그림 8(a) 및 (b)는 각각 시제품 ADC가 두 가지 샘플링 클럭인 정상적인 200KS/s 모드 및 낮은 전력을 사용하는 10KS/s 다운 샘플링 클럭 모드에서 측정된 전형적인 신호 스펙트럼을 보여준다.

그림 9 및 그림 10은 각각 200KS/s 정상 동작 모드 및 낮은 아날로그 전력을 사용하는 10KS/s 다운 샘플링 클럭 모드에서 측정된 동적 성능을 보여준다. 그림 9(a)는 ADC의 동작 속도를 50KS/s에서 200KS/s까지



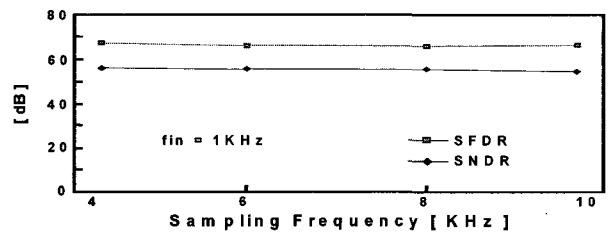
(a)



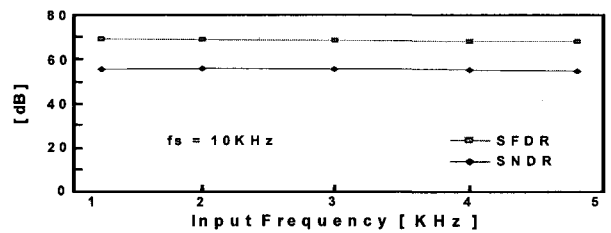
(b)

그림 9. 시제품 ADC의 정상적인 200KS/s 모드에서 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수 변화에 따른 SFDR 및 SNDR

Fig. 9. Measured dynamic performance of the prototype ADC at a nominal 200KS/s mode : SFDR and SNDR versus (a) fs and (b) fin.



(a)



(b)

그림 10. 시제품 ADC의 저전력 10KS/s 다운 샘플링 클럭 모드에서 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수 변화에 따른 SFDR 및 SNDR

Fig. 10. Measured dynamic performance of the prototype ADC at a low-power 10KS/s down-sampling clock mode : SFDR and SNDR versus (a) fs and (b) fin.

증가시킬 때, 10KHz의 차동 입력 주파수에서 SNDR 및 SFDR을 나타낸다. 샘플링 속도가 200KHz까지 증가하는 동안 측정된 SNDR과 SFDR은 각각 55dB, 70dB 이상을 유지함을 알 수 있다. 그림 9(b)는 200KS/s의 동

표 2. 시제품 12b 200KHz 알고리즘 ADC 성능 요약
Table 2 Measured performance of the prototype 12b 200 KHz algorithmic ADC.

Resolution	12bits	
Max. Conversion Rate	200KS/s	10KS/s
Process	0.18um Dongbu Electronics CMOS	
Input Range	1.0V _{p-p}	
SNDR	55dB (at fin = 10KHz)	55dB (at fin = 5KHz)
SFDR	70dB (at fin = 10KHz)	70dB (at fin = 5KHz)
DNL	-0.64LSB / +0.76LSB	
INL	-2.44LSB / +2.47LSB	
ADC Core Power	0.94mW	0.63mW
Active Die Area	0.47mm ² (= 0.60mm × 0.78mm)	

작 속도에서, 입력 주파수를 증가시킬 때의 SNDR와 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수인 100KHz까지 증가할 때, 측정된 SNDR와 SFDR은 각각 55dB, 68dB 수준을 유지하는 것을 알 수 있다. 저전력을 소모하는 다운 샘플링 클럭 모드에서 측정된 그림 10(a)는 동작 속도를 4KS/s에서 10KS/s까지 증가시킬 때, 1KHz의 차동 입력 주파수에서 SNDR 및 SFDR을 나타낸다. 샘플링 속도가 10KS/s까지 증가하는 동안 측정된 SNDR와 SFDR은 각각 55dB, 70dB 이상 유지함을 알 수 있다. 그림 10(b)는 10KS/s의 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR와 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수인 5KHz까지 증가할 때, 측정된 SNDR와 SFDR은 각각 55dB, 70dB 수준을 유지하는 것을 알 수 있다. 제안하는 시제품 ADC의 주요 성능 측정 결과는 표 2에 요약하였다.

V. 결 론

본 논문에서는 motor control, 3-phase power control 등의 각종 센서 응용과 고성능 휴대용 미디어 영상처리 시스템, optical 네트워크 및 고속 모뎀 등의 통신 시스템 분야에 온-칩으로 응용하기 위한 12비트 200KHz 초소형 저전력 알고리즘 ADC를 구현하기 위해 다음의 설계 및 레이아웃 기법들을 제안하였다.

첫째, 제안하는 ADC는 요구되는 고해상도와 전력 소모 및 면적을 최적화하기 위해 파이프라인 구조의 하나

의 단만을 반복적으로 사용하는 알고리즘 구조로 설계하였다. 둘째, 입력단 SHA는 시스템 응용의 고집적도에 적합하도록 8개의 입력을 사용할 수 있도록 하였으며, 간단한 디코더 회로를 통하여 입력 채널을 선택할 수 있도록 하였다. 셋째, SHA 및 MDAC에 사용하는 증폭기에는 샘플링하는 클럭의 반 주기 동안에 동작 전류를 차단하고, 나머지 반 주기인 증폭하는 동안에 다시 동작 전류를 공급하되 일정 순서에 따라 처리하는 향상된 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 전력 소모를 줄였다. 넷째, 전체 ADC 해상도에 결정적인 영향을 주는 MDAC에서 사용하는 커패시터에는 소자 부정합을 최소화하기 위해서 단위 커패시터의 상층기판과 하층기판을 각각 별도로 인접 신호선과 분리하고 사용가능한 모든 금속 층들로 둘러싸서 주변 조건을 인접한 신호에 관계없이 완전히 동일하게 함으로써 소자 부정합을 최소화하는 인접 신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법을 적용하였다. 다섯째, 고해상도 ADC에 필수적인 안정된 기준 전압을 위해서 기준 전류 및 전압 발생기를 온-칩으로 집적하되 사용자의 필요에 따라 선택적으로 외부에서 기준 전압을 인가하도록 하였으며, 증폭기가 통상적인 strong inversion 영역에 아닌 weak inversion 영역에서 동작할 수 있도록 DNCK의 제어신호를 두어 낮은 주파수 영역에서의 동작을 요구하는 응용분야에서의 전력 소모를 한 층 더 최소화 할 수 있도록 설계하였다. 마지막으로, ADC의 동작 시 발생할 수 있는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS 바이패스 커패시터를 구현하였다.

제안하는 시제품 ADC는 동부일렉트로닉스 0.18um n-well 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL과 INL은 각각 최대 0.76LSB, 2.47LSB 수준을 보이며, 200KS/s의 정상 동작 속도 및 10KS/s의 다운 샘플링 속도에서 SNDR 및 SFDR이 각각 최대 55dB, 70dB 수준을 보인다. 또한, 전력 소모는 1.8V 전원 전압에서 각각 0.94mW 및 0.63mW이며, 시제품 ADC의 칩 면적은 0.47mm²이다.

참 고 문 헌

[1] H. S. Lee, "A 12-b 600ks/s digitally self-calibrated pipelined algorithmic ADC," *IEEE J. Solid-State Circuits*, vol. 29, no. 4, pp. 509-515,

- April 1994.
- [2] J. S. Wang and C. L. Wey, "A 12-bit 100-ns/bit 1.9-mW CMOS switched-current cyclic A/D converter," *IEEE Trans. Circuits Syst. II*, vol. 46, pp. 507-516, May 1999.
 - [3] K. Satou et al., "A 12bit 1MHz ACD with 1mW power consumption," in *Proc. CICC*, May 1994, pp. 515-518.
 - [4] G. Promitzer, "12-bit low-power fully differential switched capacitor noncalibrating successive approximation ADC with 1MS/s," *IEEE J. Solid-State Circuits*, vol. 37, no. 7, pp. 1138-1143, July 2001.
 - [5] L. Cong and W. C. Black, "A new charge redistribution D/A and A/D converter technique pseudo C-2C ladder," in *Proc. IEEE Midwest Symposium*, vol. 1, pp. 498-501, Aug. 2000.
 - [6] J. Doyle, K. Gallagher, and C. Lyden, "A low power 12-bit ADC for systems applications," *IEE colloquium*, Sept. 1998, pp. 17/1-17/4.
 - [7] B. P. Brandt and B. A. Wooley, "A 50-MHz multibit sigma-delta modulator for 12-b 2-MHz A/D conversion," *IEEE J. Solid-State Circuits*, vol. 26, no. 12, pp. 1746-1756, Dec. 1991.
 - [8] J. Li, G. C. Ahn, D. Y. Chang, and U. K. Moon, "A 0.9-V 12-mW 5-MSPS algorithmic ADC with 77-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 40, no. 4, pp. 960-969, April 2005.
 - [9] D. Y. Chang and S. H. Lee, "Design Techniques for a Low-Power Low-Cost CMOS A/D Converter," *IEEE J. Solid-State Circuits*, vol. 33, no. 8, pp. 1244-1248, Aug. 1998.
 - [10] B. L. Jeon and S. H. Lee, "A 10b 50MHz 320MW CMOS A/D converter for video applications," *Transactions on Consumer Electronics*, vol. 45, no. 1, pp. 252-258, Feb. 1999.
 - [11] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14b-linear capacitor self-trimming pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 464-465.
 - [12] S. Y. Chuang and T. L. Sculley, "A digitally self-calibrating 14-bit 10-MHz CMOS pipelined A/D converter," *IEEE J. Solid-State Circuits*, vol. 37, no. 6, pp. 674-683, June, 2002.
 - [13] J. Guilherme et al., "A pipeline 15-b 10-Msample/s analog-to-digital converter for ADSL applications," in *IEEE International Symposium on Circuits and Systems*, May 2001, pp. 396-399.
 - [14] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15b 20MS/s CMOS pipelined ADC with digital background calibration," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 454-455.
 - [15] E. Siragusa and I. Galton, "A digitally enhanced 1.8V 15b 40MS/s CMOS pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 452-453.
 - [16] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1047-1056, May 2005.
 - [17] S. Hisano and S. E. Sapp, "A 16-bit, 20MSPS CMOS pipeline ADC with direct INL detection algorithm," in *Proc. IEEE CICC*, Sept. 2003, pp. 417-420.
 - [18] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500kS/s 6mW 0.5mm² ADC with 0.13um CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 76-77.
 - [19] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.
 - [20] D. J. Comer and D. T. Comer, "Using the weak inversion region to optimize input stage design of CMOS op amp," *IEEE Transactions on Circuit and Systems II*, vol. 51, pp. 8-14, Jan. 2004.
 - [21] C. Popa and D. Coadă, "A new linearization technique for a cmos differential amplifier using bulk-driven weak inversion MOS transistors," in *Symp. Signals Circuits and Systems*, vol. 2, July 2003, pp. 589-592.
 - [22] E. Seevinck, E. A. Vittoz, M. du Plessis, T. Joubert, and W. Beetge, "CMOS translinear circuits for minimum supply voltage," *IEEE Transactions on Circuit and Systems II*, vol. 47, pp. 1560-1564, Dec. 2000.
 - [23] C. C. Enz and E. A. Vittoz, "CMOS low-power analog circuit design," *Designing Low-Power Digital Systems, Emerging Technologies*, pp. 79-133, May 1996.

저 자 소 개



김 영 주(학생회원)
 2005년 서강대학교 전자공학과
 학사.
 2005년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등임.>



채 희 성(정회원)
 2004년 서경대학교 전자공학과
 학사.
 2006년 서강대학교 전자공학과
 석사.
 2006년~현재 엠텍비전(주)
 연구원.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설
 계, 집적회로 설계, 혼성모드 회로 설계 등임.>



구 용 서(평생회원)
 1981년 서강대학교 전자공학과
 학사.
 1983년 서강대학교 전자공학과
 석사.
 1993년 서강대학교 전자공학과
 공학박사.

1983년~1993년 한국전자통신연구원(ETRI)
 선임 연구원.
 1993년~현재 서경대학교 전자공학과 부교수.
 <주관심 분야 : Smart Power IC 설계, 나노 ESD
 보호회로 설계.>



임 신 일(평생회원)
 1980년 서강대학교 전자공학과
 학사.
 1983년 서강대학교 전자공학과
 석사.
 1995년 서강대학교 전자공학과
 공학박사.

1982년~1991년 한국전자통신연구원(ETRI)
 선임 연구원.
 1991년~1995년 전자부품연구원(KETI)
 선임연구원
 1995년~현재 서경대학교 컴퓨터공학과 부교수.
 <주관심 분야 : 아날로그 IC설계, 혼성회로 칩설
 계, 고속 데이터 변환기(A/D, D/A) 설계, 통신용
 IC설계.>



이 승 훈(평생회원)
 1984년 서울대학교 전자공학과
 학사.
 1986년 서울대학교 전자공학과
 석사.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.

1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab
 (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior
 design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기
 (A/D, D/A) 설계 등임.>