

논문 2006-43SD-11-6

DMB 응용을 위한 10b 25MS/s 0.8mm² 4.8mW 0.13um CMOS A/D 변환기 (A 10b 25MS/s 0.8mm² 4.8mW 0.13um CMOS ADC for Digital Multimedia Broadcasting applications)

조 영 재*, 김 용 우*, 이 승 훈**

(Young-Jae Cho, Yong-Woo Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 Digital Video Broadcasting (DVB), Digital Audio Broadcasting (DAB) 및 Digital Multimedia Broadcasting (DMB) 등과 같이 저전압, 저전력 및 소면적을 동시에 요구하는 고성능 무선 통신 시스템을 위한 10b 25MS/s 0.8mm² 4.8mW 0.13um CMOS A/D 변환기 (ADC)를 제안한다. 제안하는 ADC는 요구되는 해상도 및 속도 사양을 만족시키면서, 동시에 면적 및 전력 소모를 최소화하기 위해 2단 파이프라인 구조를 사용하였으며, 스위치 기반의 바이어스 전력 최소화 기법 (switched-bias power reduction technique)을 적용하여 전체 전력 소모를 최소화하였다. 입력단 샘플-앤-홀드 증폭기는 낮은 문턱전압을 가진 트랜지스터로 구성된 CMOS 샘플링 스위치를 사용하여 10비트 이상의 해상도를 유지하면서, Nyquist rate의 4배 이상인 60MHz의 높은 입력 신호 대역폭을 얻었으며, 전력소모를 최소화하기 위해 1단 증폭기를 사용하였다. 또한, Multiplying D/A 변환기의 커패시터 열에는 소자 부정합에 의한 영향을 최소화하기 위해서 인접신호에 덜 민감한 3차원 완전 대칭 구조의 커패시터 레이아웃 기법을 제안하며, 기준 전류 및 전압 발생기는 온-칩으로 집적하여 잡음을 최소화하면서 필요 시 선택적으로 다른 크기의 기준 전압을 외부에서 인가할 수 있도록 설계하였다. 또한, 다운 샘플링 클럭 신호를 사용하여 바이어스 전류를 제어함으로써 10비트의 해상도에서 응용 분야에 따라서 25MS/s 뿐만 아니라 10MS/s의 동작 속도에서 더 낮은 전력 사용이 가능하도록 하였다. 제안하는 시제품 ADC는 0.13um 1P8M CMOS 공정으로 제작되었으며, 측정된 최대 DNL 및 INL은 각각 0.42LSB 및 0.91LSB 수준을 보인다. 또한, 25MS/s 및 10MS/s의 동작 속도에서 최대 SNDR 및 SFDR이 각각 56dB, 65dB이고, 전력 소모는 1.2V 전원 전압에서 각각 4.8mW, 2.4mW이며 제작된 ADC의 칩 면적은 0.8mm²이다.

Abstract

This work proposes a 10b 25MS/s 0.8mm² 4.8mW 0.13um CMOS A/D Converter (ADC) for high-performance wireless communication systems such as DVB, DAB, and DMB simultaneously requiring low voltage, low power, and small area. A two-stage pipeline architecture minimizes the overall chip area and power dissipation of the proposed ADC at the target resolution and sampling rate while switched-bias power reduction techniques reduce the power consumption of analog amplifiers. A low-power sample-and-hold amplifier maintains 10b resolution for input frequencies up to 60MHz based on a single-stage amplifier and nominal CMOS sampling switches using low threshold-voltage transistors. A signal insensitive 3-D fully symmetric layout reduces the capacitor and device mismatch of a multiplying D/A converter while low-noise reference currents and voltages are implemented on chip with optional off-chip voltage references. The employed down-sampling clock signal selects the sampling rate of 25MS/s or 10MS/s with a reduced power depending on applications. The prototype ADC in a 0.13um 1P8M CMOS technology demonstrates the measured DNL and INL within 0.42LSB and 0.91LSB and shows a maximum SNDR and SFDR of 56dB and 65dB at all sampling frequencies up to 25MS/s, respectively. The ADC with an active die area of 0.8mm² consumes 4.8mW at 25MS/s and 2.4mW at 10MS/s at a 1.2V supply.

Keywords : ADC, CMOS, DMB, 저전압, 저전력

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

※ 본 연구는 IDEC, 2006년 「서울시 산학연 협력사업」
및 산업자원부 시스템2010과제에 의해 지원되었음.
접수일자: 2006년8월1일, 수정완료일: 2006년10월25일

I. 서 론

최근 휴대용 무선 통신기기 및 전자제품 등의 고품질
화, 네트워크화, 다기능화, 소형화 추세에 따라 많은 시

스탬이 하나의 칩 속에 집적되는 System-on-a-Chip (SoC) 설계 방식이 절대적으로 필요하며, 이런 시스템 응용을 위해 고속 및 고해상도를 가지면서 1V 수준의 낮은 전원 전압에서 작은 면적을 차지하는 CMOS 디지털 회로와 함께 집적 가능하도록 1mm² 이하의 작은 면적을 만족시키는 고성능 A/D 변환기 (analog-to-digital converter : ADC)의 수요가 급증하고 있다. 특히, Digital Video Broadcasting (DVB), Digital Audio Broadcasting (DAB) 및 Digital Multimedia Broadcasting (DMB) 등을 위한 고성능 무선 통신 응용 시스템에 사용되는 ADC는 10비트 수준의 해상도, 10MS/s에서 20MS/s 수준의 동작 속도 및 60MHz 수준의 높은 입력 신호 대역폭을 가지며 SoC 응용을 위해 저전압, 저전력 및 소면적이 동시에 필수적으로 요구된다.

기존의 다양한 ADC 구조 중에서 10비트의 해상도 및 10MS/s에서 20MS/s 수준의 동작 속도 조건을 동시에 만족하기 위해서 면적 및 전력 소모를 최적화하는 파이프라인 구조가 많이 사용되고 있는 추세이다. 최근에 발표된 10비트의 해상도에서 이런 요구사항에 부합되는 파이프라인 CMOS ADC를 본 논문에서 제안하는 ADC와 함께 그림 1에 나타내었다^{[1]-[15]}. 그림 1에서 보듯이 대부분의 ADC들은 증폭기의 부하 커패시터 성분이 작아 고속 동작에 유리한 4단 이상의 다단 파이프라인 구조로 구현되었으나 사용하는 단 수가 많아지면서 면적 및 전력 소모가 증가하는 경향이 있다. 그 반면, 본 논문에서 제안하는 ADC는 4단 이상의 다단 파이프라인 구조에 비해 증폭기의 높은 피드백 이득 (feedback gain) 및 큰 부하 커패시터 성분으로 인해 동작 속도는 어느 정도 줄어들지만, 목표 처리 속도인 최대 25MS/s의 성능을 유지하는 범위 내에서 뒷단으로부터 입력으로 유입되는 오차 (input-referred error)를 감소시켜 잡음 및 소자의 부정합의 영향을 줄이면서 필요한 증폭기의 개수를 줄여 면적 및 전력 소모를 최소화할 수 있는 2단 파이프라인 구조로 구현하였다. 또한, 사용되는 공정이나 시스템의 구조에 독립적이고, 요구되는 동작 속도에서도 성능을 저하시키지 않으면서 전력 소모를 최소화 할 수 있도록 사용되지 않는 클럭의 반주기 동안 각 블록의 증폭기에 공급되는 전류를 일부 차단하였다가, 나머지 반주기 동안 일정한 순서에 따라 순차적으로 바이어스 전류를 공급함으로써 증폭기의 전력 소모를 줄이는 전력 최소화 기법을 적용하여, 1.2V의 낮은 전원 전압에서 저전력을 구현하였다. 본 논문에서 제안하는 ADC는 그림 1에 나타난 것과 같이 샘플링

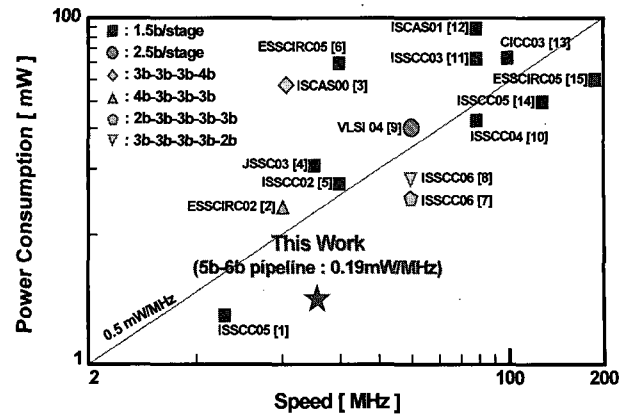


그림 1. 최근에 발표된 10비트 CMOS ADC들의 샘플링 속도 및 전력 소모 비교

Fig. 1. Sampling rate and power consumption of recently published 10b CMOS ADCs.

플링 속도에 대한 전력 소모 측면에서 0.19mW/MHz로 세계 최고 수준임을 알 수 있다.

본 논문에서는 10비트 해상도, 1.2V의 전원 전압에서 최소 10MS/s 이상 최대 25MS/s의 동작 속도 및 저전력을 만족시키는 ADC 사양을 구현하기 위해, (1) 2단 파이프라인 구조를 채택하여 전체 칩의 면적과 전력 소모를 최소화하였으며, (2) 증폭기에 스위치 기반의 바이어스 회로를 적용한 전력 최소화 기법으로 아날로그 증폭기의 전력 소모를 최소화 하였고, (3) 입력단 샘플-앤-홀드 증폭기 (SHA)에는 낮은 전원을 사용하는 기존의 ADC에서 흔히 볼 수 있는 복잡한 부트 스트래핑 회로를 사용하지 않고 낮은 문턱전압을 가진 트랜지스터만으로 구성된 CMOS 샘플링 스위치를 최적화하여 높은 입력 신호 대역폭을 갖도록 하였고, 1단 증폭기를 채택하여 전력 소모를 최소화하였으며, (4) ADC 정적 특성에 결정적 영향을 끼치는 multiplying D/A 변환기 (MDAC)에는 높은 매칭 정확도를 얻기 위하여 인접신호에 덜 민감한 향상된 3차원 완전 대칭 커패시터 레이아웃 기법을 제안하였으며, (5) 온도 및 전원 전압에 독립적인 기준 전류 및 전압 발생기를 온-칩으로 집적하여 중요한 아날로그 블록에 기준 전류 및 전압을 안정적으로 공급하였으며, 입력 및 출력 패드의 수를 고려하여 선택적으로 외부 기준 전압을 사용할 수 있도록 하였다. 또한, 각 블록의 증폭기에 공급되는 바이어스 전류를 제어하여 응용분야에 따라 선택적으로 더 적은 전력을 소모하면서 10MS/s부터 25MS/s에 이르는 샘플링 속도에서 동작할 수 있도록 하였다. II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간

략히 요약한다. IV 장에서는 시제품 ADC의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 10b 25MS/s ADC는 각 단에서 5비트, 6비트를 결정하는 2단 파이프라인 구조를 가지며, ADC 전체 구조는 그림 2와 같이, 입력단 SHA, 1개의 5b MDAC, 1개의 5b flash ADC, 1개의 6b flash ADC, 온-칩 기준 전류 및 전압 발생기, 디지털 교정 회로 (digital correction logic) 및 클럭 발생기로 구성된다.

하나의 입력 클럭으로부터 두 개의 중첩되지 않는 클럭은 칩 내부에서 발생시켰고, 두 단의 flash ADC로부터 얻어진 11비트의 디지털 출력은 SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough) 등의 비선형 오차를 교정하기 위해 각 단의 1비트씩을 중첩시켜 10비트의 출력을 얻는 디지털 교정 방식으로 교정된다. 온-칩 기준 전류 및 전압 발생기는 온도와 전원 전압에 관계없이 정확하고 안정된 기준 전류 및 전압을 얻기 위해 집적되었으며, 전체 회로에는 전력 최소화를 위한 제어입력 및 다운 샘플링 클럭 선택 모드를 갖고 있다.

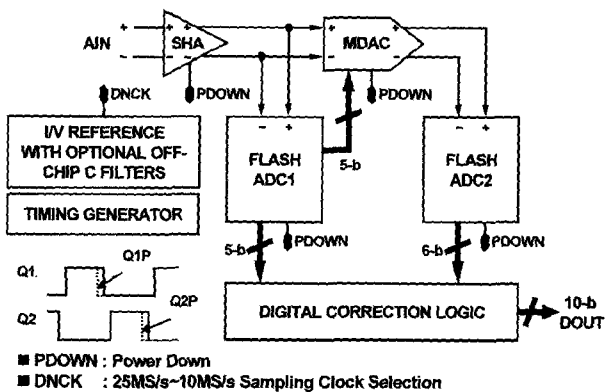


그림 2. 제안하는 10b 25MS/s 0.13um CMOS ADC
Fig. 2. Proposed 10b 25MS/s 0.13um CMOS ADC.

III. 제안하는 주요 회로 설계 기법

1. 스위치 기반의 바이어스 전력 최소화 기법을 적용한 저전력 증폭기

아날로그 집적회로 혹은 아날로그와 디지털 회로가 공존하는 대규모 혼성 모드(mixed-mode) 집적회로 시

스템에서 전력을 가장 많이 소모하는 블록 중의 하나는 증폭기이며, 저전력 시스템의 구현을 위해서 낮은 전력으로 동작하는 증폭기의 설계가 필수적이다. 기존의 논문에서는 인접한 단거리 증폭기를 공유하여 증폭기의 개수를 줄임으로써 전력 소모를 최소화하기도 했으나 증폭기가 리셋 (reset) 없이 계속 사용되어 제거되지 않는 증폭기의 오프셋 전압과 추가된 많은 스위치로 인한 직렬 저항과 기생 커패시턴스 등으로 인해 전체 칩 성능에 나쁜 영향을 끼칠 수 있으며 레이아웃도 복잡해진다는 단점이 있다^{[11],[16]}. 또한, 증폭기를 사용하지 않아도 되는 샘플링 모드 동안에 증폭기의 동작 전류를 제어하여 전력 소모를 줄일 경우, 출력단에 생길 수 있는 순간적인 오버슈트 (overshoot) 및 위상 변화로 인한 불안정한 동작으로 정착 시간을 증가시킨다^[17]. 이와 같은 문제점들은 스위치 기반의 바이어스 기법을 통해 해결할 수 있다^{[18],[19]}. 본 논문에서는 안정된 저전력 시스템의 구현을 위해 개선된 스위치 기반의 바이어스 기법을 적용하는 동시에 기존의 회로와 달리 바이어스 회로에 사용되는 소자의 숫자를 최소화하였다. 그림 3과 그림 4는 SHA와 MDAC에 사용되는 증폭기 및 독립적으로 사용되는 바이어스 회로를 보여준다.

그림 3과 같이 1단 증폭기를 갖는 SHA에서 zero가 높은 주파수 영역에 위치하도록 설계되는 경우, f_{-3dB}

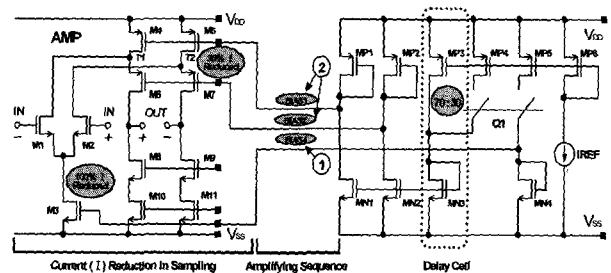


그림 3. 전력 최소화 기법을 적용하는 SHA 회로
Fig. 3. SHA circuit based on a switched power-reduction technique.

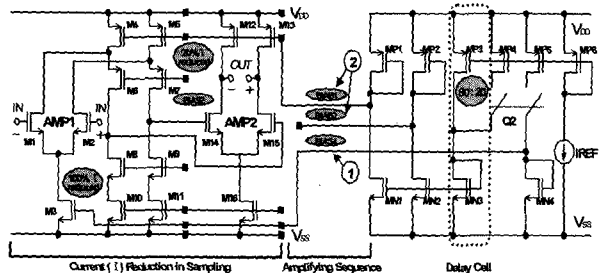


그림 4. 전력 최소화 기법을 적용하는 MDAC 회로
Fig. 4. MDAC circuit based on a switched power-reduction technique.

와 단위 주파수 이득 폭 (unit-gain bandwidth : w_{unity})에서의 위상 여유는 식 (1)과 식 (2)로 근사될 수 있다^{[20],[21]}. 이 때, $g_{m,m1}$ 은 M1 및 M2의 입력 트랜스컨덕턴스 (trans-conductance), $g_{m,m6}$ 은 M6 및 M7의 트랜스컨덕턴스, C_L 은 출력단에서의 부하 커패시터, C_P 는 T1, T2의 기생 커패시턴스를 나타낸다. 증폭기가 안정적으로 동작하기 위해서는 샘플링 모드에서 홀딩 모드로 변환시 $g_{m,m1}$ 이 빨리 증가해야 하며, 정상 상태 (stead state)에 이르기까지 상대적으로 $g_{m,m6} > g_{m,m1}$ 의 관계를 유지해야 한다^[19]. 이와 동시에 2단 증폭기 구조를 갖는 MDAC의 경우도 f_{-3dB} 와 위상 여유가 식 (3) 및 (4)처럼 근사될 수 있다. 식 (3) 및 (4)에서, g_{m1} 은 첫 번째 증폭기의 M1 및 M2의 입력 트랜스컨덕턴스, g_{m14} 는 두 번째 증폭기의 M14 및 M15의 입력 트랜스컨덕턴스, C_C 는 보상 커패시터, C_L 은 부하 커패시터를 나타낸다. 이러한 MDAC의 경우도 SHA의 경우와 같이 증폭기의 안정적인 동작을 얻기 위해서는 샘플링 모드에서 증폭 모드로 변환시 g_{m1} 이 빨리 증가해야 하며, 정상 상태에 이르기까지 상대적으로 $g_{m14} > g_{m1}$ 의 관계를 유지해야 한다.

$$f_{-3dB} \propto \frac{g_{m,m1}}{C_L} \tag{1}$$

$$\begin{aligned} \Phi_{PM} &\cong 90^\circ - \tan^{-1} \left(\frac{w_{unity}}{w_{P2}} \right) \\ &= 90^\circ - \tan^{-1} \left(\frac{g_{m,m1}}{C_L} \cdot \frac{C_P}{g_{m,m6}} \right) \end{aligned} \tag{2}$$

$$f_{-3dB} \propto \frac{g_{m1}}{C_C} \tag{3}$$

$$\begin{aligned} \Phi_{PM} &\cong 90^\circ - \tan^{-1} \left(\frac{w_{unity}}{w_{P2}} \right) \\ &= 90^\circ - \tan^{-1} \left(\frac{g_{m1}}{C_C} \cdot \frac{C_L}{g_{m14}} \right) \end{aligned} \tag{4}$$

증폭기가 샘플링 모드로 동작할 때 그림 3과 그림 4에서 보는 바와 같이 BIAS1, BIAS2 및 BIAS4의 공급을 일부 차단하고, 홀딩 및 증폭 모드로 동작할 때 증폭기에 공급되는 바이어스 전류를 MP3 및 MN3로 이루어진 전류 지연 셀에 의해서 BIAS4가 먼저 켜진 후, BIAS1, BIAS2를 그 다음에 동시에 켜지도록 순차적으

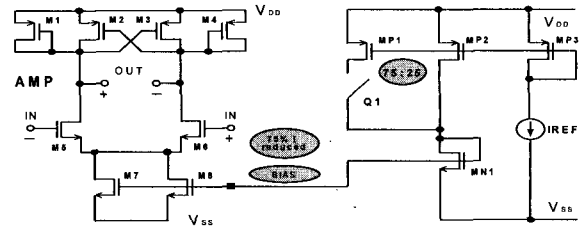


그림 5. 전력 최소화 기법을 적용하는 flash ADC 블록 비교기의 증폭기 회로

Fig. 5. Power-reduced comparator pre-amplifier in flash ADCs.

로 공급함으로써, SHA에서는 $g_{m,m1}$ 을 우선적으로 증가시켰으며, 정상 상태에 이르기까지 $g_{m,m6} > g_{m,m1}$ 의 관계를 유지하도록 하였다. 마찬가지로 MDAC에서도 SHA와 같이 바이어스 전류를 일정한 순서에 따라 순차적으로 공급함으로써 g_{m1} 을 우선적으로 증가시켰으며 $g_{m14} > g_{m1}$ 의 관계를 유지하도록 함으로써 안정적인 정착 시간을 가지며 증폭기가 안정적으로 동작할 수 있도록 설계하였다. 한편, 각 바이어스 회로에서는 증폭기의 동작에 영향을 주지 않는 범위 내에서 전류 반복기에 사용되는 트랜지스터의 개수를 최소화하였으며, MDAC의 2단 증폭기의 경우 첫 번째 증폭기 AMP1과 두 번째 증폭기 AMP2의 바이어스 전류를 각각 분리하여 공급하지 않고, AMP1에 사용되는 BIAS1을 AMP2도 공유함으로써 전체 전력소모에 영향을 주는 바이어스 회로에서 전력 소모를 줄였다. 전체 ADC에 사용되는 sub-ranging flash ADC들의 경우에도 요구되는 정착 시간을 만족하는 범위 내에서 그림 5와 같은 방법으로 증폭기 동작동안 75% 전류를 줄여도 증폭기가 안정적으로 동작하게 하였다.

이러한 기법을 적용하여 설계된 SHA, MDAC 및 flash ADC 회로에서의 전력 소모가 전력 최소화 기법을 적용하지 않은 경우보다 아날로그 증폭기 부분은 각각 15%, 10% 및 38% 정도 감소하며, 바이어스 회로 및 주변의 디지털 회로를 포함하는 해당 블록들의 전체 전력소모는 각각 10%, 10% 및 17%가 감소하였다.

2. 60MHz 이상의 높은 입력 주파수 대역을 갖는 SHA 회로

통상적으로 범용 ADC는 Nyquist 입력 주파수 정도까지의 신호를 사양 안에 적절히 동작하도록 설계되며, Nyquist 입력 주파수 이상의 신호를 처리하기 위해서는 SHA에서 큰 크기의 CMOS 스위치를 사용하거나 혹은

기존의 부트스트래핑 기법을 사용하여 입력 신호의 변화에 관계없이 샘플링 스위치의 게이트-소스 사이 전압을 일정하게 유지시켜 샘플링 스위치의 온-저항 변화로 인한 신호의 왜곡을 줄이고 높은 입력 주파수를 얻을 수 있도록 하였다^[6]. 그러나 본 논문에서 사용하는 SHA는 이러한 복잡하고 큰 면적을 차지하는 부트스트래핑 기법을 사용하지 않고, CMOS 샘플링 스위치와 홀딩 스위치의 W/L 사이즈 및 비율만을 최적화하여 Nyquist rate의 4배 이상이 되는 60MHz 정도의 입력 주파수에서도 50dB 이상의 SNDR 요구사항을 유지하도록 하였다.

한편, SHA는 작은 면적과 적은 전력 소모를 고려하여 1단 증폭기와 flip-around 구조의 샘플링 기법을 채택하였으며, 스위치들에 낮은 문턱전압을 가진 트랜지스터를 사용함으로써 스위치들의 크기를 줄였다. SHA의 입력 커패시터의 크기는 요구되는 kT/C 잡음 및 1.0Vp-p의 입력 신호에서 10비트 수준의 정확도 등을 고려하여 0.8pF으로 설계하였다.

3. 3차원 완전 대칭 레이아웃 기법 기반의 저전력 소면적 5b MDAC

기존의 ADC의 Differential Non-Linearity (DNL), Integral Non-Linearity (INL)과 같은 정적 성능 및 Signal-to-Noise-and-Distortion Ratio (SNDR), Spurious-Free Dynamic Range (SFDR)와 같은 동적 성능을 결정하는 주요 요인 중 하나는 MDAC 커패시터 열 간의 부정합이다. 높은 해상도를 요구하는 ADC의 경우에는 커패시터 열의 부정합을 제거하기 위해 보정기법을 주로 사용하나 이러한 보정기법은 추가적인 회로로 인해 면적과 전력 소모 및 비용 등을 증가시키는 단점이 있다. 제안하는 높은 커패시터 매칭 정확도를 얻기 위한

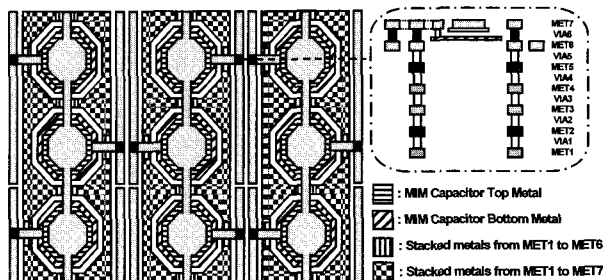


그림 6. 높은 매칭 정확도를 위해 제안하는 3차원 완전 대칭 MDAC 커패시터 레이아웃

Fig. 6. Proposed 3-D fully symmetric MDAC capacitor layout for high matching accuracy.

향상된 3차원 완전 대칭 레이아웃 기법은 커패시터 열의 부정합을 추가적인 보정 회로 없이 고도로 정돈된 레이아웃 기법으로 상당 부분 감소시킬 수 있다. 그림 6은 MDAC 커패시터 열의 부정합을 최소화하여 높은 커패시터 매칭을 얻기 위한 제안하는 3차원 완전 대칭 구조를 가진 레이아웃 기법을 보여준다.

그림 6의 MDAC 커패시터 열은 1P8M 공정의 사용 가능한 8개의 금속선중 최상위 금속선을 제외한 7개의 금속선을 사용한 Metal-Insulator-Metal (MIM) 커패시터 열이다. MIM 구조를 사용함으로써 기존의 poly-substrate, poly-poly, metal-poly 구조에 비해 기생 커패시턴스 성분을 줄일 수 있으며, MDAC에 사용하는 단위 커패시터들은 공정상의 차에 의한 부정합 영향을 최소화하기 위해 커패시터의 상층기판과 하층기판을 연결하기 위해서 사용되는 금속선을 제외한 나머지 금속층들로 둘러싸도록 하였다. 이와 같은 레이아웃 방식은 각각의 단위 커패시터들의 주변 조건을 같게 만들어주므로 기생 커패시턴스가 동일한 양상으로 형성될 수 있다. 기존의 논문 [22]에서는 단위 커패시터들의 하층기판과 연결된 인접 신호 선을 포함하여 단위 커패시터를 사용 가능한 모든 금속 층으로 둘러싸도록 하였으나 본 논문에서는 이를 개선하여 단위 커패시터들을 인접 신호 선과 완전히 분리하고 사용 가능한 금속 층으로 둘러싸도록 하여 보다 높은 커패시터 매칭 정확도를 얻도록 하였다. 추가로 사용되는 비활용 (dummy) 커패시터들은 공정상의 부정확한 에칭으로 인해 발생하는 단위 커패시터 열의 바깥쪽에 위치한 단위 커패시터간의 부정합을 줄이기 위해 사용되었다.

한편, 제안하는 향상된 레이아웃 기법을 적용한 5b MDAC에는 사용되는 커패시터들의 숫자를 줄이기 위해 전하 재분배 (charge redistribution) 원리에 의해 2개의 단위 커패시터를 단일 커패시터로 합치는 병합 커패시터 스위칭 (Merged-Capacitor Switching : MCS) 기법을 적용하여 면적 및 속도를 향상시켰다^[23]. 요구되는 kT/C 잡음 및 10b 이상의 매칭을 위해 MDAC에 사용되는 단위 커패시터 크기는 50fF으로 설계하였다.

4. 다운 샘플링 클럭 기능을 갖는 온-칩 CMOS 기준 전류 및 전압 발생기

제안하는 ADC에는 그림 7과 같이 최대 25MS/s의 동작 속도에서 낮은 전력으로 동작하는 온-칩 기준 전류 및 전압 회로를 집적하여 ADC가 독립적으로 동작

할 수 있도록 설계하였다. 그림 7에서 기준 전류 및 전압 발생기는 온도 및 전원 전압에 덜 민감하도록 각 블록에 기준 전류 및 전압을 공급하며, 3비트의 IVCN 디지털 코드에 의해 $\pm 50\%$ 이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고^[24], 저전력 휴대용 시스템 응용을 위해 Power Off (=POFF) 신호를 사용하여 비동작 모드시 ADC 전체가 3uW 이하의 전력을 소모하도록 하였으며, External Reference (=EXTRF) 신호를 두어 필요에 따라 외부에서 다른 기준 전압 값을 인가할 수 있도록 하였다. EXTRF 신호가 low일 경우, 칩 내부에서 발생시킨 기준 전압을 사용하게 되며 EXTRF 신호가 high일 경우, 출력단의 기준 전압 노드가 높은 임피던스가 되도록 하여 외부 기준 전압을 사용하게 된다.

또한, 최근에서 초저전력 회로 구현을 위해서 증폭기의 동작이 통상적인 강 반전 (strong inversion) 영역이 아닌 약 반전 (weak inversion) 영역에서의 동작 여부가 관심의 대상으로 떠오르고 있다^{[25]-[28]}. 본 논문의 주요 응용 분야 중의 하나인 DMB 회로에 사용되는 ADC는 60MHz 수준의 입력 신호 대역폭 및 10MS/s에서 20MS/s 수준의 동작 속도를 만족해야 하며, 이에 따라 최대 25MS/s 속도를 목표로 설계한 ADC의 전력 소모 대부분을 차지하는 증폭기에 공급되는 바이어스 전류를 제어하여 전력 소모를 추가적으로 줄일 수 있도록 하였다. 따라서 제안하는 ADC의 온-칩 기준 전류 및 전압 발생기에 그림 7과 같이 다운 샘플링 클럭 신호 (DNCK)를 두어 SHA, MDAC 및 flash ADC의 증폭기에 공급하는 바이어스 전류를 제어하였으며, 이를 바탕으로 증폭기가 강 반전 영역 및 약 반전 영역의 두 영역에서 모두 동작할 수 있도록 함으로써, 두 영역에서의 동작을 정량적으로 검증하면서 동시에 10MS/s의 동작 속도에서 전력 소모를 최적화하였다. 즉, SHA, MDAC 및 flash ADC 회로 블록에 사용되는 증폭기들은 DNCK 신호가 low 일 경우, 강 반전 영역에서 동작하면서 최대 25MS/s의 동작 속도를 가지며, DNCK 신호가 high 일 경우, 약 반전 영역에서 동작하면서 약 10MS/s의 동작 속도를 가진다.

한편, ADC에서 사용되는 기준 전압은 MOS 스위치를 통하여 ADC의 각 동작 블록에 공급되므로, 클럭에 따라 스위치가 ON 및 OFF가 반복되면서 채널 전하도 순간적으로 충전 및 방전을 반복하게 된다. 이때 발생하는 스위칭 잡음과 글리치 등으로 기준 전압 출력 노드의 전압이 10비트 수준의 일정한 값으로 유지되기가

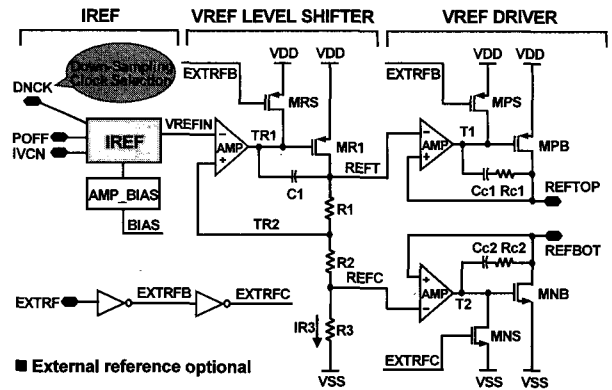


그림 7 저전력 구현을 위해 클럭 선택기능을 갖는 온-칩 기준 전류 및 전압 발생기

Fig. 7. Low-power on-chip current and voltage references with a clock selection mode.

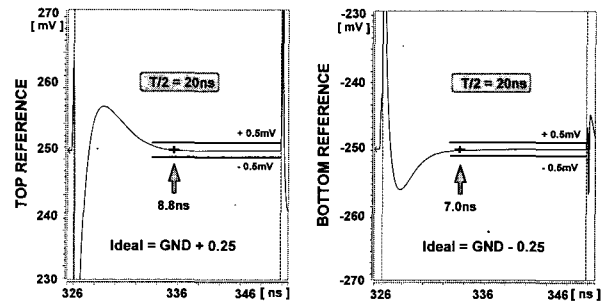


그림 8 온-칩 기준 전압 출력의 모의실험 결과

Fig. 8 Simulated on-chip top and bottom reference voltages.

어렵다. 이를 위해 기존의 경우 기준 전압 출력 노드에 0.1uF 수준의 바이패스 커패시터를 외부에 연결하거나^[24], 온-칩 RC 필터를 사용함으로써 충전 및 방전에 의한 잡음을 해결하였으나^[29], 제안하는 ADC는 처리 속도를 고려하여, 내부에 적절히 설계된 출력 버퍼 회로만으로도 충분히 충전 및 방전에 의한 잡음을 제거하도록 하였다. 그림 8의 모의실험 결과에서 보는 바와 같이 온-칩 기준 전류 및 전압 발생기만으로 25MS/s의 동작 속도에서 각 해당하는 기준 전압 노드가 정착 시간의 50% 이상의 여유를 가지고 충분히 정착함을 알 수 있다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 10b 25MS/s ADC는 0.13um n-well 1P8M CMOS 공정으로 제작되었다. 제안하는 ADC는 범용으로 사용이 가능하나, 주로 고성능 집적 시스템 등에 핵심 IP로 사용할 수 있도록 외부로 연결되는 핀은 입력, 출력 및 전원으로 제한하였다. 그림 9는 시제품

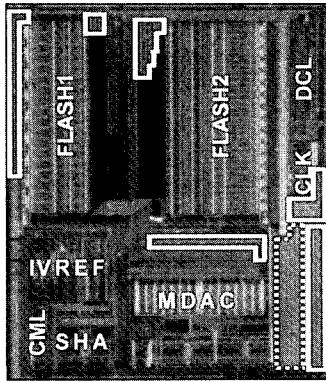


그림 9. 10b 25MS/s 0.13um CMOS ADC 시제품 칩 사진 (0.67mm × 1.18mm)

Fig. 9. Die photograph of the prototype 10b 25MS/s 0.13um CMOS ADC (0.67mm × 1.18mm).

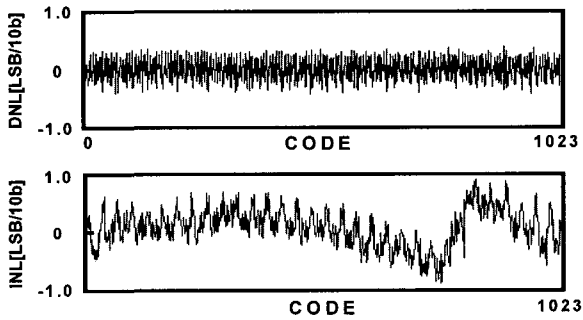


그림 10. 시제품 ADC의 측정된 DNL 및 INL

Fig. 10. Measured DNL and INL of the prototype ADC.

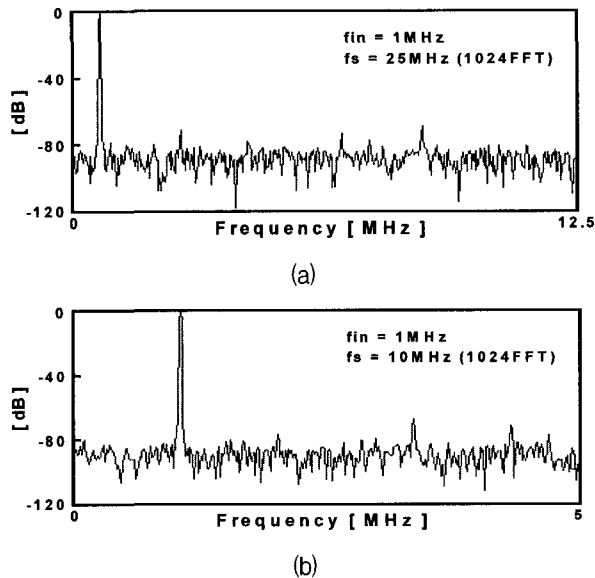
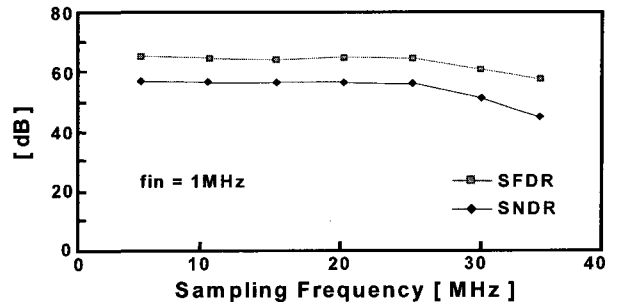
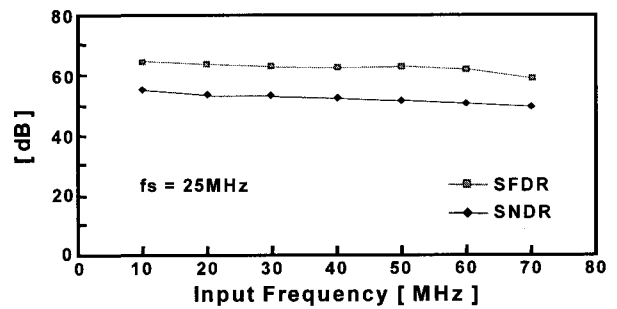


그림 11. 1MHz 입력 주파수에서 측정된 신호 스펙트럼 : (a) nominal 25MS/s 모드 및 (b) 저전력 10MS/s 다운 클럭 모드

Fig. 11. Signal spectrum measured with a 1MHz sinusoidal input at (a) a nominal 25MS/s mode and (b) a low-power 10MS/s down-clock mode.



(a)



(b)

그림 12. 시제품 ADC의 정상적인 25MS/s 모드에서 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수 변화에 따른 SFDR 및 SNDR

Fig. 12. Measured dynamic performance of the prototype ADC at a nominal 25MS/s clock mode : SFDR and SNDR versus (a) fs and (b) fin.

ADC의 칩 사진을 보여주며, 여유 공간에는 각 회로 블록간이 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 온-칩 decoupling 커패시터를 집적하였으며, 그림 9 상에서 □ 부분은 PMOS, ■ 부분은 NMOS로 구현된 decoupling 커패시터이다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 $0.8\text{mm}^2 (= 0.67\text{mm} \times 1.18\text{mm})$ 이며 제안하는 ADC는 DNCK 신호가 low일 때 25MS/s의 속도로 동작하며 1.2V 전원전압에서 4.8mW의 전력을 소모하는 반면, DNCK 신호가 high일 때 10MS/s의 속도로 동작하며 2.4mW의 전력을 소모한다. 시제품 ADC의 측정된 DNL 및 INL은 그림 10에서 보는 바와 같이 각각 최대 0.42LSB, 0.91LSB 수준이다.

그림 11(a) 및 (b)는 각각 시제품 ADC가 1MHz 입력 주파수에서 두 가지 샘플링 클럭인 정상적인 25MS/s 및 낮은 전력을 사용하는 10MS/s 다운 샘플링 클럭 모드에서 측정된 전형적인 신호 스펙트럼을 보여준다.

그림 12 및 그림 13은 각각 정상적인 전력소모를 갖는 25MS/s 및 낮은 아날로그 전력을 사용하는 10MS/s 다운 샘플링 클럭 모드에서 측정된 동적 성능

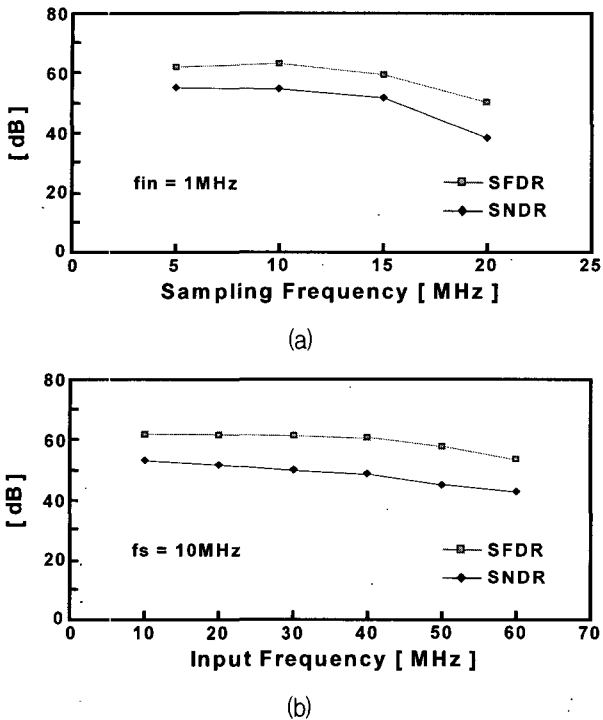


그림 13. 시제품 ADC의 저전력 10MS/s 다운 클럭 모드에서 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수 변화에 따른 SFDR 및 SNDR

Fig. 13. Measured dynamic performance of the prototype ADC at a low-power 10MS/s down-sampling clock mode : SFDR and SNDR versus (a) f_s and (b) f_{in} .

표 1. 시제품 10b 25MS/s 0.13um CMOS ADC 성능 요약

Table 1. Measured performance of the prototype 10b 25MS/s 0.13um CMOS ADC.

	Nominal Mode	Down-Clock Mode
Resolution	10bits	
MAX. Conversion	25MS/s	10MS/s
Process	TSMC 0.13um CMOS	
Input Range	1Vp-p	
DNL	-0.42LSB / +0.41LSB	
INL	-0.89LSB / +0.91LSB	
SNDR	56dB (at $f_{in} = 1\text{MHz}$)	
SFDR	65dB (at $f_{in} = 1\text{MHz}$)	
ADC Core Power	4.8mW @ 1.2V	2.4mW @ 1.2V
Active Die Area	0.8mm ² (= 0.67mm × 1.18mm)	

을 보여준다. 그림 12(a)는 ADC의 동작 속도를 5MS/s에서 35MS/s까지 증가시킬 때, 1MHz의 차동 입력 주파수에서 SNDR 및 SFDR을 나타낸다. 샘플링 속도가 25MHz까지 증가하는 동안 측정된 SNDR과 SFDR은

각각 56dB, 65dB 이상을 유지함을 알 수 있다. 그림 12(b)는 25MS/s의 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수의 4배 이상인 60MHz까지 증가할 때, 측정된 SNDR과 SFDR은 각각 50dB, 62dB 수준을 유지하는 것을 알 수 있다. 저전력을 소모하는 다운 샘플링 클럭 모드에서 측정된 그림 13(a)는 동작 속도를 5MS/s에서 20MS/s까지 증가시킬 때, 1MHz의 차동 입력 주파수에서 SNDR 및 SFDR을 나타낸다. 샘플링 속도가 10MHz까지 증가하는 동안 측정된 SNDR과 SFDR은 각각 56dB, 65dB 이상 유지함을 알 수 있다. 그림 13(b)는 10MS/s의 동작 속도에서, 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 신호가 Nyquist 주파수의 4배 이상인 20MHz까지 증가할 때, 측정된 SNDR과 SFDR은 각각 51dB, 62dB 수준을 유지하는 것을 알 수 있다. 제안하는 시제품 ADC의 주요 성능 측정 결과는 표 1에 요약하였다.

V. 결 론

본 논문에서는 DVB, DAB 및 DMB 등과 같은 고성능 무선 통신 시스템 응용을 위해 요구되는 사양의 10b 25MS/s 0.8mm² 4.8mW 0.13um CMOS ADC를 구현하기 위해 다음의 설계 및 레이아웃 기법들을 제안하였다.

첫째, 제안하는 ADC는 요구되는 10비트 해상도 및 25MS/s의 동작 속도에서 면적과 전력 소모를 최소화하기 위해 2단 파이프라인 구조로 설계하였다. 둘째, 아날로그 영역에서 증폭기를 사용하지 않는 샘플링하는 클럭의 반주기 동안에 동작 전류를 일부 차단하고, 증폭기를 사용하는 홀딩 및 증폭하는 나머지 클럭의 반주기 동안에 일정한 순서에 따라 바이어스 전류를 공급하는 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 전력 소모를 최소화하였다. 셋째, 기존의 높은 입력 대역폭을 처리하기 위해 SHA에서 흔히 사용하던 복잡한 부트스트래핑 회로를 사용하지 않고, 낮은 문턱전압을 가진 트랜지스터만으로 구성된 CMOS 샘플링 스위치를 최적화하여, Nyquist rate의 4배 이상 되는 60MHz 정도의 입력 신호를 처리하도록 하였다. 넷째, 전체 ADC의 해상도에 결정적인 영향을 주는 MDAC의 커패시터 열에는 소자 부정합에 의한 영향을 최소화하기 위해서 단위 커패시터들을 인접 신호 선과 완전히 분리하고 사용가능한 금속층들로 둘러싸서 주변 조건을 인접한 신

호와 관계없이 완전히 동일하게 하여 인접신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법을 제안하였다. 다섯째, 고해상도 ADC에 필수적인 안정된 기준 전압을 위해서 기준 전류 및 전압 발생기를 온-칩으로 집적하되 사용자의 필요에 따라 선택적으로 외부에서 기준 전압을 인가하도록 하였으며, 샘플링 클럭 선택 신호를 두어 정상적인 25MS/s에서 줄어든 10MS/s의 동작 속도에서는 더 낮은 전력으로 동작하게 하였다. 마지막으로, ADC 동작시 발생할 수 있는 EMI 문제와 기능 블록간의 잡음을 억제하기 위해, 레이아웃 상에서 각 블록 안팎의 사용하지 않는 공간을 이용하여 온-칩 PMOS와 NMOS 바이패스 커패시터를 선택적으로 집적하였다.

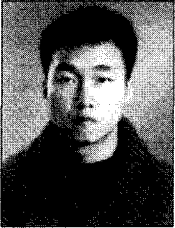
제안하는 설계 및 레이아웃 기법들을 적용하여 0.13 μ m CMOS 공정으로 구현한 시제품 ADC의 칩 면적은 0.8mm²을 차지하며, 측정된 최대 DNL 및 INL은 각각 0.42LSB, 0.91LSB 수준을 보인다. 또한, 25MS/s 및 10MS/s의 모든 샘플링 동작속도에서 최대 SNDR 및 SFDR은 각각 56dB 및 65dB이며, 전력은 1.2V 전원 전압에서 각각 4.8mW 및 2.4mW를 소모한다.

참 고 문 헌

- [1] R. Wang, K. Martin, D. Johns, and G. Burra, "A 3.3mW 12MS/s pipelined ADC in 90nm digital CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 278-279.
- [2] A. Wada, T. Kuniyuki, S. Kobayashi, and T. Sawai, "A 14mW 10-bit 20-Msample/s ADC in 0.18 μ m CMOS with 61MHz-input," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2002, pp. 459-462.
- [3] H. C. Choi, H. J. Park, S. K. Bae, J. W. Kim, and P. Chung, "A 1.4 V 10-bit 20 MSPS pipelined A/D converter," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2000, pp. 439-442.
- [4] D. Y. Chang and U. K. Moon, "A 1.4-V 10-bit 25-MS/s pipelined ADC using opamp-reset switching technique," *IEEE J. Solid-State Circuits*, vol. 38, no. 8, pp. 1401-1404, May 2003.
- [5] D. Miyazaki, M. Furuta, and S. Kawahito, "A 16mW 30MSample/s 10b pipelined A/D converter using a pseudo-differential architecture," in *ISSCC Dig. Tech. Papers*, Feb. 2002, pp. 174-178.
- [6] L. Jian, Z. Jianyun, S. Bo, Z. Xiaoyang, G. Yawei, and T. Ting'ao, "A 10bit 30MSPS CMOS A/D converter for high performance video applications," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2005, pp. 523-526.
- [7] H. C. Choi, J. H. Kim, S. M. Yoo, K. J. Lee, T. H. Oh, M. J. Seo, and J. W. Kim, "A 15mW 0.2mm² 10b 50MS/s ADC with wide input range," in *ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 226-227.
- [8] S. T. Ryu, B. S. Song, and K. Bacrania, "A 10b 50MS/s pipelined ADC with opamp current reuse," in *ISSCC Dig. Tech. Papers*, Feb. 2006, pp. 216-217.
- [9] B. Vaz, J. Goes, and N. Paulino, "A 1.5-V 10-b 50 MS/s time-interleaved switched-opamp pipeline CMOS ADC with high energy efficiency," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 432-435.
- [10] O. Stroeble, V. Dias, and C. Schwoerer, "An 80MHz 10b pipeline ADC with dynamic range doubling and dynamic reference selection," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 462-463.
- [11] B. M. Min, P. Kim, D. Boisvert, and A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2003, pp. 324-325.
- [12] Y. I. Park, S. Karthikeyan, F. Tsay, and E. Bartolome, "A low power 10 bit, 80 MS/s CMOS pipelined ADC at 1.8V power supply," in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2001, pp. 580-583.
- [13] J. Li and U. K. Moon, "A 1.8-V 67mW 10-bit 100MSPS pipelined ADC using time-shifted CDS technique," in *Proc. CICC*, Sept. 2003, pp. 17.2.1-17.2.4.
- [14] M. Yoshioka, M. Kudo, K. Gotoh, and Y. Watanabe, "A 10b 125MS/s 40mW pipelined ADC in 0.18 μ m CMOS," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 282-283.
- [15] D. Kurose, T. Ito, T. Ueno, T. Yamaji, and T. Itakura, "55-mW 200-MSPS 10-bit pipeline ADCs for wireless receivers," in *Proc. Eur. Solid-State Circuits Conf.*, Sept. 2005, pp. 527-530.
- [16] H. W. Kim, D. K. Jeong, and W. C. Kim, "A 30mW 8b 200MS/s pipelined CMOS ADC using a switched-opamp technique," in *ISSCC Dig. Tech. Papers*, Feb. 2005, pp. 284-285.
- [17] D. Y. Chang and S. H. Lee, "Design techniques for a low-power low-cost CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 33, no. 8, pp. 1244-1248, Aug. 1998.

- [18] B. L. Jeon and S. H. Lee, "A 10b 50 MHz 320mW CMOS A/D converter for video applications," *Transactions on Consumer Electronics*, vol. 45, no. 1, pp. 252-258, Feb. 1999.
- [19] Y. D. Jeon and S. H. Lee, "Acquisition time minimisation techniques for high-speed analogue signal processing," *Electron. Lett.*, vol. 35, pp. 1990-1991, Nov. 1999.
- [20] P. R. Gray, P. J. Hurst, S. H. Lewis, and R. G. Meyer, "Analysis and design of analog integrated circuits," John Wiley & Sons, 2001.
- [21] P. E. Allen and D. R. Holberg, "CMOS analog circuit design," Holt, Rinehart and Winston, 1987.
- [22] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500KS/s 6mW 0.5mm² ADC with 0.13um CMOS," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2004, pp. 76-77.
- [23] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120 MSample/s CMOS pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 441-444.
- [24] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.
- [25] D. J. Comer and D. T. Comer, "Using the weak inversion region to optimize input stage design of CMOS op amps," *IEEE Transactions on Circuit and Systems II*, vol. 51, no. 1, pp. 8-14, Jan. 2004.
- [26] C. Popa and D. Coadă, "A new linearization technique for a CMOS differential amplifier using bulk-driven weak inversion MOS transistors," in *Proc. IEEE Int. Symp. Circuits and Systems*, vol. 2, July 2003, pp. 589-592.
- [27] E. Seevinck, E. A. Vittoz, M. du Plessis, T. Joubert, and W. Beetge, "CMOS translinear circuits for minimum supply voltage," *IEEE Transactions on Circuit and Systems II*, vol. 47, no. 12, pp. 1560-1564, Dec. 2000.
- [28] C. C. Enz and E. A. Vittoz, "CMOS low-power analog circuit design," *Designing Low-Power Digital Systems, Emerging Technologies*, pp. 79-133, May 1996.
- [29] Y. J. Cho, H. H. Bae, and S. H. Lee, "An 8b 220 MS/s 0.25 um CMOS pipeline ADC with on-chip RC-filter based voltage references," *IEICE Trans. on Electronics*, vol. E88-C, no. 4, pp. 768-772, April 2005.

저 자 소 개



조 영 재(학생회원)
 1999년 서강대학교
 전자공학과 학사.
 2003년 서강대학교
 전자공학과 석사과정.
 2003년~현재 서강대학교
 전자공학과 박사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



김 용 우(학생회원)
 2006년 서강대학교
 전자공학과 학사.
 2006년~현재 서강대학교
 전자공학과 석사과정.

<주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사과정.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.

1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>