

논문 2006-43SD-11-1

이상적인 이중-게이트 벌크 FinFET의 전기적 특성고찰

(Study on Electrical Characteristics of Ideal Double-Gate Bulk FinFETs)

최 병 길*, 한 경 록*, 박 기 흥*, 김 영 민*, 이 중 호**

(Byung-Kil Choi, Kyoung-Rok Han, Ki-Heung Park, Young-Min Kim, and Jong-Ho Lee)

요 약

이상적인(ideal) 이중-게이트(double-gate) 벌크(bulk) FinFET의 3차원(3-D) 시뮬레이션을 수행하여 전기적 특성들을 분석하였다. 3차원 시뮬레이터를 이용하여, 게이트 길이(L_g)와 높이(H_g), 핀 바디(fin body)의 도핑농도(N_b)를 변화 시키면서 소스/드레인 접합 깊이(x_{jSDE})에 따른 문턱전압(V_{th}), 문턱전압 변화량(ΔV_{th}), DIBL(drain induced barrier lowering), SS(subthreshold swing)의 특성들을 살펴보았다. 게이트 높이가 35 nm인 소자에서 소스/드레인 접합 깊이(25 nm, 35 nm, 45 nm) 변화에 따라, 각각의 문턱전압을 기준으로 게이트 높이가 30 nm~45 nm로 변화 될 때, 문턱전압변화량은 20 mV 이하로 그 변화량이 매우 적음을 알 수 있었다. 낮은 핀 바디 도핑농도($1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$)에서, 소스/드레인 접합 깊이가 게이트전극보다 깊어질수록 DIBL과 SS는 급격히 나빠지는 것을 볼 수 있었고, 이러한 특성저하들은 H_g 아래의 ~ 10 nm 위치에 국소(local) 도핑을 함으로써 개선시킬 수 있었다. 또한 local 도핑으로 소스/드레인 접합 깊이가 얕아질수록 문턱전압이 떨어지는 것을 개선시킬 수 있었다.

Abstract

3-dimensional(3-D) simulations of ideal double-gate bulk FinFET were performed extensively and the electrical characteristics were analyzed. In 3-D device simulation, we changed gate length(L_g), height(H_g), and channel doping concentration(N_b) to see the behaviors of the threshold voltage(V_{th}), DIBL(drain induced barrier lowering), and SS(subthreshold swing) with source/drain junction depth(x_{jSDE}). When the H_g is changed from 30 nm to 45 nm, the variation gives a little change in V_{th} (less than 20 mV). The DIBL and SS were degraded rapidly as the x_{jSDE} is deeper than H_g at low fin body doping($1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$). By adopting local doping at ~ 10 nm under the H_g , the degradation could be suppressed significantly. The local doping also alleviated V_{th} lowering by the shallower x_{jSDE} than H_g at low fin body doping.

Keywords : Bulk, FinFET, V_{th} , DLBL, SS

I. 서 론

2005 ITRS (International Technology for Semi-

conductors) 로드맵에 따르면 2010년경 MPU (Macro Processing Unit)를 위한 MOSFET 소자의 물리적 게이트 길이는 18 nm까지 줄어들 것으로 전망되어 있다^[1]. ICs(Integrated Circuits)의 성능 향상과 고집적화를 위해선 소자의 scaling-down이 반드시 선행 되어져야 한다. 그러나 게이트 길이 50 nm 이하로의 평탄채널 MOSFET의 scaling-down은 문턱전압(V_{th}) 저하, SS(Subthreshold Swing)와 DIBL(Drain Induced Barrier Lowering)의 특성저하, random 채널 도핑에 따른 소자의 특성변화, 게이트산화막을 통한 터널링과 소스/드레인 접합부에서의 band-to-band 터널링으로 인한 누설

* 학생회원, 경북대학교 전자공학과
(School of Electrical Engineering and Computer Science, Kyungpook University)

** 평생회원, 경북대학교 전자전기컴퓨터학부
(School of Electrical Engineering and Computer Science, Kyungpook University)

※ 이 논문은 2002년도 경북대학교의 연구비에 의하여 연구되었음.

접수일자: 2006년5월3일, 수정완료일: 2006년10월17일

전류 증가와 같은 문제점들에 직면해 있다. 따라서 평탄채널 MOSFET이 아닌 새로운 소자구조의 도입은 scaling-down시 발생하는 이러한 문제점들을 해결하기 위한 좋은 방법 중의 하나이다.

Scaling-down 문제점들을 극복하기 위해 연구되어지고 있는 새로운 소자구조들은 얇은 박막 SOI (Silicon-On-Insulator) MOSFET^[2], 이중-게이트 MOSFET^[3], 삼중-게이트 MOSFET^[4], 그리고 FinFET^[5-7] 등이 있다. 이중에서 FinFET은 고성능, 뛰어난 축소화특성, 그리고 기존의 평탄채널 MOSFET 공정기술과 좋은 호환성을 가진다. 그러나, SOI 기판위에서 제작된 FinFET은 기존의 SOI 소자들이 가지는 문제점들을 거의 그대로 가지고 있다.

최근, 벌크(bulk) 실리콘(silicon) 웨이퍼상에서 제작된 벌크 FinFET의^{[8]-[10]} 연구가 활발히 진행되고 있고, SOI FinFET과 비교하여 동등한 소자축소화특성을 가지면서 몇 가지 뛰어난 장점들을 지닌다. 낮은 생산단가, 낮은 결함 밀도, 바디효과가 없으며, 기판으로의 열전달 특성이 우수하며, 평탄채널 MOSFET 공정기술과 뛰어난 호환성 등으로 벌크 FinFET은 미래 나노 CMOS 기술로 각광받고 있다.

본 논문에서는 3차원(3-D) 시뮬레이터를^[11] 이용하여, 핀바디(fin body) 윗부분의 코너가 없는 이중-게이트(double-gate) 구조의 벌크 FinFET을 이상적인(ideal) 벌크 FinFET이라 명명하고, 이러한 구조에 대해 시뮬레이션을 수행하고 특성을 분석하였다. 3차원 시뮬레이션 후 게이트 길이(L_g), 게이트 높이(H_g), 채널 도핑 농도(N_b) 등을 변수로 이상적인 이중-게이트 벌크 FinFET의 문턱전압(V_{th}), 문턱전압변화량(ΔV_{th}), DIBL, SS와 같은 전기적 특성들을 고찰하였다.

II. 소자구조

그림 1 (a)는 이상적인 이중-게이트 벌크 FinFET의 3차원 도식도이다. 벌크 FinFET의 핀바디 윗부분에 존재하는 코너영역으로부터 코너효과가^{[12],[13]} 발생하는데 이러한 코너효과는 누설전류를 증가 시키고 $\log(I_D)-V_{GS}$ 곡선에서 hump를 발생시킨다^[8]. 소자의 이해를 어렵게 하는 코너효과를 배제하기 위해서 이상적인 이중-게이트 벌크 FinFET 구조로 3차원 시뮬레이션을 수행하였다. 소스/드레인 접합 깊이 (x_{jSDE})는 수직방향으로 핀바디 윗부분에서 아래로 정의 되어지는 깊이이다. LDD(lightly doped drain) 농도는 $7 \times 10^{19} \text{ cm}^{-3}$ 이며, 약

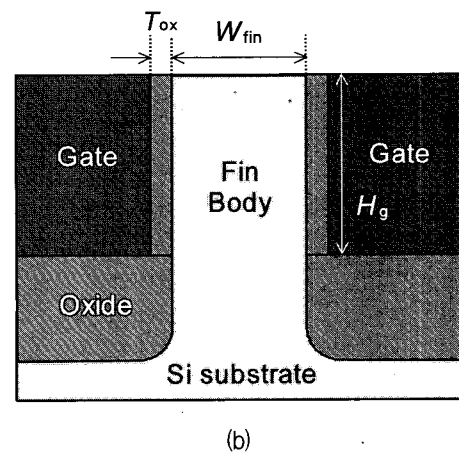
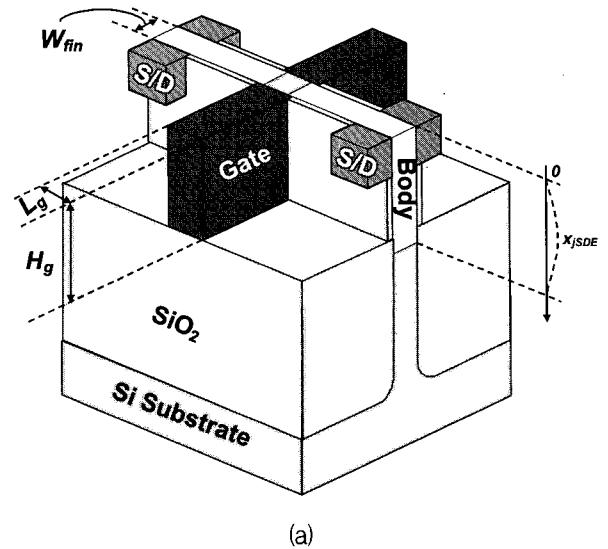


그림 1. (a) 이상적인 이중-게이트 벌크 FinFET의 3차원 도식도. H_g 와 W_{fin} 은 각각 게이트 높이와 핀폭을 나타낸다. (b) 벌크 FinFET의 게이트 전극을 따라 절단한 2차원 단면도.

Fig. 1. (a) 3-dimensional schematic view of ideal double-gate bulk FinFET. H_g and W_{fin} represent gate height and fin width, respectively. (b) 2-dimensional cross-sectional view along the gate electrode of the bulk FinFET.

dec/5nm의 가우시안 프로파일을 가진다. H_g , L_g , 그리고 W_{fin} 은 각각 게이트 높이, 게이트 길이, 그리고 핀폭을 나타낸다.

그림 1 (b)는 게이트 전극을 따라 절단한 2차원(2-D) 단면도이다. 이상적인 이중-게이트 벌크 FinFET의 전류는 핀바디의 좌우 양쪽 표면을 따라 흐른다. 게이트 산화막 두께(T_{ox})는 1.5 nm이다.

III. 시뮬레이션결과

그림 2는 이상적인 이중-게이트 벌크 FinFET의 게

이트 길이 30 nm, 40 nm, 50 nm에 대해 소스/드레인 접합 깊이에 따른 문턱전압을 나타내었다. 문턱전압은 드레인 전압이 0.05 V에서 $g_{m,max}$ 를 이용하여 추출하였다. 소스/드레인 접합 깊이가 H_g 보다 깊어지면 게이트 내에서 소스와 드레인 사이의 유효채널길이가 같다. 그러나 x_{jSDE} 가 H_g 보다 얇아지면 바디의 위쪽 표면에서 x_{jSDE} 가 형성된 영역까지는 유효채널길이가 같지만, 그 아래 영역, 즉, x_{jSDE} 보다 깊고 H_g 보다 얇은 채널 영역의 유효채널길이는 더 길어지게 된다. 그러면 짧은 채널 효과가 적은 더 긴 유효채널 영역의 기여에 의해 소자의 문턱전압은 증가하게 된다. 특히, 짧은 채널 소자에서는 이와 같은 현상이 두드러진다. 즉 그림 2에서 $L_g=30$ nm는 $L_g=50$ nm일때보다 x_{jSDE} 가 얇아질수록 언급한 것과 같이 실제적인 유효채널길이 증가로 인해 x_{jSDE} 감소에 따라 문턱전압이 올라가게 된다.

그림 3은 소스/드레인 접합 깊이변화에 따른 문턱전압변화량 (ΔV_{th})을 나타낸 그림이다. 문턱전압변화량은 $V_{th} - V_{th}(H_g=35 \text{ nm})$ 이다. 그림 3의 매개변수는 게이트 높이로 그 변화량은 30 nm ~ 45 nm까지이다. 3차원 시뮬레이션 조건은 바디 도핑 농도 $1 \times 10^{19} \text{ cm}^{-3}$, 핀폭 20 nm, 게이트 길이 50 nm, n^+ 폴리 게이트를 사용하였다. 이 그림에서 이상적인 이중-게이트 벌크 FinFET은

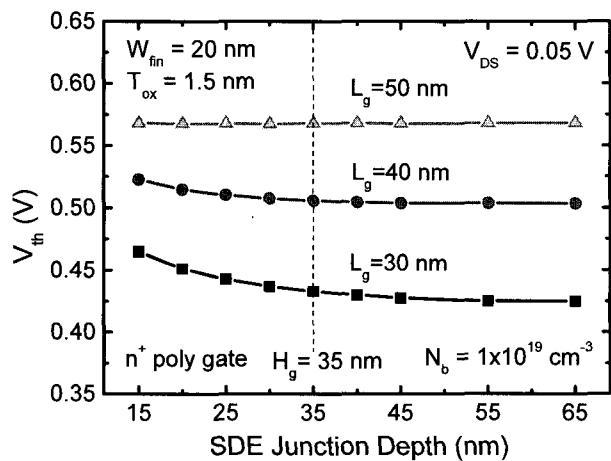


그림 2. 게이트 길이별 소스/드레인 접합 깊이에 따른 문턱전압. x_{jSDE} 는 핀 윗부분부터 아래로 정의되어지는 깊이이다. 게이트 높이는 35 nm이다. n^+ 폴리게이트를 사용하였고, 바디 도핑 농도는 $1 \times 10^{19} \text{ cm}^{-3}$ 이다.

Fig. 2. V_{th} versus source/drain extension (SDE) junction depth as a parameter of gate length. The x_{jSDE} is defined by the injection depth from the fin top. The fin channel height H_g is 35 nm. Since n^+ poly gate was adopted, the body doping was $1 \times 10^{19} \text{ cm}^{-3}$.

게이트 높이가 변화하더라도 주어진 x_{jSDE} 에 대해 약 20 mV 이하의 매우 적은 문턱전압변화량을 보인다. 게이트 높이가 가장 낮은 30 nm 일때가 문턱전압 변화량이 20 mV로 가장 큰 이유는 좁은폭효과는 게이트 높이가 낮아질수록 문턱전압에 미치는 효과가 더욱 커지기 때문이다. 그림 3의 결과로 실제 벌크 FinFET 제작 시 약간의 게이트 높이 차이는 문턱전압에 큰 영향을 주지 않는다는 것을 알 수 있다.

그림 4는 바디 농도가 높고($1 \times 10^{19} \text{ cm}^{-3}$) n^+ 폴리실리 콘 게이트를 적용한 경우, 소스/드레인 접합 깊이에 따른 DIBL과 SS를 나타내고 있다. 채널 길이 변화는 30 nm ~ 50 nm이다. 소스/드레인 접합 깊이가 $H_g(=35 \text{ nm})$ 보다 깊어지면서 DIBL이나 SS는 거의 일정한 값을 유지한다. 즉, 게이트 아래에 형성된 소스와 드레인 사이의 거리는 거의 일정하기 때문이다. 만약 소스/드레인 접합 깊이가 $H_g=35 \text{ nm}$ 보다 더 얇아 질수록 게이트내의 실제적인 유효채널 거리가 길어지기 때문에, DIBL과 SS가 개선되어 진다. 그리고 이상적인 이중-게이트 벌크 FinFET도 평탄채널 MOSFET과 같이 채널 길이가 짧아짐에 따라 DIBL과 SS 모두 나빠지는 것을 볼 수 있다.

그림 5는 바디 도핑이 매개 변수인 소스/드레인 접합 깊이에 따른 문턱전압을 보인다. 그림 2와는 달리 바디 도핑농도가 낮은 경우에 대한 것으로, n^+ 폴리실리 콘

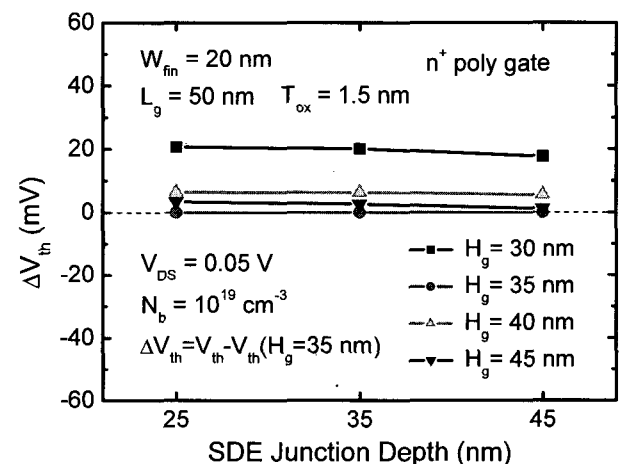


그림 3. 게이트 높이별 소스/드레인 접합 깊이에 따른 문턱전압변화량. 문턱전압변화량은 매우 적다. ΔV_{th} 는 각 x_{jSDE} 마다 $V_{th} - V_{th}(H_g=35 \text{ nm})$ 로 정의되어진다.

Fig. 3. V_{th} versus SDE junction depth (x_{jSDE}) as a parameter of H_g . V_{th} variation is very small. The ΔV_{th} is defined as $V_{th} - V_{th}(H_g=35 \text{ nm})$ for each x_{jSDE} .

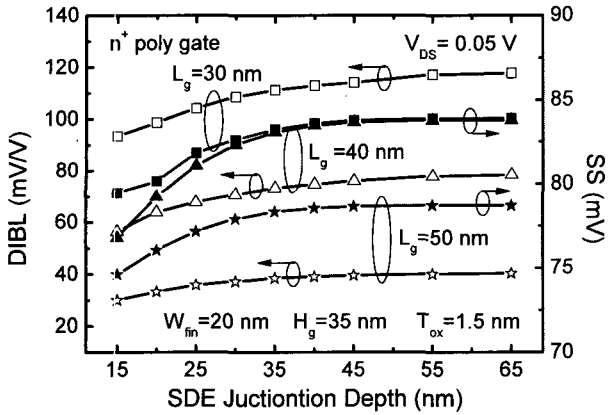


그림 4. 게이트 길이별 소스/드레인 접합 깊이에 따른 DIBL과 SS. x_{jsDE} 가 35 nm($=H_g$)보다 크면 DIBL과 SS는 포화된다.

Fig. 4. DIBL and SS versus x_{jsDE} as a parameter of gate length. The data for larger x_{jsDE} than 35 nm($=H_g$) are nearly constant.

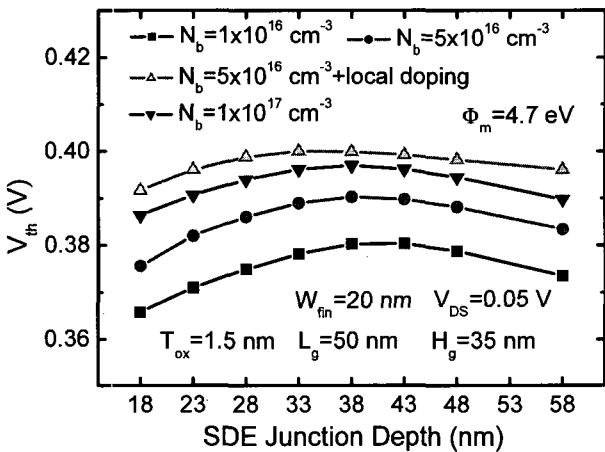


그림 5. 바디 도핑별 소스/드레인 접합 깊이에 따른 문턱 전압변화량. Local 도핑 위치(x_p)는 35 nm이다. 그림 1과는 반대로 낮은 채널도핑에선 소스/드레인 접합 깊이가 얇아질수록 문턱전압이 내려간다.

Fig. 5. V_{th} versus x_{jsDE} as a parameter of body doping. The x_p of the local doping is 35 nm. The V_{th} of devices with low channel doping decreases as x_{jsDE} decreases from about H_g , which is opposite trend to that shown in Fig 1.

게이트를 사용하면 문턱전압이 낮아 이때 게이트 일함수는 mid-gap인 4.7 eV를 적용하였다. Local 도핑이 없고 주어진 H_g 가 35 nm인 경우, x_{jsDE} 가 35 nm 보다 증가하면 짧은 채널 효과에 의해 문턱전압이 감소한다. 삼각형 심볼은 local 도핑을 적용한 결과로 x_{jsDE} 가 H_g 보다 증가해도 문턱전압의 감소는 상대적으로 적다. 낮은 바디 도핑 농도($1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$)에서 x_{jsDE} 가

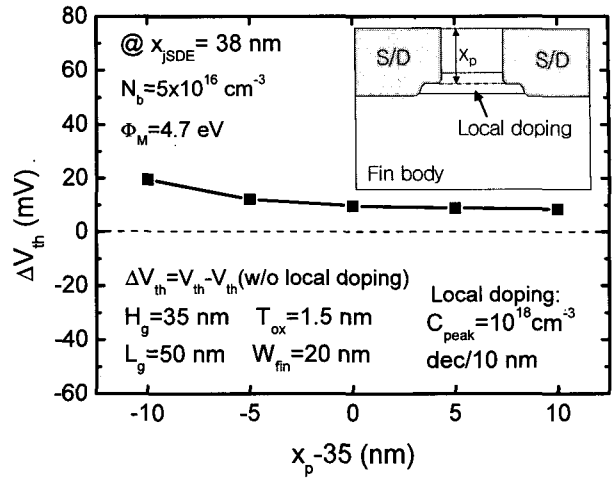


그림 6. x_p-35 (nm)에 따른 문턱전압변화량. Local 도핑의 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이고, dec/10nm 가우시안 프로파일을 가진다. 게이트전극의 일함수는 4.7 eV이다. 삽입된 작은 그림은 핀바디 중앙을 따라 절개한 단면도이다.

Fig. 6. V_{th} versus peak position (x_p) of local doping minus 35 nm. The local doping is consisted of Gaussian profile with the peak value of $1 \times 10^{18} \text{ cm}^{-3}$ and slope of the dec/10nm. The work function of the gate electrode is 4.7 eV. The small insert stands for the cross section along the center of the fin body.

얇아질수록 문턱전압이 떨어지는 현상에 대한 연구가 필요하다. 핀 바디 윗부분에서 깊이방향으로 35 nm 아래에 $1 \times 10^{18} \text{ cm}^{-3}$ 의 local 도핑을 함으로써 문턱전압이 올라가고, 소스/드레인 접합 깊이가 얇아 질수록 문턱전압이 떨어지는 것도 개선된다. Local 도핑에 대한 자세한 설명은 그림 6에 나와 있다.

그림 6은 주어진 x_{jsDE} 에 대해서 local 도핑의 위치 (x_p)에 따른 문턱전압 변화량을 나타낸 그림이다. 삽입된 작은 그림은 local 도핑의 개념을 설명한다. 낮은 바디 도핑에서 H_g 보다 아래 영역의 핀 바디를 통한 punch-through는 local 도핑을 통해 억제 할 수 있다. Local 도핑의 농도(C_{peak})는 $1 \times 10^{18} \text{ cm}^{-3}$ 이고, dec/10nm의 가우시안 프로파일을 가진다. 삽입그림에서 표시된 x_p 의 위치가 깊어질수록 문턱전압변화량이 줄어드는 것을 알 수 있다. 전체적으로 x_p 가 35 nm를 기준으로 ± 10 nm 변화 하더라도 문턱전압은 20 mV 정도의 매우 적은 변화를 보인다.

그림 7은 바디 도핑 농도에 대한 DIBL을 나타낸다. 매개변수는 x_{jsDE} 로 그 변화량은 28 nm ~ 48 nm이다. 도핑농도가 낮아질수록 DIBL이 증가하는데, 특히 x_{jsDE} 가 H_g 보다 깊어질 때 DIBL은 급격히 증가한다. LDD

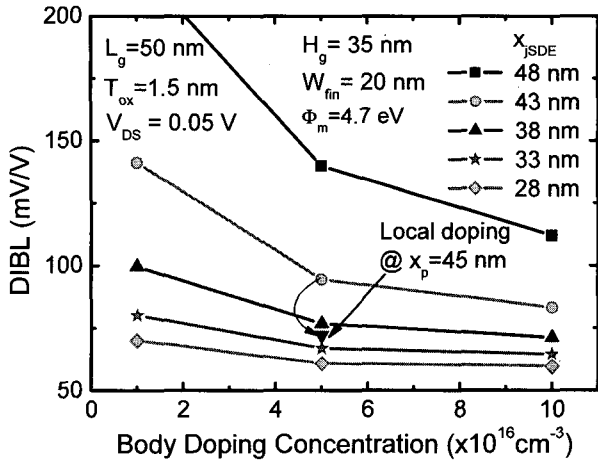


그림 7. x_{jSDE} 별 바디 도핑농도에 따른 DIBL. 게이트 일함수는 4.7 eV이고, 바디 도핑농도는 낮다. 40 nm 위치의 local 도핑으로 22 mV/V의 DIBL이 개선되었다.

Fig. 7. DIBL versus body doping concentration as a parameter of the x_{jSDE} , where gate work function is 4.7 eV and the fin body doping is low. With the local doping at $x_p=40$ nm, the DIBL for the x_{jSDE} of 35 nm is improved by 22 mV/V.

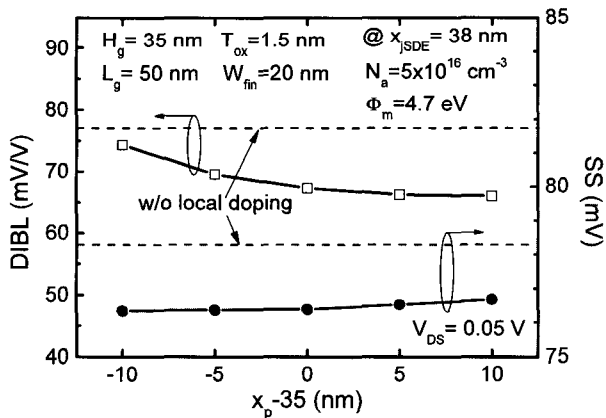


그림 8. x_p-35 nm 따른 DIBL과 SS. 점선들은 local 도핑을 하지 않았을때의 값들이다. 게이트 높이는 35 nm로 고정되어 있다.

Fig. 8. DIBL and SS versus x_p of local doping minus 35 nm. The dashed lines represent the data without local doping. Here the gate height H_g is fixed at 35 nm.

접합 깊이가 H_g 보다 깊어질수록 소스와 드레인 사이 punch-through가 증가하기 때문이다. 역 삼각형 심볼로 표시된 것과 같이 게이트전극 아래 local 도핑을 함으로써 DIBL이 local 도핑이 없는 경우에 비해 22 mV/V 만큼 개선되어지는 것을 볼 수 있다.

그림 8은 local 도핑 위치에 따른 DIBL과 SS를 나타

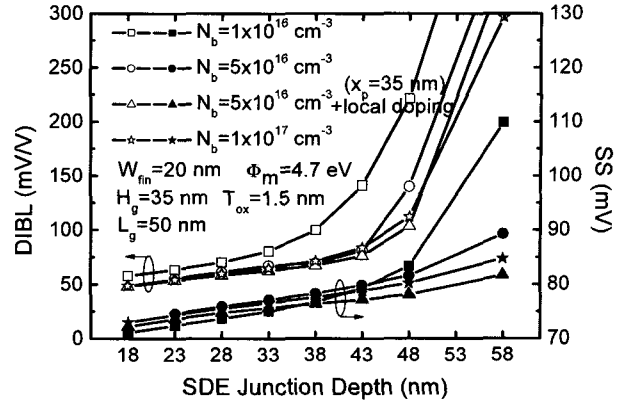


그림 9. 바디 도핑농도별 소스/드레인 접합 깊이에 따른 DIBL과 SS. $x_p=35$ nm의 local 도핑은 x_{jSDE} 가 40 nm 이상으로 깊어질때 DIBL을 억제하는데 유용하다

Fig. 9. DIBL and SS characteristics with x_{jSDE} as a parameter of body doping. The local doping at $x_p=35$ nm is useful for the suppression of the DIBL up to x_{jSDE} of about 40 nm

내고 있다. Local 도핑의 위치가 H_g 와 같거나 깊어질 때 DIBL이 현저히 개선되어지는 것을 볼 수 있다. SS는 주어진 local 도핑이 깊이에 대해 거의 일정한 값을 유지하고 있다. 그러나 local 도핑에 따라 개선된 값을 보여주고 있다.

그림 9는 낮은 바디농도에서($1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$)에서 소스/드레인 접합 깊이에 따른 DIBL과 SS를 나타내고 있다. 소스/드레인 접합 깊이가 게이트전극 높이보다 깊어질수록 DIBL과 SS는 급격히 나빠지는 것을 알 수 있다. 그 이유는 접합 깊이가 게이트전극보다 깊어질수록 소스와 드레인 사이 punch-through가 증가하기 때문이다. 이와 같은 punch-through를 막기 위해 local 도핑을 함으로써 특성들이 개선된다.

IV. 결 론

본 연구에서는 이상적인 이중-게이트 벌크 FinFET의 3차원 시뮬레이션을 수행하여 문턱전압, 문턱전압변화량, DIBL, SS 등과 같은 전기적 특성들을 살펴보았다. 높은 바디 도핑농도에서 소스/드레인 접합 깊이가 얇아질수록 실제적인 유효채널길이 증가로 인해 문턱전압이 올라간다. 반면 낮은 바디 도핑농도에서는 소스/드레인 접합 깊이가 얇아질수록 문턱전압은 떨어지는 경향성을 보인다. 바디 도핑이 낮은 경우, 소스/드레인 접합 깊이가 게이트높이보다 깊어지면 punch-through로 인해 DIBL과 SS는 급격히 나빠진다. 이러한 문제점

은 소스/드레인접합보다 약 10 nm 아래위치의 local 도핑을 함으로서 개선시킬 수 있었다.

참 고 문 헌

- [1] International Technology Roadmap for Semiconductors 2005 (<http://public.itrs.net>)
- [2] Yang-Kyu Choi, Kazuya Asano, Nick Lindert, Vivek Subramanian, Tsu-Jae King, Jeffrey Bokor and Chenming Hu, "Ultra-thin body SOI MOSFET for deep-sub-tenth micron era," in *IEDM Tech. Dig.*, Dec. 1999, pp. 919-921.
- [3] Gulzar A. Kathawala, Brain Winstead and Umberto Ravaioli, "Monte Carlo simulation of double-gate MOSFETs," *IEEE Trans. Electron Devices*, vol. 50, no. 12, pp. 2467-2473, Dec. 2003.
- [4] B. Doyle, B. Boyanov, S. Datta, M. Doczy, S. Harelend, B. Jin, J. Kavalieros, T. Linton, R. Rios and R. Chau, "Tri-gate fully-depleted CMOS transistor: fabrication, design and layout," in *Symp. VLSI Tech. Dig.*, June 2003, pp. 133-134.
- [5] Jakub Kedzierski, Meikei Jeong, Edward Nowak, Thomas S. Kanarsky, Ying Zhang, Ronnen Roy, Diane Boyd, David Fried and H.-S. Philip Wong, "Extension and source/drain design for high-performance FinFET devices," *IEEE Trans. Electron Devices*, vol. 50, no. 4, pp. 952-958, Apr. 2003.
- [6] E. J. Nowak, T. Ludwig, I. Aller, J. Kedzierski, M. Jeong, B. Rainey, M. Breitwisch, V. Gernhoefer, J. Keinert and D. M. Fried, "Scaling beyond the 65 nm node with FinFET-DGCMOS," *IEEE Proc. Custom Integrated Circuit*, pp. 339-342, Sep. 2003.
- [7] Xuejue Huang, Wen-Chin Lee, Charles Kuo, Digh Hisamotom, Leland Chang, Jakub Kedzierski, Erik Anderson, Hideki Takeuchi, Yang-Kyu Choi, Kazuya Asano, Vivek Subramanian, Tsu-Jae King and Chenming Hu, "Sub-50 nm p-channel FinFET," *IEEE Trans. Electron Devices*, vol. 48, no. 5, pp. 880-886, May 2003.
- [8] Tai-su Park, Euijoon Yoon, Jong-Ho Lee, "A 40nm body-tied FinFET (OMEGA MOSFET) using bulk Si wafer," *Physica E*, vol. 19, pp. 612, 2003.
- [9] T. Park, S. Choi, D. H. Lee, J. R. Yoo, B. C. Lee, J. Y. Kim, C. G. Lee, K. K. Chi, S. H. Hong, S. J. Hyun, Y. G. Shin, J. N. Han, I. S. Park, U. I. Chung, J. T. Moon, E. Yoon, and J. H. Lee, "Fabrication of body-tied FinFETs (Omega MOSFETs) using bulk Si wafers," in *Symp. on VLSI Tech. Dig.*, 2003, pp. 135-136.
- [10] T. Park, H. J. Choe, S. Y. Han, S.-M. Jung, B. Y. Nam, O. I. Kwon, J. N. Han, H. S. Kang, M. C. Chae, G. S. Yeo, S. W. Lee, D. Y. Lee, D. Park, K. Kim, E. Yoon, and J. H. Lee, "Static noise margin of the full DG-CMOS SRAM cell using bulk FinFETs (Omega MOSFETs)," in *IEDM Tech. Dig.*, Dec. 2003, pp. 27-30.
- [11] SILVACO International, ATLAS User's Manual.
- [12] Kwang-Ho Back, Kyung-Rok Han and Jong-Ho Lee, "Corner effect in body-tied double/triple-gate MOSFETs implemented on bulk Si wafers," in *Si Nanoelectronics Tech. Dig.*, 2004, pp. 47-48.
- [13] J. G. Fossum, J. -W. Yang and V. P. Trivedi, "Suppression of corner effect in triple-gate MOSFETs," *IEEE Electron Device Lett.*, vol. 24, no. 12, pp. 745-747, Dec. 2003.

저 자 소 개



최 병 길(학생회원)
 2001년 경북대학교
 전자공학과 학사 졸업.
 2001년~2002년 삼성전자(주)
 반도체총괄 SYS. LSI
 사업부 근무.
 2004년 경북대학교 전자공학과
 석사 졸업.

2006년 경북대학교 전자공학과 박사 수료.
 <주관심분야 : 3차원 나노 CMOS, Bulk FinFET
 모델링>



한 경 록(학생회원)
 2002년 원광대학교
 전자공학과 학사 졸업.
 2004년 경북대학교
 전자공학과 석사 졸업.
 2006년 경북대학교
 전자공학과 박사 수료.

<주관심분야 : 3차원 나노 CMOS, flash memory
 소자제작>



박 기 흥(학생회원)
 2004년 홍익대학교
 전자공학과 학사 졸업.
 2006년 경북대학교
 전자공학과 석사 졸업.
 사업부 근무.
 2006년 경북대학교
 전자공학과 박사 과정.

<주관심분야 : 3차원 나노 CMOS, Saddle
 MOSFET 제작 및 특성 분석>



김 영 민(학생회원)
 1996년 경북대학교
 전자공학과 학사 졸업.
 1999년 KAIST 전자공학과
 석사 졸업.
 2006년 경북대학교
 전자공학과 박사 과정.

<주관심분야 : 3차원 나노 CMOS, 3차원 나노
 CMOS 제작>



이 중 호(평생회원)
 1987년 경북대학교
 전자공학과 학사 졸업.
 1989년 서울대학교
 전자공학과 석사 졸업.
 1993년 서울대학교 전자공학과
 전자공학과 박사 졸업.

1994년~2002년 원광대학교 부교수.
 2002년~현재 경북대학교 교수.
 <주관심분야 : 3차원 나노 CMOS, 나노 CMOS
 제작 및 모델링, 3-D 웨이퍼 본딩>