

고 출력 고 이득 2단 도허티 전력증폭기의 설계

Design of a High Power and High Gain Two-Stage Doherty Power Amplifier

김재곤 · 김지연 · 이동현 · 김종현

Jae-Gon Ghim · Ji-Yeon Kim · Dong-Heon Lee · Jong-Heon Kim

요 약

본 논문에서는 최종단에 내장된 구동 증폭기를 사용하여 높은 이득을 갖는 고 출력 고 이득 도허티 전력 증폭기를 설계하였다. 2단 도허티 증폭기의 동작 특성을 2단 피킹 증폭기의 게이트 바이어스에 관한 함수로서 해석하였다. 구동단과 최종단은 각각 single-ended MRF21045 2개와 single push-pull packaged MRF21180 1개를 사용하여 제작하였다. 본 논문에서 구현된 2단 도허티 증폭기는 평균 출력 전력 15 W에서 27 dB의 이득과 23 %의 전력 부가 효율을 가진다.

Abstract

A high power and high gain Doherty amplifier is designed by using embedded driver amplifiers in the final stage. The operational characteristics of a two-stage Doherty amplifier are analyzed, as a function of the two-stage peaking amplifier gate biases. The driver stages and final output stages are implemented using two single-ended MRF21045s and a single push-pull packaged MRF21180, respectively. This two-stage Doherty amplifier demonstrated 27 dB gain with a PAE of 23 % at 15 W average output power.

Key words : Two-Stage Doherty, Embedded Drive Stage, Peaking Amplifier, Gate Bias

I. 서 론

현대 디지털 통신은 신호의 포락선(envelope)이 급격하게 변화하여 신호의 피크 대 평균 전력 비(Peak-to-Average Ratio: PAR)가 매우 크다. 특히 WCDMA 등과 같은 3G 디지털 통신은 10 dB 이상의 높은 피크 대 평균 전력 비를 가지므로 통신 서비스의 신뢰도를 높이기 위하여 높은 선형성이 요구된다. 이에 따라 전력 증폭기는 백-오프된 출력 전력에서 동작해야 하고, 부가적인 선형화 회로와 제어 회로의 필요성에 의하여 매우 낮은 효율을 갖게 된다. 효율이 낮은 전력 증폭기는 많은 전력 소모뿐 아니라

시스템의 과열에 의한 신뢰도 저하를 야기한다. 이에 따라 과열 방지를 위한 추가적인 냉각 장치의 필요성 발생 등 전반적인 비용이 증가하므로 효율 증가를 위한 기술들이 요구된다.

백-오프(back-off) 출력 전력에서 고 효율 특성을 얻기 위하여 LINC(Linear amplification using Nonlinear Components), EER(Envelope Elimination and Restoration), Envelope tracking, Doherty 등의 기술들에 관한 많은 연구가 진행되어 왔다. 이 중에서 도허티(Doherty) 기술은 1930년대에 W.H. Doherty에 의하여 저주파 대역 AM 송신기 활용을 위해 개발되었으며, TWT(Travelling Wave Tube)를 사용하였다^[1]. 이후 반

「본 연구는 정보통신부 및 정보통신연구진흥원의 대학IT연구센터 지원사업 (IITA-2006-(C1090-0603-0041)) 및 2006년도 광운대학교 연구년의 연구결과로 수행되었음」

광운대학교 전파공학과(Dept. of Radio Science & Engineering, Kwangwoon University)

· 논문 번호 : 20060704-070

· 수정완료일자 : 2006년 10월 12일

도체 소자를 사용한 도허티 전력 증폭기가 제안되었고, 다른 기술들에 비하여 상대적으로 간단한 회로, 구성의 용이함, 광대역 특성 등과 같은 장점을 가지기 때문에 많은 발전을 이루어 왔다.

그러나 도허티 증폭기의 고유한 비선형성이 그 성능의 한계를 가져오게 되므로, analog pre-distortion, post-distortion, digital pre-distortion, feedforward 등의 다양한 선형화 기술과 접목하여, 높은 선형성을 제공하는 연구도 진행되어 왔다^{[2]~[5]}.

지금까지의 고출력 도허티 전력 증폭기에 관한 연구들에서는 대부분 각각 하나의 메인 증폭기와 피킹 증폭기가 사용되어 왔으며, 6 dB 백-오프 출력 전력에서 최대 효율을 얻기 위한 방법이 연구되어 왔다. 이러한 도허티 증폭기는 큰 용량의 구동 증폭기가 필요하므로, 효율 평가 시 구동단을 포함하는 것이 바람직하지만, 대부분의 연구에서는 최종단 도허티 전력 증폭기의 효율만을 평가하였다.

최근 Crescenzi가 자체 제작한 2단 구조의 표면 장착 하이브리드 증폭기 모듈(surface-mounted hybrid amplifier module) 2개를 이용하여 2단 도허티 전력 증폭기를 설계하고 구동단을 포함한 효율을 측정하는 논문을 발표하였다^[6]. 그러나 선형성 성능에 초점을 맞추어 설계하였기 때문에 백-오프(back-off) 출력 전력에서 최대 효율을 갖는 도허티 효율 특성을 얻지 못하였으며, 그 효율 또한 단일 모듈로 구성한 AB급 전력 증폭기보다 전체 출력 구간에서 1~2 % 낮은 결과를 보였다. 또한 자체 제작한 모듈을 이용하였기 때문에 상용 discrete 소자를 사용한 설계에 적용하기 어려우며, 2단 도허티 증폭기의 동작 원리에 대한 해석이 부족하다.

본 논문에서는 상용화되어 있는 LDMOS FET 소자를 이용하여 기존의 도허티 증폭기가 필요로 하는 구동 증폭기를 각각 메인 증폭기와 피킹 증폭기에 직접 연결한 2단 도허티 구조를 해석하고 설계하여 도허티 증폭기의 이득과 효율을 향상시켰다. 특히 2단으로 구성된 피킹 구동 증폭기 및 피킹 증폭기의 게이트 바이어스와 전체 효율 사이의 동작 원리를 해석하였으며, 기존의 구동단을 포함한 1단 도허티 증폭기와 비교하여 동일한 선형성 조건하에서 개선된 효율 특성을 갖도록 하였다.

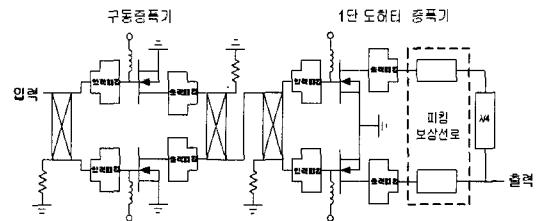
본 논문의 2장에서는 기존 구동단을 포함한 1단

도허티 증폭기와 본 논문에서 제시한 2단 도허티 증폭기의 구조를 비교 설명하고, 2단으로 구성된 피킹 증폭기의 영향과 게이트 바이어스와 효율 사이의 관계를 해석한다. 3장에서는 LDMOS FET를 사용한 ADS 시뮬레이션의 설계 결과와 4장에서는 실제 제작한 증폭기의 측정 결과를 보여준다.

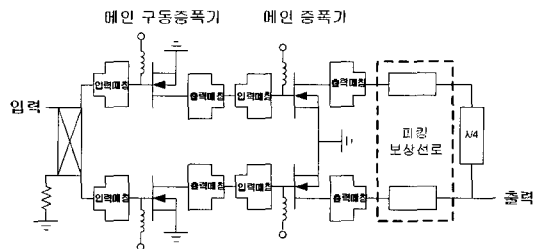
II. 2단 도허티 증폭기의 해석

2-1 2단 도허티 증폭기의 구조

그림 1은 기존의 구동 증폭기를 포함한 1단 도허티 증폭기와 본 논문의 2단 도허티 증폭기의 구성도이다. 그림 1(a)에 나타난 1단 도허티 증폭기는 최종단 도허티 증폭기의 전단에 구동 증폭기가 위치하여 hybrid coupler 등을 통하여 도허티 증폭기로 전력을 공급한다. 반면, 그림 1(b)에 나타난 2단 도허티 증폭기는 각 구동단이 최종단에 직접 연결된 구조를 가지며 입력 전력은 90도 hybrid coupler를 통해 각 구동 증폭기로 공급된다. 메인 증폭기와 메인 구동 증폭기는 AB급으로 바이어스 되고, 피킹 증폭기와 피킹



(a) 구동 증폭기를 포함한 1단 도허티 증폭기 구성도
(a) Schematic of a one-stage Doherty amplifier with a drive amplifier



(b) 2단 도허티 증폭기 구성도
(b) Schematic of a two-stage Doherty amplifier

그림 1. 도허티 증폭기의 구성도 비교
Fig. 1. Schematic comparisons of Doherty amplifiers.

구동 증폭기는 B급 혹은 C급으로 바이어스 될 수 있다. 메인 증폭기의 출력에서 바라본 피킹 증폭기의 출력 임피던스를 높게 하기 위하여 피킹 보상 선로가 삽입되었다⁵⁾.

2-2 Gate Bias에 대한 효율 특성

그림 2는 2단 도허티 증폭기의 간략화된 구성도이다. 여기서, V_{in1} 은 구동 증폭기단의 입력 전압이며, I_{md} 와 I_{pd} 는 각각 메인 구동 증폭기와 피킹 구동 증폭기의 출력 전류를 나타낸다. 이 전류와 각 메인 증폭기의 입력 임피던스 Z_{in_m} 과 피킹 증폭기의 입력 임피던스 Z_{in_p} 를 이용하여 메인 증폭기의 입력 전압 V_{in2_m} 과 피킹 증폭기의 입력 전압 V_{in2_p} 를 식 (1) 및 식 (2)와 같이 나타낼 수 있다.

$$V_{in2_m} = I_{md} \times Z_{in_m} \tag{1}$$

$$V_{in2_p} = I_{pd} \times Z_{in_p} \tag{2}$$

I_m 과 I_p 는 각각 메인 증폭기와 피킹 증폭기의 출력 전류를 나타낸다. V_{gs_pd} 는 피킹 구동 증폭기의 게이트 바이어스, V_{gs_p} 는 피킹 증폭기의 게이트 바이어스를 나타낸다. gm_pd 는 피킹 구동 증폭기의 trans-conductance이며 gm_p 는 피킹 증폭기의 trans-conductance이다.

gm_md 는 메인 구동 증폭기의 trans-conductance이며 gm_m 은 메인 증폭기의 trans-conductance이다. 피킹 구동 증폭기와 피킹 증폭기는 B급 혹은 C급으로 게이트 바이어스 되고 메인 구동 증폭기와 메인 증폭기는 AB급으로 게이트 바이어스 되므로 gm_pd

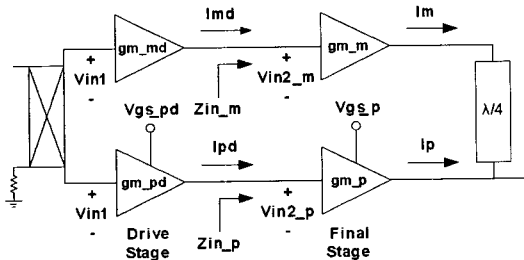
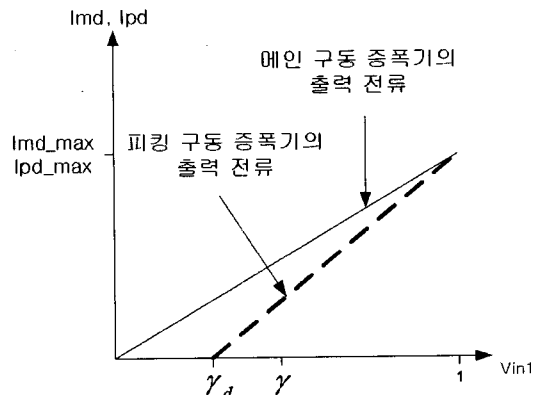


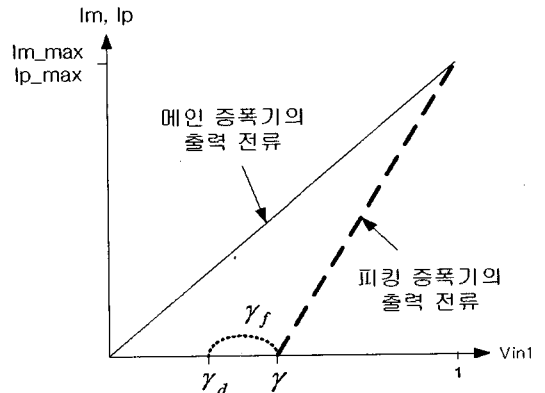
그림 2. 2단 도허티 증폭기의 간략화된 구성도
Fig. 2. Simplified diagram of a two-stage Doherty amplifier.

와 gm_md 그리고 gm_p 와 gm_m 는 각각 다르게 작용한다.

2단 도허티 증폭기의 입력 전압에 따른 구동단에서의 출력 전류 곡선과 최종단에서의 출력 전류 곡선을 그림 3(a)와 그림 3(b)에서 각각 나타내었다. 그림 3(a)는 구동단의 출력 전류 곡선을 입력 전압 V_{in1} 에 대하여 나타내었으며, 그림 3(b)는 최종단의 출력 전류 곡선을 입력 전압 V_{in1} 에 대하여 나타내었다. 그림 3(a)에서, 피킹 구동 증폭기의 게이트 바이어스 (B급 또는 C급)는 메인 구동 증폭기(AB급)보다 낮



(a) 입력 전압에 따른 구동단의 출력 전류 곡선
(a) Output current curves at drive stage as a function of input voltage



(b) 입력 전압에 따른 최종단의 출력 전류 곡선
(b) Output current curves at final stage as a function of input voltage

그림 3. 2단 도허티 증폭기의 입력 전압에 따른 출력 전류 곡선

Fig. 3. Output current curve as a function of input voltages of the two-stage Doherty amplifier.

게 인가되어 있으므로 피킹 구동 증폭기가 메인 구동 증폭기보다 더 높은 입력 전압에서 동작하게 된다. 구동 증폭기의 동작점이 단지 그 게이트 바이어스에만 영향을 받는다고 가정한다면, 피킹 구동 증폭기의 입력 전압 V_{inl} 에 대한 동작점 γ_d 는 식 (3)과 같이 표현될 수 있다.

$$\gamma_d = (V_{TH_pd} - V_{gs_pd}) / V_{inl_max} \quad (3)$$

여기서, V_{TH_pd} 는 피킹 구동 증폭기의 threshold 전압이고, V_{inl_max} 는 증폭기의 최대 출력이 발생할 때의 최대 입력 전압이다. 동작점 r_d 는 V_{inl_max} 으로 정규화 된 값이다.

그림 3(b)에서 최종단의 피킹 증폭기 또한 메인 증폭기보다 낮게 게이트 바이어스 되어 있으므로, 피킹 증폭기의 동작점 r_f 는 식 (4)와 같이 표현될 수 있다.

$$\gamma_f = \frac{(V_{TH_p} - V_{gs_p}) / V_{inl_max}}{Z_{in_p} \times gm_pd} \quad (4)$$

여기서, 입력 전압 V_{inl} 에 대하여 나타내기 위해 식 (2)와 피킹 구동 증폭기의 trans-conductance gm_pd 가 이용되었다. 피킹 구동 증폭기와 피킹 증폭기의 게이트 바이어스 V_{gs_pd} 와 V_{gs_p} 는 threshold 전압보다 항상 작거나 같음 ($V_{TH} \geq V_{gs}$)을 가정한다.

결과적으로 2단 피킹 증폭기의 전체 동작점 r 는 피킹 구동 증폭기와 피킹 증폭기의 게이트 바이어스 V_{gs_pd} 와 V_{gs_p} 에 의하여 식 (5)로 나타낼 수 있다.

$$\gamma = \gamma_d + \gamma_f \quad (5)$$

추가적으로 동작점 γ 를 결정하는데 있어서 피킹 증폭기의 게이트 바이어스가 피킹 구동 증폭기의 게이트 바이어스보다 $gm_pd \times Z_{in_p}$ 만큼 덜 민감하다는 것을 식 (3)과 식 (4)를 통해서 알 수 있다.

피킹 구동 증폭기와 피킹 증폭기의 게이트 바이어스에 따른 동작점 γ 를 이용하여 2단 도허티 증폭기의 효율 공식을 유도하면 다음과 같다. RF 출력 전력 P_{out} 은 식 (6)과 같다.

$$P_{out} = I_{m_max} \times V^2 \times V_{dc} \quad (6)$$

여기서, I_{m_max} 는 메인 증폭기의 출력 전류 전도각

α_m 에 따른 최대 출력 fundamental 전류로서 식 (7)과 같은 값을 가지고^[7],

$$I_{m_max} = \frac{I_{max}}{2\pi} \frac{\alpha_m - \sin \alpha_m}{1 - \cos(\alpha_m/2)} \quad (7)$$

여기서, V 는 최대 입력 전압 V_{inl_max} 으로 정규화 된 구동 증폭기의 입력 전압으로서, 식 (8)의 값을 갖는다.

$$V = V_{inl} / V_{inl_max} \quad (8)$$

메인 증폭기에서 소비되는 DC 전력 P_{dcm} 는 식 (9)와 같고 피킹 증폭기에서 소비되는 DC 전력 P_{dcp} 는 식 (10)과 같다.

$$P_{dcm} = I_{dcm_max} \times V \times V_{dc} \quad (0 < V_{inl} < V_{inl_max}) \quad (9)$$

$$P_{dcp} = \begin{cases} 0 & (0 < V_{inl} < \gamma V_{inl_max}) \\ I_{dcp_max} \times \left(\frac{1}{1-\gamma} \right) (V - \gamma) \times V_{dc} & (\gamma V_{inl_max} < V_{inl} < V_{inl_max}) \end{cases} \quad (10)$$

여기서, I_{dcm_max} 는 메인 증폭기의 출력 전류 전도각 α_m 에 따른 최대 DC 전류로서 식 (11)과 같이 나타낼 수 있고, I_{dcp_max} 는 피킹 증폭기의 출력 전류 전도각 α_p 에 따른 최대 DC 전류로서 식 (12)와 같이 나타낼 수 있다^[7].

$$I_{dcm_max} = \frac{I_{max}}{2\pi} \frac{2\sin(\alpha_m/2) - \alpha_m \cos(\alpha_m/2)}{1 - \cos(\alpha_m/2)} \quad (11)$$

$$I_{dcp_max} = \frac{I_{max}}{2\pi} \frac{2\sin(\alpha_p/2) - \alpha_p \cos(\alpha_p/2)}{1 - \cos(\alpha_p/2)} \quad (12)$$

메인 구동 증폭기에서 소비되는 DC 전력 P_{dcmd} 는 식 (13)과 같고 피킹 구동 증폭기에서 소비되는 DC 전력 P_{dcpd} 는 식 (14)와 같다.

$$P_{dcmd} = I_{dcmd_max} \times V \times V_{dc} \quad (0 < V_{inl} < V_{inl_max}) \quad (13)$$

$$P_{dcpd} = \begin{cases} 0 & (0 < V_{inl} < \gamma_d V_{inl_max}) \\ I_{dcpd_max} \times \left(\frac{1}{1-\gamma_d} \right) (V - \gamma_d) \times V_{dc} & (\gamma_d V_{inl_max} < V_{inl} < V_{inl_max}) \end{cases} \quad (14)$$

여기서, I_{dcmd_max} 는 메인 구동 증폭기의 출력 전류

전도각 α_{md} 에 따른 최대 DC 전류로서 식 (15)와 같고, I_{dcpd_max} 는 피킹 구동 증폭기의 출력 전류 전도각 α_{pd} 에 따른 최대 DC 전류로서 식 (16)과 같이 나타낼 수 있다^[7].

$$I_{dcm_max} = \frac{I_{max}}{2\pi} \frac{2\sin(\alpha_{md}/2) - \alpha_{md}\cos(\alpha_{md}/2)}{1 - \cos(\alpha_{md}/2)} \quad (15)$$

$$I_{dcp_max} = \frac{I_{max}}{2\pi} \frac{2\sin(\alpha_{pd}/2) - \alpha_{pd}\cos(\alpha_{pd}/2)}{1 - \cos(\alpha_{pd}/2)} \quad (16)$$

그러므로, 식 (6)~식 (16)을 이용한 2단 도허티 증폭기의 전체 효율은 식 (17)과 같다.

$$\eta = \frac{P_{out}}{P_{dcm} + P_{dcp} + P_{dcm_d} + P_{dcp_d}} \times 100 \quad (17)$$

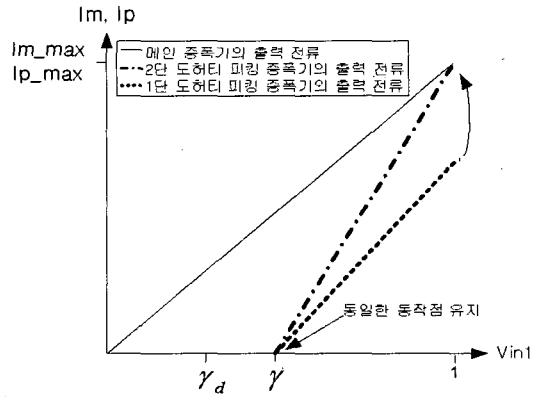
2.3 2단 피킹 증폭기의 영향 및 각 게이트 바이어스의 조절

2단 도허티 증폭기 구조는 1단 도허티 증폭기 구조에서 발생하는 다음과 같은 단점들을 극복하여 전체 출력 전력 구간에서 효율을 향상시키고 백-오프 지점에서 최대 효율을 갖는 도허티 증폭기 효율 특성을 더욱 쉽게 얻을 수 있다.

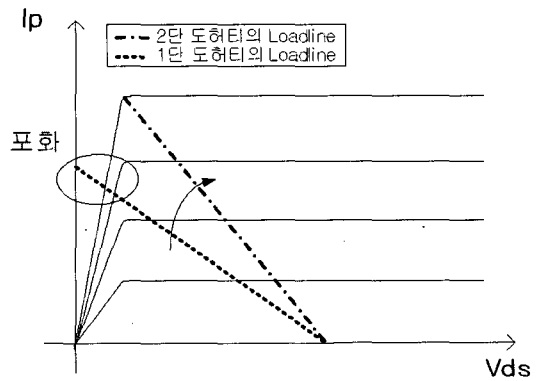
그림 4(a)에서 1단 도허티 증폭기와 2단 도허티 증폭기의 입력 전압에 따른 최종단 출력 전류를 나타내었고, 그림 4(b)에서 1단 도허티 증폭기와 2단 도허티 증폭기의 최대 출력 전력에서의 load line을 비교하였다.

기존의 1단 도허티 증폭기는 피킹 증폭기의 동작점 γ 가 하나의 게이트 바이어스 V_{gs_p} 로 결정된다. 또한 피킹 증폭기가 C급으로 게이트 바이어스 되므로 그림 4(a)와 같이 피킹 증폭기에서 얻을 수 있는 최대 출력 전력이 줄어들게 된다.

반면에 2단 도허티 증폭기는 2개의 게이트 바이어스 V_{gs_p} 와 V_{gs_pd} 로 동작점 조절이 가능하다. 그러므로 2단 도허티 증폭기는 1단 도허티 증폭기보다 더 높게 피킹 증폭기 게이트 바이어스 V_{gs_p} 를 인가하여 그림 4(a)와 같이 피킹 증폭기가 발생시킬 수 있는 최대 출력 전력을 1단 도허티 증폭기보다 향상시키면서 피킹 구동 증폭기의 게이트 바이어스 V_{gs_pd} 를 낮추어줌으로써, 전체 동작점 γ 를 1단 도



(a) 피킹 증폭기 출력 전류
(a) Output current of the peaking amplifier



(b) 부하선
(b) Load lines

그림 4. 1단 도허티 증폭기와 2단 도허티 증폭기의 출력 전류와 부하선 비교

Fig. 4. Comparison of the output currents and load lines between the single-stage and the two-stage Doherty amplifier.

허티와 동일하게 유지할 수 있다.

이때에 식 (6)~(17)을 이용하여 2단 도허티 증폭기와 구동단을 포함한 1단 도허티의 효율 특성을 비교하면 다음과 같다. 식 (10)에서 2단 피킹 증폭기의 전체 동작점 γ 가 1단 도허티 증폭기의 동작점과 동일하게 유지되므로 2단 도허티의 피킹 증폭기와 구동단을 포함한 1단 도허티의 피킹 증폭기가 소비하는 DC 전력 P_{dcp} 는 동일하다. 식 (14)에서 피킹 구동 증폭기의 게이트 바이어스 V_{gs_pd} 가 1단 도허티 증폭기의 구동 증폭기 (AB급)보다 낮게(B급 혹은 C급) 인가되므로 상대적으로 2단 도허티 증폭기의 피

킹 구동 증폭기가 소비하는 DC 전력 P_{dcpd} 가 1단 도허티의 피킹 구동 증폭기보다 줄어들게 된다. 이에 따라 2단 도허티 증폭기와 1단 도허티 증폭기의 메인 증폭기와 메인 구동 증폭기의 DC 전력 소비 P_{dcm} 과 P_{dcmd} 가 동일하다고 가정하면, 식 (17)을 통해 전체 효율이 증가함을 알 수 있다.

그림 4(a)에서 보여지는 것과 같이 1단 도허티 증폭기의 trans-conductance는 이론적인 값보다 작아서 피킹 증폭기 출력 전류 I_p 가 급격하게 상승하지 못한다. 그러므로 그림 4(b)와 같이 충분한 load modulation이 일어나지 못하여 메인 증폭기와 피킹 증폭기가 포화되고 백-오프 지점에서 최대 효율을 갖는 도허티 효율 특성을 얻기 어렵다.

그러나 2단 도허티 증폭기 구조는 이러한 단점을 극복할 수 있다. 식 (18)과 식 (19)는 2단 도허티 증폭기의 피킹 구동 증폭기의 출력 전류 I_{pd} 와 피킹 증폭기의 출력 전류 I_p 를 입력 전압 V_{in1} 에 대한 식으로 나타낸 것이다.

$$I_{pd} = gm_{pd} \times V_{in1} \quad (18)$$

$$I_p = gm_p \times I_{pd} \times Z_{in-p} = gm_p \times gm_{pd} \times Z_{in-p} \times V_{in1} \quad (19)$$

여기서, gm_{pd} 는 피킹 구동 증폭기의 trans-conductance이며, gm_p 는 피킹 증폭기의 trans-conductance이다. Z_{in-p} 는 피킹 증폭기의 입력 임피던스이다.

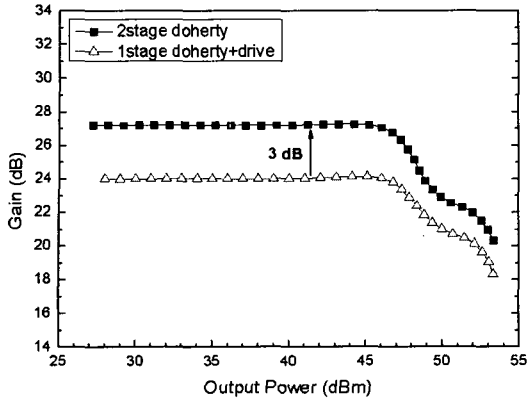
식 (19)에서 2단으로 구성된 피킹 증폭기의 trans-conductance는 $gm_p \times gm_{pd} \times Z_{in-p}$ 로 나타낼 수 있다. 각각 B급 혹은 C급으로 게이트 바이어스된 피킹 구동 증폭기의 trans-conductance gm_{pd} 와 피킹 구동 증폭기의 trans-conductance gm_p 에 의하여 2단 도허티 증폭기의 피킹 증폭기 출력전류 I_p 는 그림 4(a)와 같이 1단 도허티 증폭기에 비하여 급격하게 상승할 수 있다. 이러한 영향으로 2단 도허티 증폭기는 그림 4(b)와 같이 충분한 load modulation을 발생시켜서 메인 증폭기와 피킹 증폭기가 포화되지 않으며 백-오프 지점에서 최대 효율을 나타내는 도허티 증폭기 효율 특성을 얻을 수 있다.

III. 설계 및 시뮬레이션

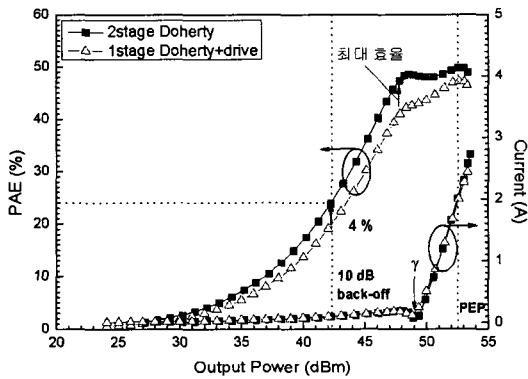
2단 도허티 증폭기의 시뮬레이션은 ADS(Agilent)를 사용하여, 주파수 2140 MHz에서 수행하였다. 2단 도허티 구조의 최종단은 180 W의 P1 dB를 가지는 푸쉬-풀(push-pull) LDMOS FET(Freescale's MRF5P2-1180)를 이용하여 설계하였으며, 두 개의 구동단은 45 W의 P1 dB를 가지는 싱글-엔디드(single-ended) LDMOS FET(Freescale's MRF21045)를 사용하여 설계하였다. 구동단을 포함한 1단 도허티 증폭기는 동일한 MRF21180 소자를 사용하여 도허티 증폭기의 최종단을 구성하였으며, 구동 증폭기는 두 개의 동일한 MRF21045 소자를 평형 병렬 형태(balanced)로 구성하였다. 두 경우 모두 6 dB 백-오프(back-off) 지점에서 최대의 효율을 가지는 도허티 증폭기 특성을 얻기 위하여 피킹 보상 선로가 사용되었다⁵⁾. 이 보상 선로를 사용함으로써 피킹 증폭기 출력의 누설 전류를 줄일 수 있으며 최적의 효율, 이득, 선형성 결과를 얻기 위하여 각각 피킹 증폭기의 게이트 바이어스를 조절하였다. 2단 도허티 증폭기의 피킹 증폭기 게이트 바이어스 V_{gs-p} 는 2.3 V, 피킹 구동 증폭기 게이트 바이어스 V_{gs-pd} 는 3.2 V를 인가하였으며, 1단 도허티 증폭기의 피킹 증폭기 게이트 바이어스 V_{gs-p} 는 0.5 V를 인가하였다.

그림 5에서, 2단 도허티 증폭기와 구동단을 포함한 1단 도허티 증폭기의 2-톤 신호를 사용한 시뮬레이션 결과를 비교하였다. 먼저, 그림 5(a)에서 이득 특성을 비교하였다. 2단 도허티 증폭기의 이득이 1단 도허티 증폭기에 비하여 약 3 dB 높은 결과를 얻었다. 이것은 2단 도허티 증폭기 구조 구성 시 구동단과 최종단 사이 정합 회로의 임피던스 변화와 90도 hybrid coupler 2개를 사용하지 않아서 나타나는 커플러 손실 감소에 의한 것이다.

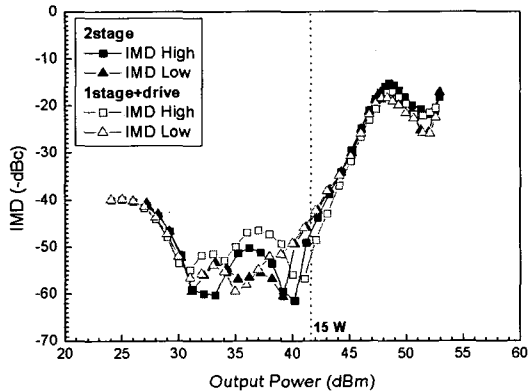
그림 5(b)에서 전력 부가 효율과 피킹 증폭기 출력 전류를 비교하였다. 두 증폭기는 동일한 동작점 γ 에서 피킹 증폭기가 동작되지만, 2단 도허티 증폭기가 1단 도허티 증폭기에 비하여 10 dB 백-오프된 15 W 평균 출력 전력에서 4%의 효율 증가를 얻었다. 이것은 그림 5(a)에서 보여진 이득 향상과 앞서 II 장 2-3절에서 설명한 2단 증폭기의 P_{dcpd} 감소에 기인한다. 또한 식 (18) 및 식 (19)에서 설명한 2단 증폭기



(a) 이득
(a) Gain



(b) 전력 부가 효율과 피킹 증폭기 출력 전류
(b) PAE and output current of peaking amplifier



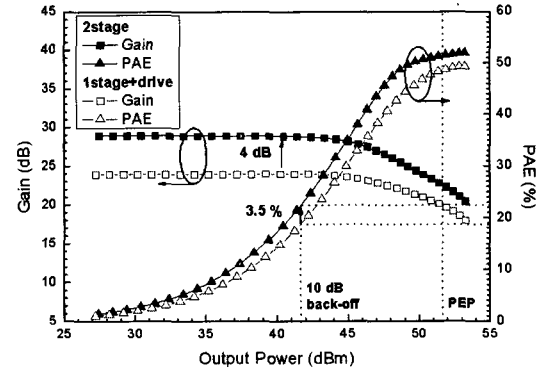
(c) IMD
(c) IMD

그림 5. 1단 도허티 증폭기와 2단 도허티 증폭기의 2-tone 신호를 사용한 시뮬레이션 결과 비교
Fig. 5. Comparison of 2-tone simulation results between the single-stage and the two-stage Doherty amplifier.

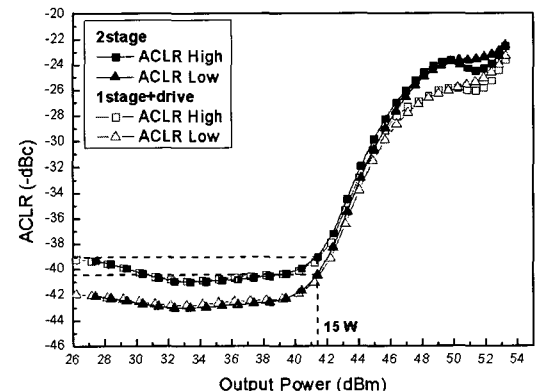
의 load modulation 영향으로 1단 도허티에서 얻을 수 없었던 백-오프 지점에서의 최대 효율을 얻을 수 있었다.

그림 5(c)는 두 증폭기의 IMD 특성이다. 15 W 평균 출력 전력에서 유사한 IMD 특성을 보이고 있으며, 그 이외의 출력 전력 구간에서도 유사한 IMD 특성을 보인다. 그림 5를 통하여 2단 도허티 증폭기가 1단 도허티 증폭기와 유사한 IMD 성능을 나타내면서 더 높은 이득과 효율을 가진다는 것을 알 수 있다.

그림 6에서 3GPP(3rd Generation Partnership Project) FDD Downlink 1 FA 신호를 사용하여 2단 도허티 증폭기와 구동단을 포함한 1단 도허티 증폭기의



(a) 전력 부가 효율과 이득
(a) PAE and Gain



(b) ACLR (± 5 MHz 오프셋)
(b) ACLR (± 5 MHz offset)

그림 6. WCDMA 1FA 신호를 사용한 시뮬레이션 결과 비교
Fig. 6. Comparison of simulation results using WCDMA signal.

시뮬레이션 결과를 비교하였다. 그림 6(a)에서 2단 도허티 증폭기가 1단 도허티 증폭기에 대하여 약 4 dB 높은 이득을 나타내었으며, 10 dB 백-오프된 15 W 평균 출력 전력에서 3.5 % 더 높은 전력 부가 효율을 나타내었다. 그림 6(b)는 ± 5 MHz offset에서 측정된 ACLR 결과이다. 15 W 평균 출력 전력에서 두 증폭기 모두 약 -40 dBc의 동일한 ACLR 결과를 얻었다.

표 1은 구동단을 포함한 1단 도허티 증폭기와 2단 도허티 증폭기의 WCDMA 1FA 신호를 사용한 시뮬레이션 결과를 비교한 것이다.

2-톤 시뮬레이션과 1 FA 시뮬레이션에서 2단 도허티 증폭기가 1단 도허티 증폭기와 동일한 선형성을 가지면서 높은 이득과 효율 특성을 나타낸다는 결과를 얻었으며, 이에 따라 2단 도허티 증폭기를 제작 및 측정하였다.

IV. 측정 결과

본 논문에서는 구동단 증폭기로 2개의 싱글-엔디드(single-ended) 패키지 타입 LDMOS FET(Freescale's MRF21045)를 사용하고, 최종단 도허티 증폭기로 1개의 푸쉬-풀(push-pull) 패키지 타입 LDMOS FET(Freescale's MRF5P21180)을 사용하여 고 이득 2

표 1. 구동단을 포함한 1단 도허티 증폭기와 2단 도허티 증폭기의 시뮬레이션 결과 비교
Table 1. Comparison of simulation results between single-stage Doherty amplifier with driver stage and two-stage Doherty amplifier.

항목	WCDMA 1FA		
	1단 도허티 (구동단 포함)	2단 도허티	
주파수 (MHz)	2140	2140	
평균 출력 전력 (W)	15	15	
이득 (dB)	24	28	
PAE (%)	19	22.5	
ACLR (dBc)	+5 MHz 오프셋	-39	-39
	-5 MHz 오프셋	-40.5	-40.5

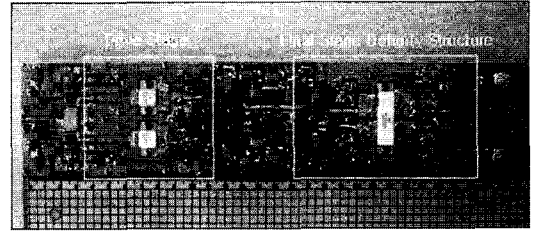
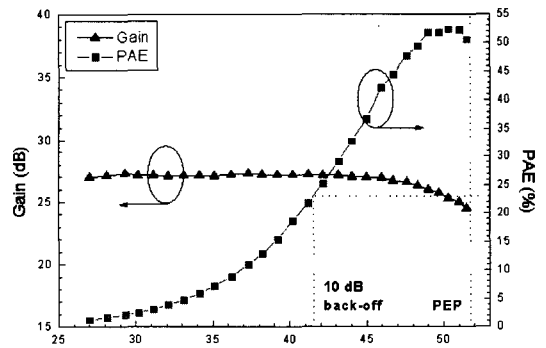


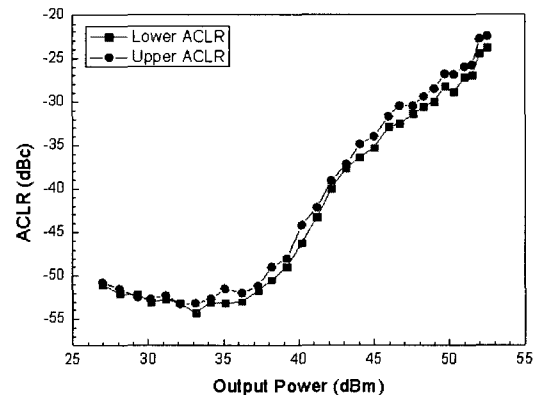
그림 7. 2단 도허티 증폭기의 실물 사진
Fig. 7. Photograph of the two-stage Doherty power amplifier.

단 도허티 증폭기를 제작하고, WCDMA 1FA 신호로 측정하였다. 그림 7은 제작된 2단 도허티 증폭기의 실물 사진이다.

그림 8은 WCDMA 신호를 사용하여 측정한 결과



(a) 전력 부가 효율과 이득
(a) PAE and Gain



(b) ACLR (± 5 MHz 오프셋)
(b) ACLR (± 5 MHz offset)

그림 8. WCDMA 1FA 신호로 측정한 결과
Fig. 8. Measurement results using WCDMA 1FA signal.

이다. 사용한 WCDMA 신호는 3GPP TS25.213 V5.5.0 과 TS 25.211 V5.5.0에서 규정된 FDD(Frequency Division Duplex) 모드의 1 FA 신호이다. 그림 8(a)는 이득과 전력 부가 효율 결과이다. V_{gs_pd} 와 V_{gs_p} 가 각각 3.5V, 2.94V일 때, 평균 출력 전력 15 W에서 27 dB의 이득과 23 %의 전력 부가 효율을 얻었다. 그림 8(b)는 ± 5 MHz offset에서 측정된 ACLR의 값으로 평균 출력 전력 15 W에서 약 -40.5 dBc의 결과를 보였다.

그림 9는 2단 도허티 증폭기의 15 W 평균 출력 전력에서의 WCDMA 1 FA 신호에 대한 2단 도허티 증폭기의 ACLR을 측정된 power spectrum이다. -5 MHz 오프셋에서 -41 dBc, +5 MHz 오프셋에서 -40 dBc의 선형성을 얻었다.

표 2에서 2단 도허티 증폭기의 시뮬레이션 결과와 측정 결과를 비교하였다. 측정 결과는 시뮬레이션 결과와 유사하였다.

V. 결 론

본 논문에서는 2단 도허티 증폭기를 구현하였다. 특히 구동단을 갖는 1단 도허티 증폭기와 비교하여 2단 도허티 증폭기가 동일한 선형성에서 이득과 효율이 향상되는 것을 2단 피킹 증폭기와 게이트 바이어스의 영향으로 이론적인 해석을 하였으며 시뮬레이션과 측정 결과를 통하여 입증하였다. 또한, 2단 도허티 증폭기 구조에서 구동단을 포함한 1단 도허티

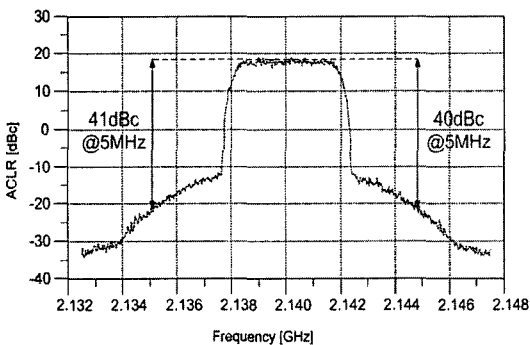


그림 9. 15 W 평균 전력에서 측정된 2단 도허티 증폭기의 반송파 스펙트럼

Fig. 9. Measured carrier spectrum of the two-stage Doherty amplifier at the average output power of 15 W.

표 2. 2단 도허티 증폭기의 시뮬레이션과 측정 결과 비교

Table 2. Comparison of simulation results with measurements for the two-stage Doherty amplifier.

항목	WCDMA 1FA		
	시뮬레이션	측정	
주파수 (MHz)	2140	2140	
평균 출력 전력 (W)	15	15	
이득 (dB)	28	27	
PAE (%)	22.5	23	
ACLR (dBc)	+5 MHz 오프셋	-39	-40
	-5 MHz 오프셋	-40.5	-41

증폭기에 사용되고 있는 2개의 90도 Hybrid coupler를 제거하여 사이즈와 커플러 손실을 줄였다. 향후, 본 논문에서 제시한 2단 도허티 구조를 효율 구간을 확장하는 비대칭 도허티 증폭기에 적용하여 확장된 백-오프 영역에서 효율을 향상시킬 수 있을 것으로 기대된다.

참 고 문 헌

- [1] W. H. Doherty, "A new high power amplifier for modulated waves", *Proc. IRE*, vol. 24, no. 9, pp. 1163-1182, Sep. 1936.
- [2] B. Shin, J. Cha, J. Kim, Y. Y. Woo, J. Yi, and B. Kim, "Linear power amplifier based on 3-Way Doherty amplifier with perdistorter", *IEEE MTT-s Int. Microwave Symp. Dig.*, pp. 687-690, 2004.
- [3] K. J. Cho, W. J. Kim, J. H. Kim, and S. P. Stapleton, "Linearity optimization of a high power Doherty amplifier based on post-distortion compensation", *Microwave and Wireless Components Letters, IEEE.*, vol. 15, issue 11, pp. 748-750, Nov. 2005.
- [4] W. J. Kim, S. P. Stapleton, K. J. Cho, and J. H. Kim, "Digital predistortion of a Doherty amplifier

with a weak memory with in a connected solution", *IEEE Vehicular Technology Conf.*, Sep. 2004.

[5] K. J. Cho, J. H. Kim, and S. P. Stapleton, "A highly efficient Doherty feedforward linear power amplifier for W-CDMA base-station application", *IEEE Trans. Microw. Theory Tech.*, vol. 53, issue 1, pp. 292-300, Jan. 2005.

[6] E. J. Crescenzi, R. S. Pengelly, S. M. Wood, and R. E. Buss, "60 watt doherthy amplifiers using high gain 2-stage hybrid amplifier modules", *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1383-1386, 2005.

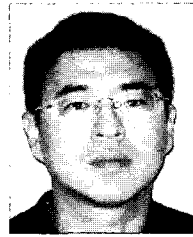
[7] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Norwood, MA: Artech House, 1999.

김 재 곤



2005년 2월: 광운대학교 전자공학부 (공학사)
 2005년 3월~현재: 광운대학교 전파공학과 석사과정
 [주 관심분야] RF 고효율 전력증폭기, RF 선형전력증폭기

이 동 현



1996년 2월: 숭실대학교 전자공학과 (공학사)
 1999년 2월: 숭실대학교 전자공학과 (공학석사)
 2004년 3월~현재: 광운대학교 전파공학과 박사과정
 [주 관심분야] 이동통신 시스템, 마이크로웨이브 시스템, 선형증폭기, 고효율 증폭기, RFID

김 지 연



2002년 2월: 광운대학교 전자공학부 (공학사)
 2004년 2월: 광운대학교 전파공학과 (공학석사)
 2004년 3월~현재: 광운대학교 전파공학과 박사과정
 [주 관심분야] RF 고효율 전력증폭기, RF 선형전력증폭기

김 중 현



1984년 2월: 광운대학교 전자통신공학과 (공학사)
 1990년 6월: 독일 Ruhr Univ. Bochum 전자공학과 (공학석사)
 1994년 8월: 독일 Dortmund Univ. 전자공학과 (공학박사)
 1995년 4월~현재: 광운대학교 전파공학과 교수
 2002년 1월~현재: 캐나다 SFU Research Associate
 2004년 7월~현재: 미국 TelASIC Technical Advisor
 2005년 3월~현재: IT 국제표준화 전문가
 [주 관심분야] 스마트 전력증폭기, 고효율 전력증폭기, 선형화기, 스펙트럼 공학, 마이크로파 센서