
저전력화를 위한 AC형 PDP 구동회로의 설계

장윤석* · 최진호**

Design of AC PDP driving Circuit for Low Power Consumption

Yoon Seok Jang* · Jin Ho Choi**

요 약

PDP 구동회로는 160V 이상의 고전압을 유지하기 위한 스위칭 소자와 커패시터를 필요로 한다. 이러한 고전압용 소자의 사용은 PDP 구동회로의 가격을 상승시키고 전력소모를 증가시키는 원인이 된다. 기존의 PDP 구동회로는 3개의 공급 전압원과 16개의 스위칭 소자로 구성되어 있다. 그러나 본 논문에서는 2개의 공급 전압원과 12개의 스위칭 소자를 사용하고, 공급 전압도 기존의 공급 전압보다 낮은 공급 전압을 사용하는 구동회로를 제안한다. 컴퓨터 시뮬레이션을 통하여 입력 주파수가 70kHz에서 100kHz일 때 45V 이상의 공급전압을 사용한다면 PDP 셀 구동을 위한 충분한 크기의 신호를 얻을 수 있음을 확인하였다.

ABSTRACT

PDP driving circuit requires switching devices and capacitors to stand up high voltages over 160V. This is the main cause that the power consumption and the cost of a PDP driving circuit increase. Conventional PDP driving circuits consist of 3 voltage sources and 16 switching devices. In this paper, we propose a PDP driving circuit using 2 voltage sources and 12 switching devices that can be operated with a lower supply voltage than conventional driving circuit. The operation of the proposed driving circuit is verified by the computer simulation. Simulation results show that the output signal can drive PDP cell when the supply voltage is higher than 45V in the input frequency range 70kHz to 100kHz.

키워드

PDP, Driving circuit, Power consumption, Low supply voltage

I. 서 론

PDP(Plasma Display Panel)는 디지털 영상 디스플레이 장치로서 PC, Video, HDTV 등 다양한 입력 신호와 연결되어 기존의 디스플레이 장치 보다 밝고 선명한 고화질의 영상을 재현할 수 있다[1-4]. 그리고 PDP는 40인치 이상의 대형 화면을 10cm 이하의 얇은 두께로 구현할 수 있어

대화면, 초경량, 초박형 등 다른 디스플레이 장치에 비하여 많은 장점을 가지고 있다. PDP는 구동 방식에 따라 DC형, AC형 그리고 Hybrid형이 있다. 이러한 구동 방식은 PDP 셀의 구조와 밀접한 관계를 가지고 있다. 그러나 현재 대부분의 PDP는 AC형 구동방식을 사용하고 있다. 그 이유는 다른 구동방식에 비하여 PDP를 이루는 셀의 구조가 간단하게 구성되기 때문이다.

* 부경대학교 전기제어공학부

** 부산외국어대학교 컴퓨터공학부

AC형 PDP 구동회로는 크게 전원부, 신호처리부, 고내압 구동회로부로 나눌 수 있다. 고내압 구동회로부는 개발 회사마다 약간의 차이는 있지만 일반적으로 3개의 펄스 신호를 필요로 한다. 필요한 펄스 신호는 high와 low 전압차가 160V 이상인 펄스 신호, 0V를 기준으로 +80V 이상 그리고 -80V 이하인 펄스 신호이다. 그리고 펄스의 동작 주파수는 70-100kHz이다. 그러므로 PDP 구동회로는 펄스 신호 생성을 위하여 고전압 공급원을 사용하며, 또한 고가의 고내압 스위칭 소자를 사용한다[5-8]. 이는 PDP 시스템의 가격을 상승시키는 중요한 요인 중의 하나이며, 고전압 사용으로 인한 자체의 발열 및 전력소모 증가 등의 단점이 있다.

본 논문에서는 PDP 구동회로의 가격 및 전력 소모 감소에 중점을 두고 구동회로를 설계하였으며, 이를 위해 낮은 전압원을 사용함에도 PDP 셀들을 구동할 수 있도록 회로를 구성하였다. 그리고 설계되어진 회로는 컴퓨터 시뮬레이션을 통하여 검증하였다.

II. 본 론

2.1. 구동회로의 동작 개념

PDP 셀을 구동하기 위해 고전압 펄스 신호를 생성하여야 하는 PDP 구동회로는 고전압원 및 고가의 고내압 스위칭 소자를 사용한다. 회로의 동작시 전자소자에서 소모하는 전력은 식 (1)과 같이 공급 전압의 제곱에 비례한다.

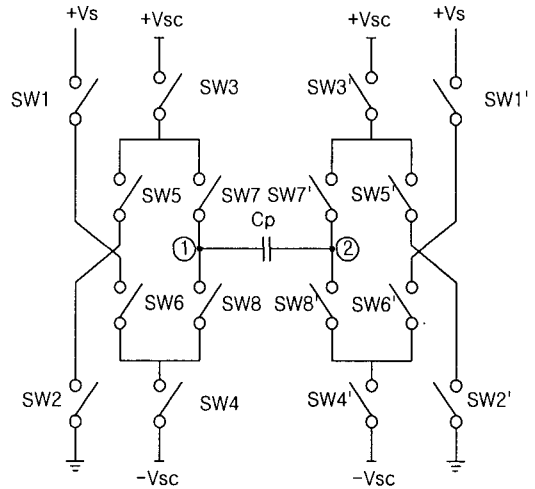
$$P \propto V^2 f \quad (1)$$

여기서 f 는 동작주파수이다. 식 (1)에서 공급전압의 크기를 1/2로 감소시킨다면, 회로의 전력 소모는 1/4로 감소시킬 수 있다.

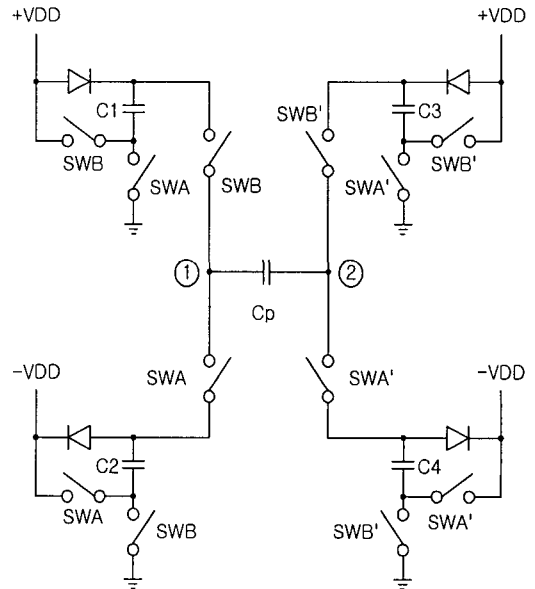
그림 1(a)는 기존의 PDP 구동회로이며, 그림 1(b)는 본 논문에서 제안하는 구동회로이다. 기존의 PDP 구동회로는 3개의 전압 공급원과 16개의 스위치로 구성되어 있다. V_s 는 +160V이며 $\pm V_{sc}$ 는 $\pm 80V$ 정도이다. 그리고 스위치를 제어하여 ①번 노드와 ②번 노드에 $\pm 80V$ 의 전압신호 생성하거나 혹은 160V의 전압차가 ①번 노드와 ②번 노드 양단에 생성되도록 한다. ①번 노드와 ②번 노드에 있는 커패시터 C_p 는 구동할 PDP 셀에 해당한다.

그림 1(b)의 PDP 구동회로는 12개의 스위치와 2개의

공급 전압원으로 구성되어 있다. 그리고 추가로 4개의 커패시터와 4개의 다이오드를 사용하였다.



(a) 기존 회로



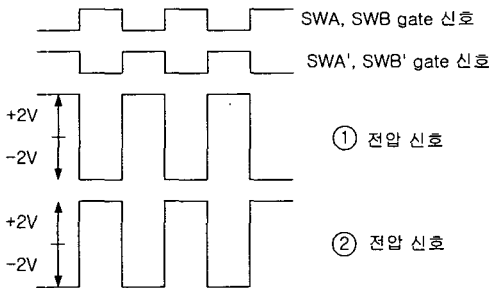
(b) 제안회로

그림 1. PDP 구동회로의 개략도
Fig. 1. Schematic diagram of PDP driving circuits

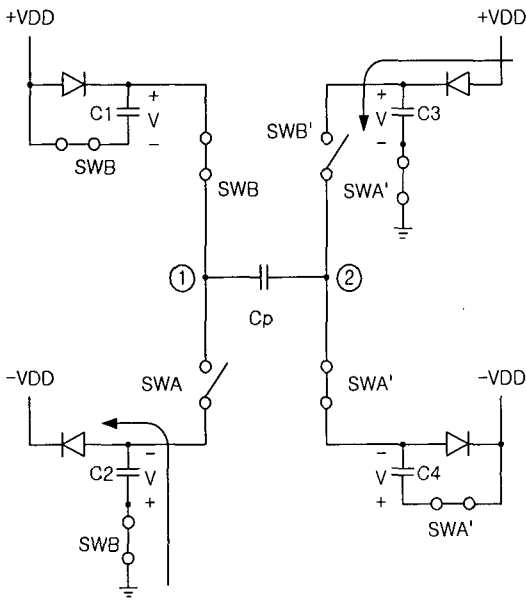
공급전압이 VDD일 때 출력 전압의 크기는 4VDD인 펄스가 발생하도록 회로를 구성하였다. 그러므로 160V의 전압 차를 가진 펄스 신호를 생성하기 위해 사용되는 공급 전압원은 약 40V이다.

그림 1(b)에서 SWA와 SWA'는 NMOS이며 SWB와 SWB'는 PMOS이다. 전체 PDP 구동회로는 6개의 NMOS와 PMOS, 4개의 커패시터와 다이오드로 구성되어 있다.

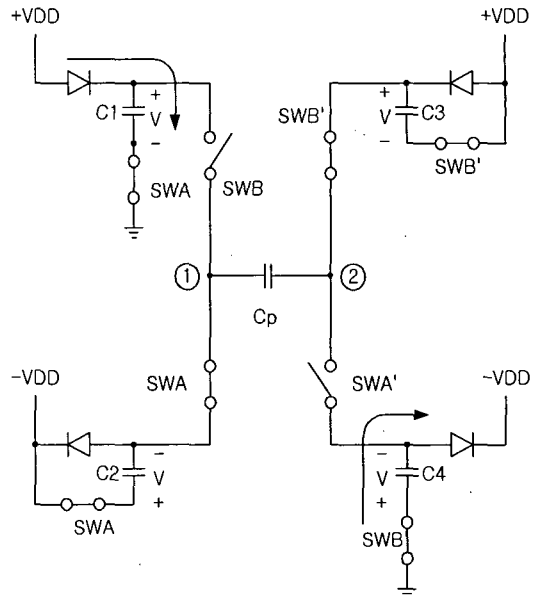
그림 2는 제안한 PDP 구동회로의 게이트 전압 신호와 출력노드의 전압 신호 그리고 각 스위치의 on/off에 따른 회로의 동작이다. 그림 2(a)는 MOS에 인가되는 게이트 전압 신호와 출력노드인 ①번 노드와 ②번 노드의 전압 파형이다.



(a) 입출력 신호



(b) 스위치 SWB와 SWA' : on



(c) 스위치 SWA와 SWB' : on

그림 2. 입출력신호 및 스위치 on/off에 따른 회로 동작
Fig. 2. Input and output signals and circuit operation with switch on and off

회로의 동작을 살펴보면, SWA와 SWB에 인가되는 게이트 전압이 low이고 SWA'와 SWB'에 인가되는 게이트 전압이 high 인 경우 PMOS인 SWB와 NMOS인 SWA'은 on 된다. 이 경우 회로의 연결은 그림 2(b)와 같다. 이 경우 커패시터 C3은 VDD로 충전되며, 커패시터 C2는 -VDD로 충전된다.

입력신호가 반전되어 SWA와 SWB에 인가되는 게이트 전압이 high이고 SWA'와 SWB'에 인가되는 게이트 전압이 low 인 경우 SWB'와 SWA은 on 된다. 이 경우 회로의 연결은 그림 2(c)와 같다. 이 경우 커패시터 C1은 VDD로 충전되며, 커패시터 C4는 -VDD로 충전된다. 그리고 ①번 노드의 전압은 C2와 -VDD 전압으로 인하여 -2VDD가 된다. 그리고 C3에 충전된 전압과 +VDD 전압으로 인하여 ②번 노드의 전압은 +2VDD가 된다. 그러므로 커패시터 Cp 양단의 전압 차는 4VDD이다.

다시 입력신호가 반전되면, 스위치 SWB와 SWA'은 on 된다. 이 경우는 그림 2(a)에서 보듯이 커패시터 C3은 VDD로 충전되며, 커패시터 C2는 -VDD로 충전된다. 그리고 C1에 충전된 전압과 +VDD 전압으로 인하여 ①번

노드의 전압은 +2VDD이고 C4에 충전된 전압과 -VDD 전압으로 인하여 ②번 노드의 전압은 -2VDD가 된다. 그리고 커패시터 Cp 양단의 전압 차는 4VDD가 된다. 그러므로 ①번 노드와 ②번 노드의 전압은 입력신호에 따라 +2VDD와 -2VDD로 변화하면서 Cp 양단에는 항상 4VDD 크기의 전압 차가 발생된다. 스위치의 on과 off에 따른 ①번과 ②번 노드의 전압 관계를 정리하면 표 1과 같다.

표 1. 스위치 on과 off에 따른 커패시터 충전전압 및 출력노드 전압

Table 1. Charging voltage of capacitor and output voltage with switch on and off

	반주기	다음 반주기
On 스위치	SWB, SWA'	SWA, SWB'
Off 스위치	SWA, SWB'	SWB, SWA'
충전 전압	C3: VDD로 충전 C2: -VDD로 충전	C1: VDD로 충전 C4: -VDD로 충전
출력 전압	①: +2VDD ②: -2VDD	①: -2VDD ②: +2VDD

표 1로부터 제안된 회로의 경우 기존 회로에 비해 공급 전압원의 크기 및 개수를 감소시키더라도 PDP 셀을 구동하기 위한 출력 신호를 얻을 수 있음을 알 수 있다. 표 2는 기존의 PDP 구동회로와 제안한 구동회로의 구성을 비교한 것이다.

표 2. 기존 회로 및 제안 회로의 비교
Table 2. Comparison of conventional and the proposed PDP driving circuits

항목	기존회로	제안회로
공급전압	+160V, ±80V	±40V
스위칭소자 개수	16개	12개
공급전압원 개수	3개	2개

제안한 회로의 경우 기존의 회로에 비해 공급 전압원의 크기 뿐 아니라 개수도 감소시켰으며, 또한 스위칭 소자의 개수도 감소시켜 구성하였다.

2.2. 구동회로의 설계 및 시뮬레이션

그림 3은 ①번 노드와 ②번 노드의 Cp 양단의 전압을 시뮬레이션한 결과이다. 이때 공급전압은 ±45V이며, 입력신호의 주파수는 70kHz이다.

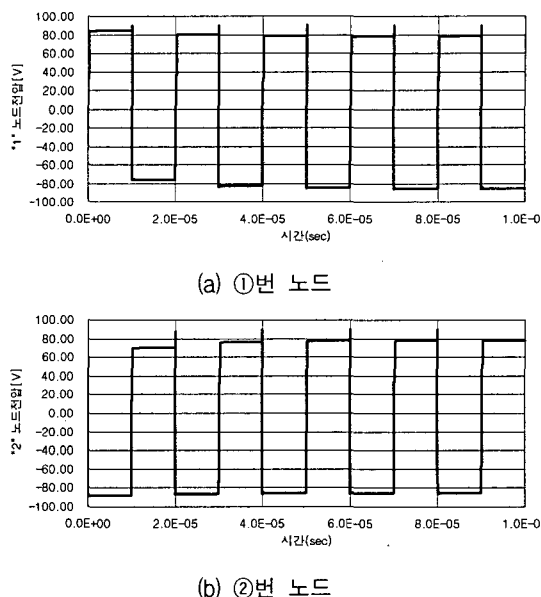


그림 3. 커패시터 Cp의 전압파형
Fig. 3. Voltage waveforms in capacitor Cp

공급전압이 ±45V일 때 Cp 양단의 전압차는 164V이다. Cp 양단의 전압이 4VDD인 전압보다 크기가 감소하는 이유는 충전시 다이오드의 전압 강하 및 전력 MOS의 on 저항 등의 영향으로 인한 것이다.

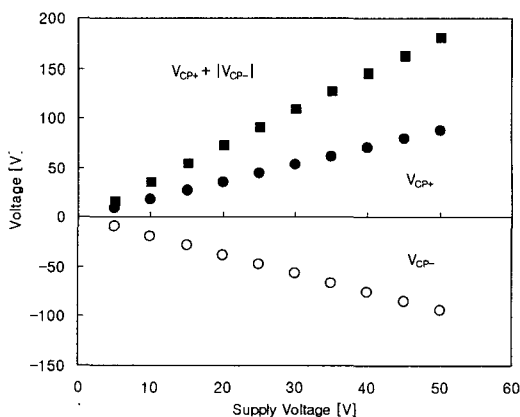


그림 4. 공급전압에 따른 커패시터 Cp 전압
Fig. 4. Capacitor Cp voltage as supply voltage changes

그림 4는 설계되어진 회로의 VDD 값을 5V에서 50V로 변화시키면서 시뮬레이션한 결과이다. VCP+는 커패시터 Cp의 "+" 전압이며, VCP-는 커패시터 Cp의 "-" 전압이다. 그리고 VCP+|VCP-는 커패시터 Cp 양단의 전압 크기이다. PDP 구동회로에서 45V 이상의 공급 전압원을 사용한다면, PDP 셀 구동을 위한 160V 이상의 전압 차를 얻을 수 있다.

그림 5는 입력 주파수에 따른 Cp 양단의 전압을 시뮬레이션한 것이다. 이때 VDD 전압은 45V와 50V이다. 동작 주파수 증가에 따라 Cp 양단의 전압이 감소하는 이유는 주파수가 증가함에 따라 MOS의 기생 용량과 기생 저항의 증가로 인하여 Cp 양단에 전달되는 전압의 크기가 감소하기 때문이다. 그림 5의 결과로부터 VDD 전압을 45V 이상으로 사용한다면 동작 주파수 70-100kHz 사이에서 160V 이상의 출력 특성을 얻을 수 있음을 알 수 있다.

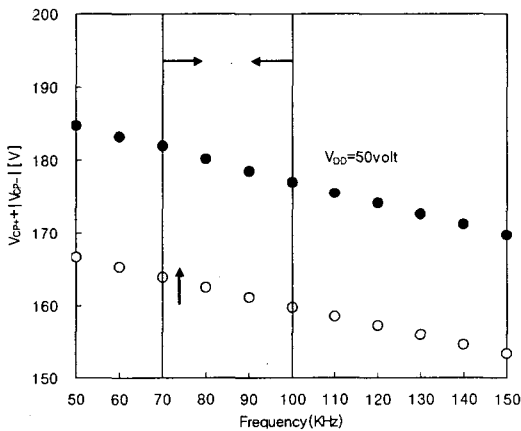


그림 5. 주파수 변화에 따른 커패시터 Cp 전압
Fig. 5. Capacitor Cp voltage as frequency changes

V. 결 론

본 논문에서는 PDP의 고내압 구동회로부의 공급전압을 감소시키기 위한 새로운 구동회로를 설계하고 컴퓨터 시뮬레이션을 통하여 동작을 확인하였다. 기존의 PDP 구동회로는 3개의 공급 전압원과 16개의 스위칭 소자로 구성되어 있으나, 본 논문에서 제안한 구동회로는 2개의 공급 전압원과 12개의 스위칭 소자를 사용하여 구성하였다. 또한 공급 전압원의 크기¹⁾도 기존의 공급 전압보다 낮은

공급 전압원을 사용한다. 입력 주파수가 70kHz에서 100kHz 일 때, 공급 전압원으로 45V 이상의 전압을 사용한다면 PDP 셀 구동을 위한 충분한 크기의 전압을 얻을 수 있었다. 이는 기존의 PDP 구동회로에 비해 공급 전압원의 개수를 감소시켰으며, 또한 작은 공급 전압원을 사용하더라도 충분히 PDP 셀을 구동할 수 있으므로 작은 내전압을 가지는 소자를 이용하여 구동회로를 구성할 수 있는 장점이 있다. 그러므로 본 논문에서 제안한 구동회로의 경우 전력 소모를 줄일 수 있을 뿐 아니라 구동회로의 가격 감소에도 기여할 것이다.

참고문헌

- [1] C. C. Wang, Y. H. Hsueh, C. S. Chen and J. F. Huang, "A low-cost plasma display panel data dispatcher for image enhancement," IEEE Transactions on Consumer Electronics, vol. 48 no.4, pp. 997-1003, 2002.
- [2] S. C. Brown, Basic data of plasma physics, AIP Press, 1997
- [3] 박정후 저, 플라즈마 디스플레이의 이해, 제일출판사, 2000
- [4] 御子柴茂生, 브라스마디스플레이最新技術, ED리サーチ社, 1996
- [5] Jian-Long Kuo, Tsung-Yu Wang, C. C. Tsai, Yu C. S. and Z. S. Chang, "Efficiency improvement on the PDP driver by using new pulse width modulated gray-level representation," Proceedings of the 4th IEEE International Conference on Power Electronics and Drive Systems - vol. 2, pp. 555-559, 2001
- [6] Tsai-Fu Wu, Chien-Chih Chen, Wen-Fa Hsu and Chien-Chou Chen, "Design and development of driving waveforms for AC PDPs," Conference Record of the 2002 IEEE Industry Applications Conference 37th IAS Annual Meeting - vol. 1, pp. 334-341, 2002
- [7] H. Sumida, A. Hirabayashi and H. Kobayashi, "A high-voltage lateral IGBT with significantly improved on-state characteristics on soi for an advanced pdp scan driver IC," Proceedings of the 2002 IEEE International SOI Conference, pp. 64-65, 2002
- [8] Y. Amano, J. Endo and B. K. Velayudhan, "A New Driving Method for Vertical Discharge PDP," Proceedings of the Fifth International Display Workshops, pp. 551-554, 1998

저자소개



장 윤 석(Yoon Seok Jang)

1985 부산대학교 전자공학과 학사
1987 부경대학교 전자공학과 공학석사

1992 일본 토호쿠대학 전기 및 통신공학전공 박사
1996~부경대학교 전기제어공학부 교수
※관심분야: 초음파, 음향신호처리, PDP, 생체전기신호



최 진 호(Jin Ho Choi)

1985 부산대학교 전자공학과 학사
1987 한국과학기술원 전기 및 전자공
학과 공학석사

1992 한국과학기술원 전기 및 전자공학과 공학박사
1996~부산외국어대학교 컴퓨터공학부 교수
※관심분야: VLSI 설계