

---

# 마이크로파대용 선형 전력증폭기의 효율 개선에 관한 연구

부종배\* · 김갑기\*\*

Study on the improved efficiency of Microwave linear Power amplifier

Jong-bae Boo\* · Kab-ki Kim\*\*

## 요 약

현재의 디지털 통신 시스템은 매우 다양한 디지털 변조 방식을 채택하고 있다. 이러한 통신 시스템에서는 인접 채널에 대한 간섭을 최대한 줄이기 위해서 필연적으로 선형 전력증폭기를 요하며 동시에 높은 효율의 전력증폭기가 요구된다. 본 논문에서는 선형성 및 효율이 동시에 개선되는 방식의 Doherty 전력 증폭기를 시뮬레이션 최적화 기법을 통해 설계하고 동시에 시뮬레이션을 통해 설계한 평형 전력 증폭기의 결과와 비교하여 효율이 20 % 선형성이 10dB 개선됨을 보였다.

## ABSTRACT

Current digital communication system is selecting very various digital Modulation way. Need linear power amplifier necessarily to reduce interference for contiguity channel maximum in this communication system and at the same time, power amplifier of high efficiency is required. In this paper Compare with result of equilibrium power amplifier that design Doherty power amplifier of way that linearity and efficiency are improved at the same time through simulation optimization techniques and at the same time design through simulation, efficiency 20% linearity showed 10 dB that is improved.

## 키워드

power amplifier. doherty power amplifier. linear.

## I. 서 론

최근의 이동통신 시스템은 음성에서 멀티미디어로의 변환을 추구하고 있다. 이러한 차세대 통신 시스템에서는 제한된 주파수 대역에서 많은 양의 데이터를 취급해야 하므로 매우 복잡한 디지털 변조 방식을 채택하게 된다. 따라서 이러한 디지털 변조 방식에서는 전체 통신 시스템의 선형성이 매우 우수해야 한다. 또한 디지털 통신 시스템의 성장으로 인한 고효율 선형 증폭기의 수요가 늘어나게

되었다.

Doherty 증폭기는 효율을 개선하기 위해 각각 캐리어 증폭기와 피크 증폭기로 구성되며 피크 증폭기의 입력단과 캐리어 증폭기의 출력단에 각각  $\lambda/4$  트랜스포머를 구성한 형태로 제안되었다.[1] Doherty 증폭기는 간단한 형태와 쉽게 기존의 피드 포워드, 인벨로프 및 피드백의 선형화 방식을 추가할 수 있다는 장점이 있어 효율 개선과 선형성 개선을 동시에 얻을 수 있다는 장점이 있지만  $\lambda/4$  트랜스포머등이 부착되어 대역폭이 줄어들 수 있고

---

\* 한국전파진흥원 강릉 사업소장

\*\* 목포해양대학교 해양전자통신공학부 교수

이득의 손실을 가질 수 있다.

본 논문에서는 이러한 디지털 통신 시스템에 사용할 수 있는 Doherty 증폭기를 구성하고 효율이 개선되어짐과 동시에 선형성을 개선할 수 있는 방안을 시뮬레이션을 통해 검증하였다.

## II. 고효율 선형 전력 증폭기

### 2.1. Doherty 증폭기

전형적인 Doherty 증폭기의 구성도는 그림 1과 같이 나타나어지며 AB급으로 동작하는 캐리어 증폭기와 C급으로 동작하는 피크 증폭기로 구성된다. 입력 신호는 3-dB 하이브리드를 거쳐 90도 위상차를 갖는 신호로 나뉘어지고, 각각의 증폭기를 통해 증폭된 신호는 결합기를 통해 동 위상으로 합쳐진다.

증폭기의 동작은 두 영역으로 나누어질 수 있으며, 첫 번째 영역은 입력 신호가 피크 증폭기의 임계치보다 작은 영역이며 캐리어 증폭기의 출력이 부하에 직접 전달되며 이 때 효율은 캐리어 증폭기의 효율에 의해 결정된다.

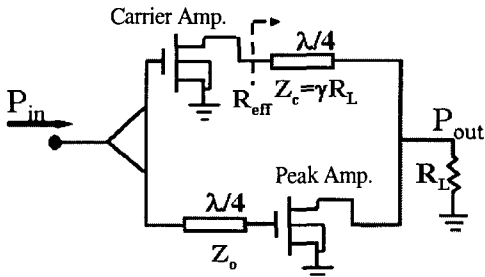


그림 1. Doherty 증폭기 구성도  
Fig. 1. Schematic diagram of Doherty Amplifier

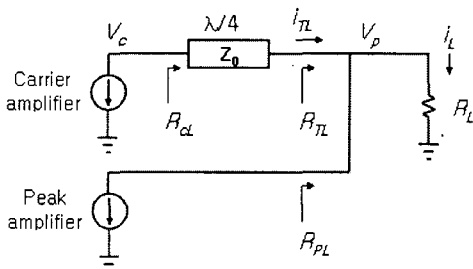


그림 2. 간략화 된 Doherty 증폭기의 선형 모델  
Fig. 2. Linear model of simply Doherty Amplifier

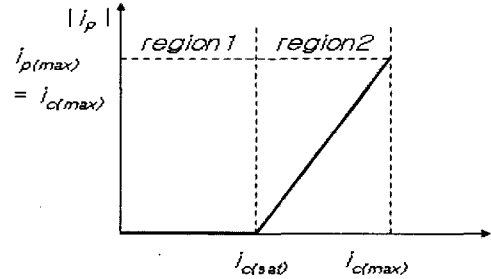


그림 3.  $i_p$  와  $i_c$ 의 관계 그래프  
Fig. 3. Relation graph of  $i_p$  and  $i_c$

입력 신호의 크기가 캐리어 증폭기가 포화되는 레벨로 커지면 피크 증폭기가 동작하기 시작하며 이 때가 효율이 최대가 되는 시점이며 두 번째 영역의 동작이 시작되는 시점이다.<sup>[2]</sup>

결합기에서 피크 증폭기에 의한 출력이 결합되어 캐리어가 바라보는 증폭기의 부하 임피던스는 효과적으로 줄어들 수 있으며 임피던스 감소로 인해 캐리어 증폭기는 전압이 포화된 상태로 부하에 보다 많은 전력을 공급하게 된다. 이러한 방식으로 캐리어 증폭기의 최대 효율이 피크 증폭기가 포화되기 전까지 유지될 수 있게 된다.

증폭기의 동작을 분석하기 위해 그림 2와 같이 간략화된 선형 모델을 이용할 수 있다.<sup>[2]</sup>

간략화된 선형 모델에서 각 증폭기는 전압제어 전류원  $i_p$  와  $i_c$ 로 표현될 수 있고, 이상적인  $\lambda/4$  트랜스포머가 연결된 것으로 간주한다. 이 때 캐리어 증폭기의 출력에서의 전압  $V_c$ 는 다음과 같이 나타낼 수 있다<sup>[2]</sup>

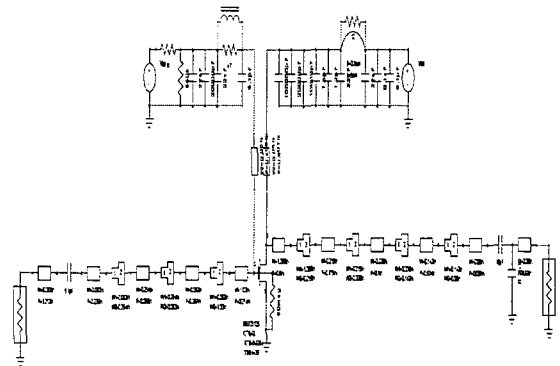


그림 5. MRF21125 테스트 회로의 스케메틱  
Fig. 5. Schematic of MRF21125 test circuit

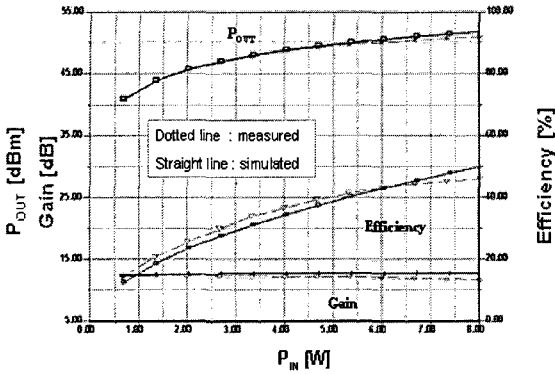


그림 6. MRF21125 의 이득, 효율 및 출력 전력 시뮬레이션과 측정 결과 비교

Fig. 6. Gain, efficiency and output power simulation of MRF21125, compare of measurement result

$$V_c = jZ_0 i_p - (Z_0^2 / R_L) i_c \text{ 여기서 } V_L = jZ_0 i_c \quad (1)$$

피크 증폭기는 캐리어 증폭기가 포화되는 시점에서  $i_p$  를 공급하도록 설계된다. 그러므로  $i_p$  와  $i_c$  의 관계는 그림 3과 같이 나타나며 수식으로는 다음과 같이 나타낼 수 있다.

$$i_p = \begin{cases} 0 & , i_c < i_{c(sat)} \\ -j\gamma(i_c - i_{c(sat)}) & , i_c \geq i_{c(sat)} \end{cases} \quad (2)$$

여기서  $i_{c(sat)}$  는 캐리어 전압이 포화되는 지점의 캐리어 전류이고  $\gamma = i_{c(max)} / i_{c(sat)}$  이다. [3]

수식 (1)에 수식 (2)를 대입하면 다음의 수식을 얻는다

$$V_c = \begin{cases} \frac{Z_0^2}{R_L} i_c & , i_c < i_{c(sat)} \\ \left( \frac{Z_0^2}{R_L} - \gamma Z_0 \right) i_c - \gamma Z_0 i_{c(sat)} & , i_c \geq i_{c(sat)} \end{cases} \quad (3)$$

수식 (3) 으로부터,  $i_c \geq i_{c(sat)}$  (영역2) 에서 캐리어 증폭기의 최대 효율을 얻는 포화 전압 상태를 유지하게 된다. 이 때 트랜스포머의 특성 임피던스는  $Z_0 = \gamma R_L$  이므로  $V_{c(sat)} = \gamma^2 R_L i_{c(sat)}$  이 된다. 최대 출력을 내는 동안 이 조건에서 캐리어 신호가 바라본 부하는  $Z_0 = \gamma R_L$  이 된다. 그러므로 Doherty 증폭기의 최대 가용 이득을 얻기

위해,  $Z_0$  는 능동 소자의 최적 부하  $R_{opt}$  가 적용되어야 한다. 실제 부하 임피던스는 로드-풀 해석에 의해 얻을 수 있다.

### 2.2. LDMOS의 시뮬레이션을 위한 MET 모델 검증

모토로라에서 제공하는 LDMOS인 MRF21125의 시뮬레이션을 위한 MET(Motorola-electro-thermal) 모델을 검증하기 위하여 MRF21125 소자를 이용한 테스트용 전력 증폭기의 측정 결과와 이에 대한 시뮬레이션 결과를 비교하였다[4].

그림 5는 MRF21125 LDMOS의 테스트용 전력 증폭기의 시뮬레이션 스케메틱을 보인다. 그림 6에서 MRF21125 테스트용 전력 증폭기의 시뮬레이션 결과와 측정 결과를 비교하였다. 이 그래프에서 입력 전력이 8W 까지 이득 및 효율 그리고 출력 전력이 시뮬레이션 결과와 측정결과가 잘 일치함을 알 수 있다. 그러므로 시뮬레이션에 의한 효율 계산을 통해 최적의 효율을 갖는 전력 증폭기를 설계할 수 있음을 확인할 수 있다.

## III. 고효율 전력 증폭기 설계

### 3.1. 증폭기 블록 설계

최종 출력 전력을 10W로 하고 IMD를 -40dBc이상이 되도록 하기 위해 본 논문에서는 모토로라에서 제공하는 MRF21125인 LDMOS를 사용하였다. 그림 7에서와 같이 동일 출력을 갖는 부하의 임피던스 지점을 연결한 로드-풀 해석을 통해 최대 출력 및 원하는 출력 값을 얻는 부하 임피던스 값을 찾을 수 있다.

입출력 정합 회로의 설계는 2140MHz에서의 입출력 임피던스 점을 이용하여 복소 정합(conjugate matching)의 방법으로 설계하였다. [5] 그림 8은 설계된 AB급으로 동작하는 캐리어 증폭기를 나타낸다. 이 때 바이어스 조건은  $V_{gs}=3.85V$ ,  $I_{dsq} = 1600mA$  로 설계하였다.

입출력 정합 회로에서  $Z_{in}$ 은 소스 임피던스  $Z_S$ 의 복소 공액인 점이고,  $Z_{oL}$ 은 로드풀 해석에서 얻은 최적 출력을 내는 부하 임피던스로 설계하였다. 그림9에서는 설계된 캐리어 증폭기의 입력 전력 10dBm~45dBm에 대한 출력 전력 및 전달 이득 TG21을 나타낸다.

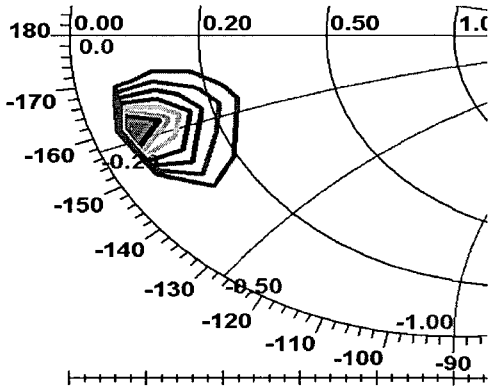


그림 7. 19.8dBW 중심과 1dB 스텝의 출력 전력에 대한 부하 임피던스 원  
Fig. 7. Load impedance circuit for 19.8dBW center and 1dB step output power

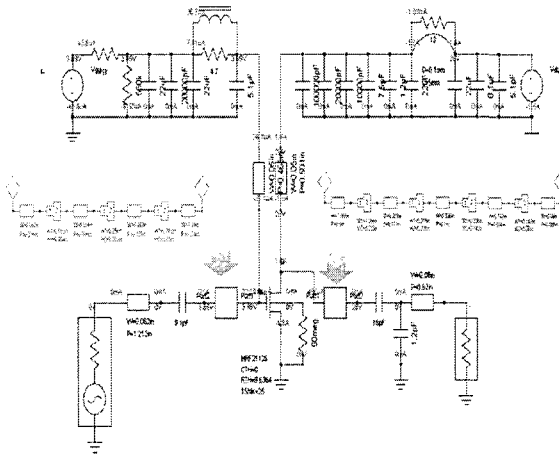


그림 8. 캐리어 증폭기의 시뮬레이션 스케메틱  
Fig 8. Simulation schematic of Carrier Amplifier

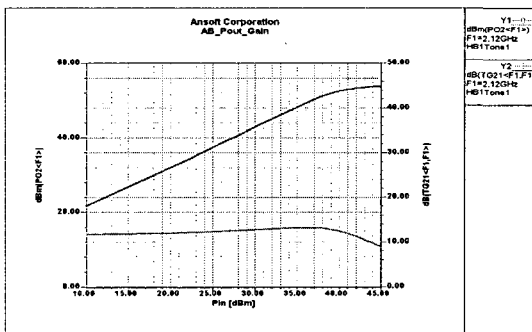


그림 9. 캐리어 증폭기의 Pout 및 TG21  
Fig 9. Pout and TG21 of carrier Amplifier

그림 10은 설계된 C급 피크 증폭기를 나타내면 바이어스 조건은  $V_{gs} = 2.1V$   $I_{dsq} = 89\mu A$  이다. 그림 11은 설계된 피크 증폭기의 입력 전력 10dBm~45dBm 에 대한 출력 전력 및 전달 이득 TG21을 나타낸다. 그림 12는 입력부에  $90^\circ$  하이브리드 커플러와 출력단에  $90^\circ$  결합기를 연결한 Doherty 증폭기의 스케메틱을 나타내며 실제 레이아웃은 그림 13에 나타내었다.

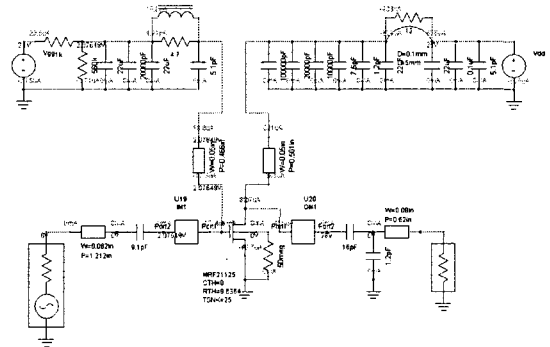


그림 10. 피크 증폭기의 시뮬레이션 스케메틱  
Fig. 10. Simulation schematic of Peak Amplifier

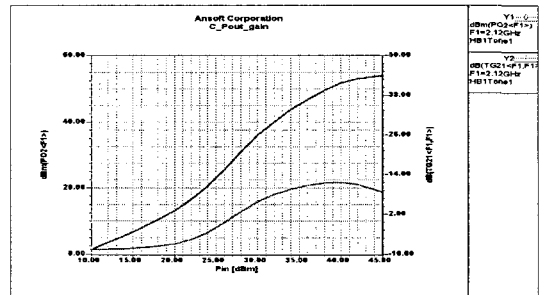


그림 11. 피크 증폭기 Pout 및 TG21  
Fig. 11. Pout and TG21 of Peak Amplifier (Carrier Amp.)

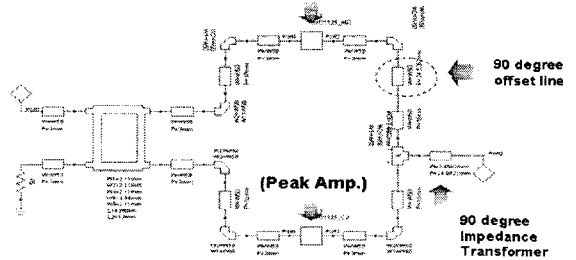


그림 12. 하이브리드 커플러와  $90^\circ$  결합기를 연결한 Doherty 증폭기의 스케메틱  
Fig 12. schematic of Hybrid coupler and  $90^\circ$  coupler connection Doherty Amplifier

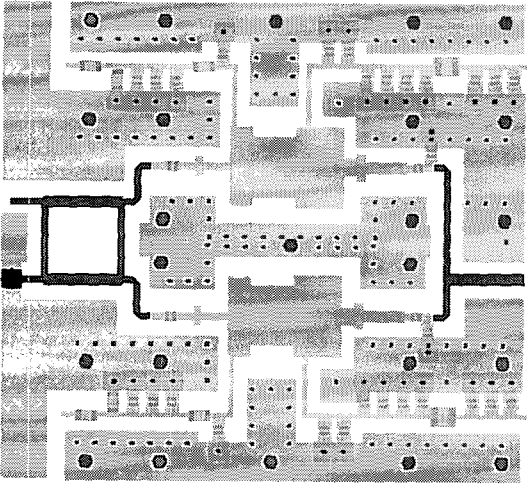


그림 13. 설계된 Doherty 증폭기의 레이아웃  
Fig. 13. Layout of designed Doherty Amplifier

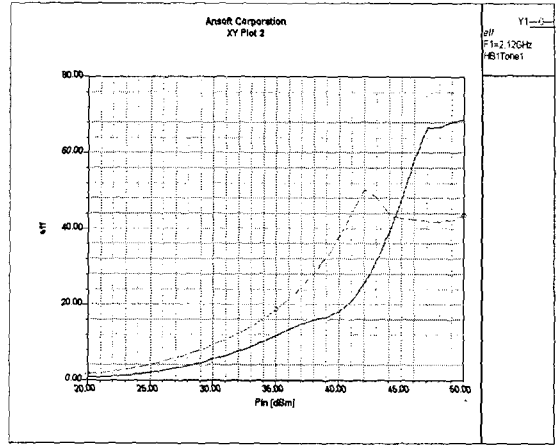


그림 15. Doherty 증폭기와 발란스 증폭기의 효율 비교  
Fig 15. Efficiency compare of Doherty Amplifier and Balance Amplifier

#### IV. 설계된 증폭기의 결과 및 비교

##### 4.1. 설계된 Doherty 증폭기와 발란스 증폭기의 결과 비교

설계된 Doherty 증폭기의 효율 및 선형성이 개선됨을 비교하기 위하여 발란스 형태의 같은 바이어스 조건의 AB급 전력 증폭기를 설계하고 이의 결과와 비교하였다.

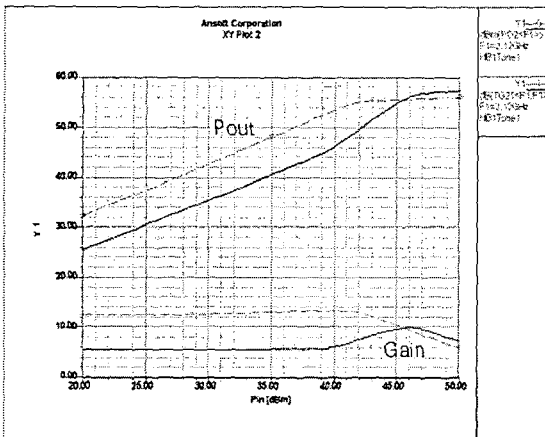


그림 14. 설계된 Doherty 증폭기와 발란스 증폭기의 이득 및 출력 비교  
Fig. 14. Gain and output compare of designed Doherty Amplifier and Balance Amplifier

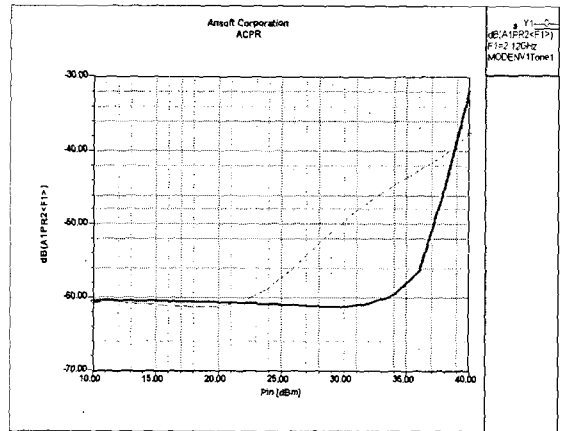


그림 16. Doherty 증폭기와 발란스 증폭기의 ACPR 비교  
Fig 16. ACPR compare of Doherty Amplifier and Balance Amplifier

그림 14에서는 설계된 Doherty 증폭기와 발란스 증폭기의 이득 및 출력 전력을 비교하였다. 이 그래프에서 출력 전력은 6dB 및 이득이 6dB 발란스 형태의 증폭기에 비해 감소함을 알 수 있다. 그림 15에서 Doherty 증폭기와 발란스 증폭기의 효율 결과를 비교하였다. 이 그래프에서 입력 전력이 45dBm 이상에서 효율이 약 20% 이상 개선됨을 확인할 수 있다.

그림 16은 Doherty 증폭기와 발란스 증폭기의 ACPR 값을 비교하였다. 이 그래프에서 발란스 증폭기에 비해 입력 전력이 22~44dBm 구간에서 ACPR 값이 작게 나타나

는 것을 알 수 있다. 이로부터 선형성을 나타내는 ACPR 값은 Doherty의 경우 특성이 좋아지는 것을 확인하였다.

### V. 결론

본 논문에서는 W-CDMA 시스템에 사용되는 고출력 전력 증폭기의 효율을 개선하기 위해서 Doherty 증폭기를 시뮬레이션 최적화 기법을 이용하여 설계하고 이를 발란스 증폭기의 결과와 비교하여 효율 및 선형성이 개선되어짐을 확인하였다. 시뮬레이션을 통한 설계 검증을 위해 MRF21125 LDMOS의 테스트 증폭기의 시뮬레이션 결과와 측정 결과를 비교하여 효율 및 이득과 출력 전력 값이 일치함을 확인하였다. 설계된 고효율 증폭기는 입력 전력이 45dBm 이상에서  $e_{eff}$ 가 20%이상 개선되어짐을 시뮬레이션을 통해 확인하였으며, 선형성이 동시에 개선되어짐을 ACPR 값이 낮아짐을 통해 확인하였다.

이로서 전력 증폭기에서 필수적인 고효율 특성 및 동시에 여러 채널의 신호를 인가했을 경우 선형성이 우수한 증폭기의 설계가 가능함을 보였다.

### 참고문헌

- [1] W.H. Doherty, "A New High Efficiency Power Amplifier for Modulated Waves," *Proc. IRE*, Vol. 24, No. 9, pp. 1163-1182, 1936.
- [2] C. Tongchoi, M. Chongcheawcharman and A. Worapishet, "Lumped Element Lumped Based Doherty Power Amplifier Topology in CMOS Process," *IEEE*, 1445-448, 2003
- [3] I. Masaya, et al., "An extended Doherty amplifier with high efficiency over a wide power range," *IEEE Trans. Microwave Theory Tech.*, vol. 49 no. 12, Dec. 2001.
- [4] Antoine Rabany, "Accuracy of LDMOS model Measurement versus simulation", *Motorola*, January 2003, rev0
- [5] Y. Yang, J. Yi, Y. Y. Woo, and B. Kim, "Optimum design for linearity and efficiency of microwave Doherty amplifier using a new load matching technique," *Microwave J.*, vol. 44, no. 12, pp. 20-36, Dec. 2001.
- [6] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*. Norwood, MA: Artech House, 1999.
- [7] P.B. Kenington, "High-Linearity RF Amplifier Design," *Artech House Inc.*, 2000.

### 저자소개

#### 부 종 배 (Jong-bae Boo)



1993년 한국방송통신대학교 (경영학사)  
 1999년 동국대학교 산업기술환경대학원 전자 전기공학 (공학석사)  
 2006년 현재 목포해양대학교 대학원 전자통신공학과 (공학박사과정)  
 2004. 3 ~ 2004. 7 상지대학교 컴퓨터·정보공학 부 겸임 교수  
 2006년 현재 한국전파진흥원 강릉 사업소장  
 ※ 관심분야 : 마이크로파 통신, 초고주파 회로설계, 이동통신

#### 김 갑 기 (Kab-ki Kim)



1980년 광운대학교 통신공학과 (공학사)  
 1984년 건국대학교 대학원 전자공학과 (공학석사)  
 1998년 건국대학교 대학원 전자공학과 (공학박사)  
 2001~2002년 뉴욕시립대학 전 자공학과 연구교수  
 2006년 현재 목포해양대학교 해양전자통신공학부 교수  
 ※ 관심분야 : 마이크로파 통신, 초고주파 회로설계 해상 무선통신, 이동통신, 위성통신