

RF-MEMS 소자의 웨이퍼 레벨 밀봉 패키징을 위한 열압축 본딩

박길수 · 서상원* · 최우범** · 김진상*** · 남산 · 이종흔 · 주병권*

Thermocompression bonding for wafer level hermetic packaging of RF-MEMS devices

Gil-Soo Park, Sang-Won Seo*, Woo-Beom Choi**, Jin-Sang Kim***, Sahn Nahm, Jong-Heun Lee, and Byeong-Kwon Ju*†

Abstract

In this study, we describe a low-temperature wafer-level thermocompression bonding using electroplated gold seal line and bonding pads by electroplating method for RF-MEMS devices. Silicon wafers, electroplated with gold (Au), were completely bonded at 320 °C for 30 min at a pressure of 2.5 MPa. The through-hole interconnection between the packaged devices and external terminal did not need metal filling process and was made by gold films deposited on the sidewall of the through-hole. This process was low-cost and short in duration. Helium leak rate, which is measured to evaluate the reliability of bonded wafers, was $2.74 \pm 0.614 \times 10^{-10}$ Pam³/s. The insertion loss of the CPW packaged was -0.069~-0.085 dB. The difference of the insertion loss between the unpackaged and packaged CPW was less than -0.03. These values show very good RF characteristics of the packaging. Therefore, gold thermocompression bonding can be applied to high quality hermetic wafer level packaging of RF-MEMS devices.

Key Words : wafer-level packaging, thermocompression bonding, hermetic packaging

1. 서 론

Microelectromechanical system(MEMS) 소자는 오염 물질, 습기, 먼지 등의 외부환경으로부터의 시스템 보호와 기계적, 열적 열화를 방지하기 위해 밀봉 접합이 요구된다. 밀봉 접합기술에는 실리콘 직접접합(SDB)^[1], 정전 열 접합^[2], 중간층 접합^[3] 등이 있다. 중간층 접합 기술에는 공석 본딩^[4], 접착층을 이용한 접합^[5], 유리 프린트 본딩^[6] 등이 있다. SDB는 1000 °C 이상의 높은 온도가 필요하고, 정전 열 접합은 300~400 °C의 낮은 온도에서 접합이 이루어지나 높은 전장이 필요하므로 소자의 열화를 피할 수 없다는 단점이 있다. 또한 소

자와 외부와의 전기적인 연결에 있어서 MEMS 소자의 크기를 줄이기 위해 수직형 비아 홀을 이용하는 방법이 널리 사용된다. Si 기판 상에 비아 홀을 통해 연결하는 방법은 우선 홀을 형성하고, 절연 막을 형성 후 홀에 전도도가 있는 재료로 채우는 과정을 따른다. 금속을 채우는 방법으로는 구리를 이용한 전기도금법이 널리 사용된다^[7,8]. 그러나, 전기도금 도중 비아 홀 안에 형성된 버블 때문에 금속이 채워지지 않는 문제가 있으며^[9], 또한 전기 도금방법에 의한 공정은 시간이 오래 걸린다는 단점이 있다.

열 압축접합은 두 기판에 열과 압력을 동시에 가하게 되면 고체상금속의 용융에 의해 접합이 된다. 상온에서는 표면 거칠기를 극복하여 원가간의 인력이 작용하기 위해서는 매우 큰 압력이 필요하다^[10]. 거의 모든 금속은 열압력 접합의 재료로 사용가능하나, 솔더 표면 상에 자연적으로 형성된 산화물은 강한 접합을 방해한다. 귀금속인 gold는 이상적인 접합 재료로서, gold의 낮은 항복점, 내 부식성, 높은 전기 전도도 등은 열 압력 접합 공정에 알맞은 조건이다. 또한 슬러리 파티클

고려대학교 재료공학과 (Department of Materials Science and Engineering, Korea University)

*고려대학교 전기공학과 (Department of Electrical Engineering, Korea University)

**B&P Science

***한국과학기술연구원 (Korea Institute of Science and Technology)

†Corresponding author: bkju@korea.ac.kr

(Received : November 23, 2005, Accepted : December 10, 2005)

¹¹¹과 같은 무기물 등이 표면에 붙지 않는 특성을 가지고 있으므로 밀봉 실링 재료¹¹²에 효과적일 것이라 예상된다. Gold와 실리콘의 공석 접합을 위한 최소 접합 온도는 370 °C¹¹³이지만, gold와 gold간의 열 압축접합을 이용한다면 공석온도보다 낮은 온도에서 접합이 가능하다.

본 연구에서는 전기 도금된 gold층을 이용하여 실 라인과 패드를 형성하였고, 열 압축 접합을 통하여 공석 온도보다 낮은 온도범위인 300-350 °C에서 웨이퍼 레벨 밀봉 접합을 실시하였다. 이때 가해진 압력의 범위는 0.65-2.5 MPa이었다. 또한 소자와 외부와의 전기적인 연결을 위한 방법으로는 필링 공정 없이 비아 홀의 벽면에 전도성 물질을 증착하는 방법을 실시하였다.

2. 실험

그림 1에는 cap 웨이퍼 제작 및 접합 공정을 나타내었다.

Cap 웨이퍼 기판으로는 기판에 의한 손실을 줄이기 위해 고 저항 실리콘 웨이퍼(>15000 Ω 4-in. 500 μm 두께)를 사용하였다. 공정에 앞서 불산을 이용하여 실리콘 기판상의 자연 산화 막을 제거한 후 DRIE(Deep Reactive Ion Etching)를 이용하여 홀을 형성한다(Fig. 1(a)). 홀의 벽면에 의한 전기적인 연결을 위해 적절한 홀 직경을 정의 하고자, 30, 40, 50, 60 μm의 직경이 다른 홀을 형성하였다. DRIE 조건은 SF₆:Ar = 3:2 반응가스 비, 900 W의 rf 파워, 압력은 15 mTorr로 실시하였으며, 이상의 조건에서 실리콘 에칭 속도는 2.7 μm/min이었고, 홀의 깊이는 약 70 μm로 형성하였다. 스텝 커버리지가 좋은 DC 스퍼터를 이용하여 기판의

표면과 hole의 벽면에 전기도금의 시드층인 Cr/Au (500/1500 Å)를 증착한 후(Fig. 1(b)), 시드층 상에 전기도금을 위한 물드를 형성키 위해 두꺼운 PR인 PMER (12 μm)을 사용하여 패터닝 하였다. 전기 도금법을 통하여 시드층의 노출된 부분인 실 라인과 패드 그리고 홀 벽면에 gold를 증착하였다. 전기도금에 있어서 전류 밀도의 조정은 실 라인과 패드의 증착속도 및 형태에 중요한 변수이며, 본 연구에서는 3 A/cm²의 전류밀도를 가해왔다. 형성된 실 라인의 넓이는 100 μm이고, 높이는 4 μm로 설계하였다. 또한 실 라인에 의해 형성된 공동은 1.2 × 1 × 0.004 mm³ 부피를 갖는다. 전기도금 후, PR과 시드층을 제거하였다(Fig. 1(c)). Cap 웨이퍼와의 접합을 위한 소자 웨이퍼는 E-beam evaporator를 이용하여 Cr/Au (500/15000 Å)를 증착한 후 포토리소그라피와 에칭 공정을 통하여 패터닝하였다. 접합공정에서 접합면의 표면 상태는 매우 중요한 변수이므로 두 기판은 접합공정에 앞서 잔존 유기물을 제거하여 깨끗한 표면을 얻기 위하여 O₂ 플라즈마를 실시하였다. Cap 웨이퍼의 실 라인과 패드를 소자 웨이퍼와 정렬시킨 후 분봉기(TPS-1000A, BNP Science, Korea)를 이용하여 N₂ 분위기에서 접합을 실시하였다(Fig. 1(d)). 이때 접합온도의 범위는 300-350 °C, 가해진 압력의 범위는 0.65-2.5 MPa, 그리고 접합 시간은 20-60분의 조건에서 접합하였다. 접합공정이 완료된 웨이퍼쌍은 cap 웨이퍼면에서 비아 홀이 나타날 때까지 그라인딩을 실시한 후 chemical mechanical polishing(CMP)를 실시하였다. 이후 밀봉 패키징된 소자와 외부와의 전기적 연결을 위해 cap 웨이퍼 상에 Cr/Au (500/5000 Å) 스퍼터를 이용하여 증착 후 상부 패드를 패터닝 하였다(Fig. 1(e)). 접합된 웨이퍼의 접합상태와 밀봉성을 측정하기 위하여 razor 테스트와 He 리크 테스트를 실시하였고, 접합된 계면을 SEM을 통하여 관찰하였다. 또한 전기적특성과 RF 특성을 측정하기 위하여 CPW를 포함하는 소자 웨이퍼를 제작하여 cap 웨이퍼와 접합 하여, 네트워크 어널라이저를 이용해 삽입손실을 측정하였다. 또한 본 공정을 이용하여 밴드 패스 필터의 패키징에 적용하여 삽입손실을 측정하였다.

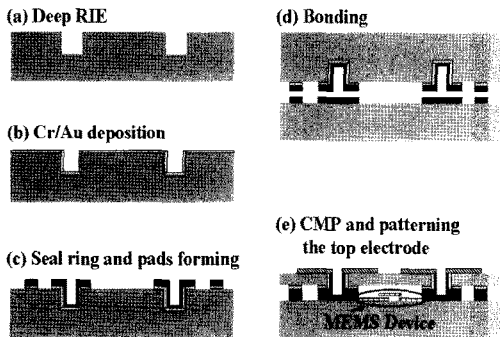


그림 1. 전기 도금된 gold층을 이용한 thermocompression 접합의 공정 순서도
 Fig. 1. Schematic of process flow in the thermocompression bonding using electroplated gold layers.

3. 결과 및 고찰

비아 홀의 벽면에 증착된 금속을 통하여 소자와 외부와의 전기적인 연결에 적당한 홀 직경을 정의하고자 30, 40, 50, 60 μm의 각각 다른 직경으로 형성하였다. 각각 다른 직경의 홀에 대해 Cr/Au증착 후 저항을 측정 한 결과, 30과 60 μm인 경우 저항 값이 2 Ω~1.1 MΩ의

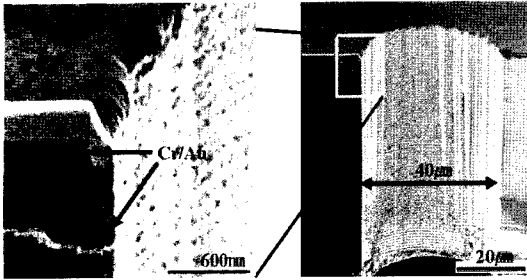


그림 2. 스퍼터에 의해 Cr/Au가 증착된 40 μm 직경의 hole SEM 사진

Fig. 2. Cross-sectional SEM images of the 40 μm diameter hole deposited by sputtering Cr/Au layers on the surface and sidewall of the via-hole.

범위로 저항이 높고 불안정한 값을 나타내었다. 이는 시드층을 증착하는 과정에서 홀의 직경이 작으면 홀 안에 스퍼터된 입자들의 양이 적고, 직경이 큰 경우 증착되는 홀 벽면의 면적이 크기 때문에 홀 벽면에 연속적으로 증착이 되지 않은 것으로 사료된다. 직경이 40과 50 μm인 홀은 0.019~0.2 Ω로 안정적이고, 낮은 저항 값을 나타내었다. 그림 2에는 스퍼터에 의한 Cr/Au가 증착된 직경 40 μm의 홀 벽면을 관찰한 SEM 사진이다.

그림에서 보듯 홀 벽면에 금속층이 잘 증착된 것을 볼 수 있다. 따라서 메탈이 증착된 홀 벽면을 통해 소자와 전기적인 연결을 하기 위한 적당한 홀 직경은 40~50 μm로 정의하였다.

그림 3에는 제작된 cap 웨이퍼의 SEM 사진이다. 전기 도금법을 통해 웨이퍼 레벨로 실 라인과 패드를 형성하였고, 홀 벽면 사이에도 증착됨으로써 패드와 연결이 잘 되었음을 볼 수 있다.

본 연구에서 실시한 접합 조건을 표 1에 나타내었다.

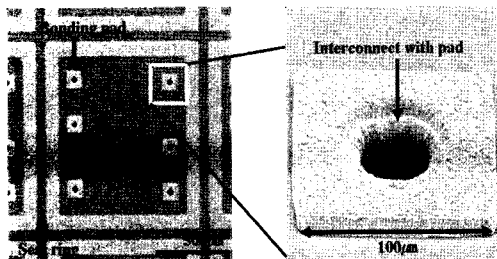


그림 3. 전기 도금법에 의해 제작된 cap 웨이퍼의 seal line 과 pads의 SEM사진

Fig. 3. SEM images of the seal line and pads fabricated by electroplating method.

표 1. Thermocompression 접합을 위한 접합조건
Table 1. Bonding conditions in this study

| Wafer no. | Temp. (°C) | Pressure (MPa) | Hold time (min) | Bond quality |
|-----------|------------|----------------|-----------------|--------------|
| A | 300 | 0.65 | 30 | Poor |
| B | 320 | 0.65 | 30 | Poor |
| C | 320 | 0.65 | 60 | Poor |
| D | 320 | 1.3 | 30 | Partial |
| E | 320 | 2.5 | 30 | Good |
| F | 330 | 1.3 | 30 | Partial |
| G | 350 | 1.3 | 20 | Good |
| H | 350 | 2.5 | 20 | Good |

접합 강도 및 상태는 razor 테스트를 통하여 정의 되었다. 강한 접합이 이루어 졌다면 접합계면에 razor가 들어가지 않는다^[4]. 표 1에서 접합 상태 결과는 다음과 같이 정의 한다. Good 접합은 접합 계면에 razor가 들어가지 않으며, 접합된 기판은 분리되지 않을 때를 나타내며, 이때는 두 기판을 강제로 분리하더라도 접합계면에서는 분리가 되지 않는다. Partial 접합은 razor에 상당한 힘이 가해지게 되면 접합계면에서 분리가 일어날 때를 말하며, poor 접합은 두 기판 사이의 접합계면 사이에 razor가 쉽게 들어가며 분리가 되거나 접합이 되지 않은 상태를 나타낸다. 웨이퍼 쌍 A,B,C에서는 접합 압력이 0.65 MPa이고, 온도는 320 °C 이하에서 접합한 샘플이며, razor 테스트 결과 두 웨이퍼가 쉽게 분리되었다. 또한 1시간 이내의 접합시간은 접합강도에 크게 영향을 주지 않는 것을 알 수 있다. B, D, E 웨이퍼 쌍에서는 320 °C의 접합온도에서 접합압력을 변화시켜 실시한 결과이며, 단지 2.5 MPa의 접합 압력에서만 완전히 접합이 되었고, 1.3 MPa의 압력 하에서는 부분적인 접합이 이루어졌다. 350°C의 접합온도에서의 샘플 G, H의 경우, 완전한 접합이 이루어졌다. 열압 접합에서, 확산 장벽을 극복한 gold 원자는 높은 온도 하에서 원자 확산이 집약적으로 증가한다. 온도가 증가함에 따라 접합강도에 큰 영향 없이 접합 시간을 20분으로 감소시킬 수 있다. 따라서 gold-gold 접합강도는 온도와 압력에 크게 의존하는 것을 알 수 있다.

그림 4에는 웨이퍼쌍 E의 접합된 gold 패드의 SEM 사진을 나타낸다. 그림에서 알 수 있듯이 gold-gold 계면에서 떨어진 부분 없이 gold 원자의 확산에 의해 접합이 완전히 이루어졌음을 알 수 있다.

그림 5는 접합된 웨이퍼쌍을 강제로 떼어낸 후

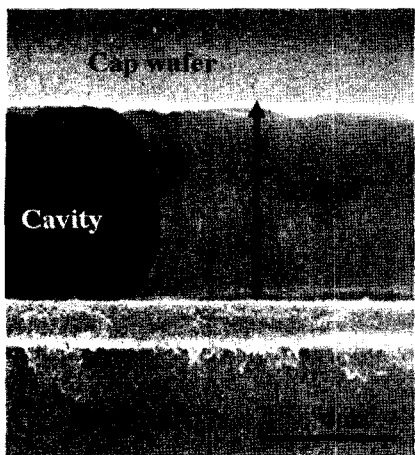


그림 4. Thermocompression 접합된 gold pads의 SEM 사진
Fig. 4. SEM image of bended Au-Au pads by thermocompression bonding.

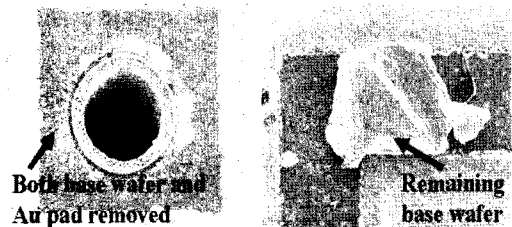


그림 5. 강제적으로 분리된 후의 cap 웨이퍼의 SEM 사진
Fig. 5. SEM images of the base wafer forcefully removed from cap wafer.

관찰한 SEM 사진이다. 사진에서 알 수 있듯이 cap 웨이퍼의 gold와 소자 웨이퍼의 gold 계면에서 분리된 것이 아니고, 소자 웨이퍼의 시드층인 Cr과 웨이퍼 계면에서 분리되었음을 알 수 있다. 또한, 웨이퍼쌍의 결합력이 강해 분리될 때 소자 웨이퍼의 실리콘 조각이 cap 웨이퍼에 잔존하고 있음을 알 수 있다.

밀봉성은 소자의 신뢰도와 소자의 장시간 드리프트 특성에 중요한 역할을 한다. 밀봉 패키징을 평가하기 위해 Heliot 700(ULVAC)을 이용하여 He 리크 테스트를 실시하였다.

그림 6에는 4인치상의 웨이퍼 측정 샘플 위치와 He 리크 테스트 결과를 나타낸다. MIL-STD-883E^[15]에 따르면 0.40 cm³ 이하의 부피에서 He 리크 속도는 5×10^{-8} Pa m³/s 이하로 제한한다. 접합된 웨이퍼쌍 E, G, H에서의 리크 속도는 $2.7 \pm 0.6 \times 10^{-10}$ Pa m³/s로서 MIL-STD-883E의 규격을 만족시킨다.

접합된 웨이퍼쌍의 전기적 특성과 RF 특성을 측정

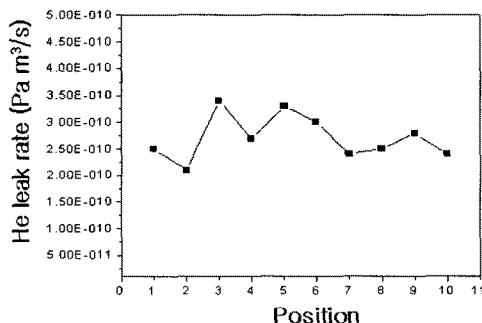
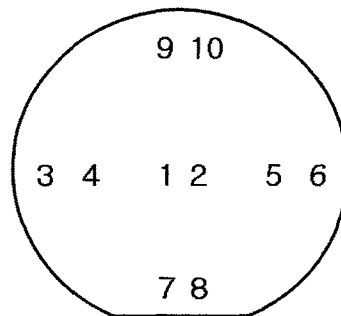


그림 6. 샘플 위치와 He leak 테스트 결과
Fig. 6. The position and result of He leak test.

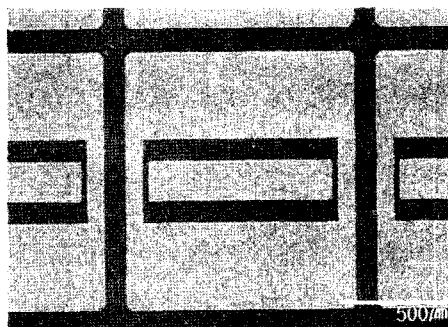


그림 7. Si 기판 상에 제작된 CPW 라인의 SEM 사진
Fig. 7. SEM image of fabricated CPW line on the Si substrate.

하기 위하여 고저항 웨이퍼에 gold를 이용하여 CPW (co-planar waveguide) 라인을 제작하였다.

CPW는 2 GHz의 주파수에서 50 Ω의 임피던스를 맞추기 위해 500 µm 두께의 고 저항 실리콘 기판을 사용하였으며 신호 라인의 넓이는 170 µm, 신호라인과 그라운드 라인간의 간격은 100 µm, 금속의 두께는 1 µm로 제작하였고, 그림 7에 제작된 CPW라인과 패키징 후의 SEM 사진을 나타낸다. 이후, 제작된 cap 웨이퍼와 CPW 라인을 형성한 소자 웨이퍼를 접합하였다. 접합된 웨이퍼 쌍은 HP 8753D 네트워크 어널라이저를

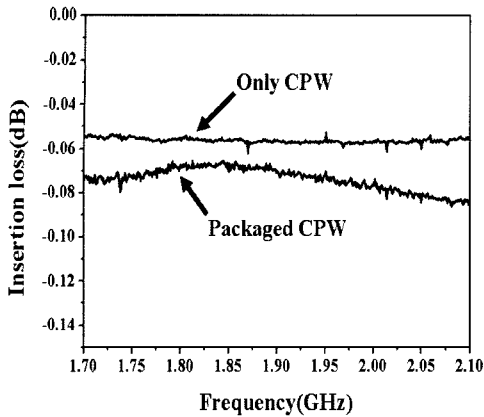


그림 8. CPW의 삽입 손실과 패키징 후의 삽입 손실
Fig. 8. Plot of the insertion loss S21 of the CPW and the CPW packaged.

사용하여 전기적 특성 및 RF 특성을 측정하였다. 삽입 손실은 패키징 특성을 평가하는데 중요한 역할을 한다. 따라서 접합하기전의 CPW 라인의 삽입손실을 측정하였고, 접합후의 손실을 측정하여 비교하였다.

그림 8에는 측정된 삽입손실 값을 나타낸다. 그 결과 접합전의 CPW의 삽입손실은 1.7~2.1 GHz 범위에서 $-0.054 \sim -0.057$ dB값을 나타냈고, 접합 후 삽입손실을 측정 한 값은 $-0.069 \sim -0.085$ dB이었다. 이와 같은 결과는 접합 전과 후의 삽입손실 차가 -0.03 로서 매우 작은 차를 보이고, RF 신호가 패키징에 의한 손실 없이 잘 전달된다는 것임을 보여준다.

이상의 열 압력 접합을 이용하여 대역 통과 필터의 웨이퍼 레벨로 패키징한 후 특성을 평가하였다. 사용된 대역 통과 필터는 FBAR(film bulk acoustic wave filter)를 이용한 7단의 사다리형 구조로 구성되었으며 구조도는 다음 그림 9에 나타내었다.

대역 통과 필터의 통과대역은 1.9 GHz, 대역폭은 78.5 MHz, 삽입손실은 -0.75 dB을 나타냈으며, 웨이퍼 레벨 패키징후의 대역폭은 58 MHz, 삽입손실은 -1.09 dB를 나타내었다. FBAR를 이용한 필터의 경우 멤브레인에 의해 소자가 지지 되고 있으므로 다이싱 시 소자의 보호를 위해 패키징이 필요하게 되며, 이때 소자의 특성저하를 최소화 할 수 있는 패키징이 필요하게 된다. 그림 10에는 대역 통과 필터의 삽입 손실과 패키징 및 다이싱 후의 삽입 손실 측정값을 나타낸다. 다이싱 후 대역폭은 50 MHz, 삽입손실은 -1.31 dB를 나타내었다. 패키징 전 필터의 삽입손실과의 차이는 -0.56 dB로써 패키징 및 다이싱에 의한 손실이 작다는 것을 의미한다.

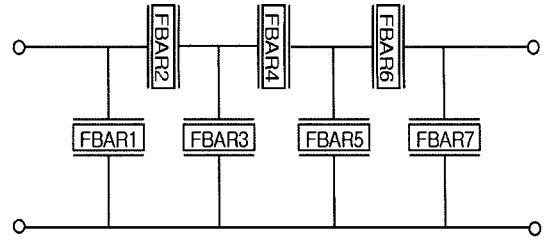


그림 9. FBAR를 이용한 7단 ladder형 대역 통과 필터의 구조도
Fig. 9. Topology of the ladder type FBAR band pass filter.

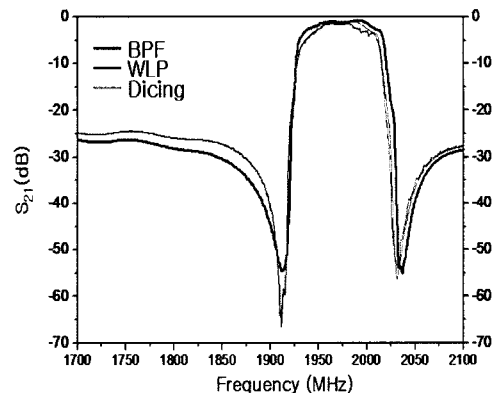


그림 10. 패키징 된 대역 통과 필터의 주파수 특성
Fig. 10. Measured performance characteristics of the packaged BPF.

4. 결 론

본 연구에서는 전기 도금된 gold 실 라인과 패드를 이용하여 웨이퍼 레벨로 열 압력 접합을 실시하였다. 그 결과 공식 온도보다 낮은 320°C 에서 완전한 접합이 이루어졌으며, 이때 가해진 압력은 2.5 MPa이었다. 비교적 낮은 압력인 1.3 MPa에서는 350°C 의 높은 온도가 필요하였다. 따라서 gold 실 라인과 패드를 이용한 열 압력 접합에 있어서 접합 온도와 압력은 중요한 변수임을 알 수 있다. 또한 제안된 공정에 의해 메탈 필링 공정 없이 비아 홀에 증착된 gold 박막에 의해 소자와 외부와의 전기적 연결이 가능하였다. 접합된 웨이퍼 쌍의 He 리크 테스트 결과 $2.7 \pm 0.6 \times 10^{-10}$ Pa m³/s로서 MIL-STD-883E를 만족시키는 값을 얻을 수 있었다. 패키징된 CPW의 삽입손실 값은 $-0.069 \sim -0.085$ dB로서 패키징 전의 값과 -0.03 dB 값의 차를 나타내며, 이는 매우 좋은 전기적 특성과 RF 특성을 나타낸다. 제안된 열 압력 접합을 이용하여 대역 통과 필터에 대해 웨이퍼 레벨로 패키징 하였으며, 이때 삽입손실 차

는 -0.56 dB로써 패키징에 의한 손실이 적다. 따라서 제안된 gold 압력 접합 공정은 대역 통과 필터뿐만 아니라 RF-MEMS 소자의 밀봉 웨이퍼 레벨 패키징에 이용 가능할 것으로 기대된다.

감사의 글

본 연구는 한국과학재단 특정연구 개발사업 No. (R01-2005-000-10289-0(2005)) 지원으로 수행되었음.

참고 문헌

- [1] 주병권, 하병주, 김근섭, 송만호, 김성환, 김철주, 차균현, 오명환, “실리콘 직접 접합/전기화학적 식각정지를 이용한 실리콘 다이아프램의 형성과 실리콘 압력센서 제조에의 응용”, *센서학회지*, 제3권, 제3호, pp. 45-53, 1994.
- [2] 주병권, 정희환, 김영조, 한정인, 조경익, 오명환, “실리콘 기판과 ITO가 코팅된 #7059 유리 기판간의 정전 열 접합”, *센서학회지*, 제7권, 제3호, pp. 65-71, 1998.
- [3] R. F. Wolffenbittel, “Low-temperature intermediate Au-Si wafer bonding; eutectic or silicide bond”, *Sens. Actuators A*, vol. 62, no.1, pp. 680-686, 1997.
- [4] A.-L. Tiensuu, M. Bexell, J.-Å. Schweitz, L. Smith, and S. Johnsson, “Assembling three-dimensional microstructures using gold-silicon eutectic bonding”, *Sens. Actuators A*, vol. 45, no. 3, pp. 227-236, 1994.
- [5] F. Niklaus, P. Enoksson, E. Kälvesten, and G. Stemme, “Low-temperature full wafer adhesive bonding”, *J. Micromech. Microeng.*, vol. 11, no. 2, pp. 100-107, 2001.
- [6] S. C. Chong, X. L. Zhang, S. Mohanraj, C. S. Premachandran, and N. Ranganthan, “Effect of passivation on frit glass bonding method for wafer level hermetic sealing on devices”, *Proc. of IEEE Conf. on Electronics Packaging Technology Conference*, pp. 307-310, 2003.
- [7] S. Siau, J. D. Baets, A. V. Calster, L. Heremans, and S. Tanghe, “Processing quality results for electroless/electroplating of high-aspect ratio plated through holes in industrially produced printed circuit boards”, *J. Microelec. Rel.*, vol. 45, no. 3, pp. 675-687, 2005.
- [8] D. H. Seah, S. Mridha, and L. H. Chan, “DC/pulse plating of copper for trench/via filling”, *J. Mater. Proces. Tech.*, vol. 114, no. 3, pp. 233-239, 2001.
- [9] W. P. Dow and H. H. Chen, “A novel copper electroplating formula for laser-drilled micro via and through hole filling”, *Circuit World*, vol. 30, no. 3, pp. 33-36, 2004.
- [10] C. H. Tsau, S. M. Spearing, and M. A. Schmidt, “Fabrication of wafer-level thermocompression bonds”, *J. Microelectromech. Syst.* vol. 11, no. 6, pp. 641-647, 2002.
- [11] D. Sparks, G. Queen, R. Weston, G. Woodward, M. Putty, L. Jordan, S. Zarabadi, and K. Jayakar, “Wafer-to-wafer bonding of nonplanarized MEMS surfaces using solder”, *J. Micromech. Microeng.*, vol. 11, no. 6, pp. 630-634, 2001.
- [12] W. H. Ko, “Packaging of microfabricated devices and systems”, *Mater. Chem. Phys.*, vol. 42, no. 2, pp. 169-175, 1995.
- [13] T. J. Harpster and K. Najafi, “Field-assisted bonding of glass to Si-Au eutectic solder for packaging applications”, *Proc. of IEEE Conf. on MEMS*, pp. 630-633, 2003.
- [14] A. Fan, A. Rahman, and R. Reif, “Copper wafer bonding”, *Electroch. Solid State Lett.*, vol. 2, no. 10, pp. 534-536, 1999.



박길수

- 2004년 강원대학교 재료공학과 졸업 (공학사)
- 2004년~고려대학교 대학원 재료공학과 석사 재학중



서상원

- 1999년 충북대학교 반도체공학과 졸업 (공학사)
- 2001년 충북대학교 대학원 반도체공학과 졸업(공학석사)
- 2005년~고려대학교 대학원 전기공학과 박사과정 재학중
- 2001년~비엔피 사이언스 선임연구원 재직중



최 우 범

- 1995년 고려대학교 전기공학과 졸업 (공학사)
- 1997년 고려대학교 대학원 전기공학과 졸업(공학석사)
- 2002년 고려대학교 대학원 전기공학과 졸업(공학박사)
- 2000년~비엔피 사이언스 대표



김 진 상

- 1986년 서울대학교 공과대학 무기재료공학과 졸업(학사)
- 1988년 서울대학교 공과대학원 무기재료공학과 졸업(석사)
- 1997년 서울대학교 공과대학원 재료공학과 졸업(박사)
- 1998~1999년 일본 이화학연구소 반도체 공학연구실 객원연구원
- 1999년~한국과학기술연구원 박막재료연구센터 선임연구원



남 산

- 1983년 고려대학교 재료공학과 졸업 (공학사)
- 1990년 University of Maryland, at College Park, USA(공학박사)
- 1983~1985년 LG 반도체, Device Engineer
- 1991~1992년 University of Maryland, at College Park, USA, 박사후 연수과정
- 1992~1995년 전자부품통신연구원 선임연구원
- 1995~1996년 계명대학교 재료공학부 전임강사
- 1996~1999년 고려대학교 재료공학과 조교수
- 2000~2005년 고려대학교 재료공학과 부교수
- 2005년~고려대학교 재료공학과 교수



이 종 훈

- 1987년 서울대학교 무기재료공학과 졸업 (공학사)
- 1989년 서울대학교 대학원 무기재료공학과 졸업(공학석사)
- 1993년 서울대학교 대학원 무기재료공학과 졸업(공학박사)
- 1993~1999년 삼성종합기술원 선임연구원
- 1999~2000년 National Institute for Research in Inorganic Materials, Japen, STA
- 2000~2003년 서울대학교 BK21계약 조교수
- 2003년~고려대학교 재료공학과 부교수



주 병 권

- 1986년 서울시립대학교 전자공학과 졸업 (공학사)
- 1988년 서울시립대학교 대학원 전자공학과 졸업(공학석사)
- 1995년 고려대학교 대학원 전자공학과 졸업(공학박사)
- 1995~2005년 한국과학기술연구원 마이크로시스템연구센터 책임연구원
- 2005년~고려대학교 전기공학과 부교수