

고감도 이미지 센서용 실리콘 나노와이어 MOSFET 광 검출기의 제작

신영식 · 서상호 · 도미영 · 신장규* · 박재현* · 김훈*

Fabrication of silicon nano-wire MOSFET photodetector for high-sensitivity image sensor

Young-Shik Shin, Sang-Ho Seo, Mi-Young Do, Jang-Kyoo Shin[†],
Jae-Hyoun Park*, and Hoon Kim*

Abstract

We fabricated Si nano-wire MOSFET by using the conventional photolithography with a 1.5 μm resolution. Si nano-wire was fabricated by using reactive ion etching (RIE), anisotropic wet etching and thermal oxidation on a silicon-on-insulator (SOI) substrate, and its width is 30 nm. Logarithmic circuit consisting of a NMOSFET and Si nano-wire MOSFET has been constructed for application to high-sensitivity image sensor. Its sensitivity was 1.12 mV/lux. The output voltage swing was 1.386 V.

Key Words : MOSFET, photodetector, silicon nano-wire

1. 서 론

전자 및 반도체 분야에서 메모리를 위주로 한 집적 회로 기술의 극미세화 진행은 벌크(bulk)에서 제작되는 소자들의 물리적 길이(physical length)가 25 nm 이하가 되는 시점까지 이르게 되었다. 공정상에서 발생하는 이 미세 패턴의 성질을 올바르게 규명하고 활용함에 있어서 새로운 개념의 연구가 필요하게 되었고 물리적인 접근을 통한 연구의 필요성에 의해 나노 기술에 대한 전반적인 연구가 시작되었다. 최근에 주목받고 있는 나노 기술에 대한 연구는 나노급 소자의 개발과 그 동작 원리의 특성을 규명하고 응용 하는데 있다.

FinFET^[1], 단전자 트랜지스터(SET)^[2] 같은 나노 크기의 소자들은 주로 SOI(silicon-on insulator) 기판을 사용하여 제작되며 벌크(Bulk)에서 제작된 소자들에 비해 많은 장점을 갖고 있다^[3]. SOI 기판을 사용하여 제작된 나노 크기의 소자들은 집적도의 향상 뿐만 아

니라, 빠른 응답 속도, 저 전력 소비^[4], 그리고 뛰어난 성능 향상이라는 장점을 가지고 있다. 그리하여 그 응용 분야도 이미지 센서^[5-7] 및 바이오 센서등 다양한 분야로 확장되고 있다. 전자의 터널링(tunneling), 전도도의 양자화(quantized conductance), 쿨롱 봉쇄(coulomb blocking) 형상에 기인한 양자 역학적 동작 원리를 가지는 나노 전자 소자(nano electronic device)는 집적회로 설계를 위한 전류 기준(current reference), 또는 저항 기준(resistance reference)을 제공하는 수단으로써 새로운 개념의 응용 소자 개발을 가능하게 한다^[8,9].

본 연구에서는 미세 패턴에서 형성되는 고감도 이미지 센서의 동작 원리와 특성을 응용하여 일반적인 1.5 μm 해상도를 갖는 사진 묘화(photo lithography) 공정을 기초로 한 반응성 이온 식각(reactive ion etching, RIE)과 이방성 습식 식각(anisotropic wet etching), 채널 폭을 줄이는 게이트 산화막 형성을 통하여 SOI 기판을 사용한 실리콘 나노 와이어 MOSFET형 광검출기^[10-14]와 NMOSFET을 제작하였다. 제작된 소자의 전기적인 특성을 측정하고, 이미지 센서로써의 집적회로 적용을 위한 로그리즘 회로(logarithmic circuit)를 구성하여 광 특성을 측정하였다.

경북대학교 전자전기컴퓨터학부(School of Electrical Engineering and Computer Science, Kyungpook National University)

*한국전자부품연구원(Korea Electronics Technology Institute)

[†]Corresponding author: jkshin@ee.knu.ac.kr

(Received : September 1, 2005, Accepted : October 13, 2005)

2. 소자의 제작 및 동작 원리

소자의 제작에 사용된 웨이퍼는 상층 실리콘막(top-Si) 두께가 2000 Å이고 중간 산화막(buried oxide)의 두께가 3750 Å인 <100> p-type SOI 웨이퍼이다. SOI 웨이퍼를 사용하여 제작된 소자는 완전 공핍화된(fully-depleted) MOSFET으로써 누설 전류의 차단, 기생 캐패시터의 생성 저하, 저 전력 소비 등의 일반적인 SOI 웨이퍼를 사용하여 제작된 소자의 장점을 갖는다.

소자의 제작 순서는 다음과 같다. 최초 SOI 웨이퍼 상층 실리콘 막의 오염을 막고, 후속 공정의 보조 마스크 형성을 위하여 건식 산화 공정으로 200 Å의 산화막을 성장시킨 후, 실리콘 질화막을 1600 Å의 두께로 화학기상 증착(chemical vapor deposition)한다. 상층 실리콘 막의 활성 영역 정의와 소자의 채널 형성을 위하여 산화막의 습식 식각, 반응성 이온 식각을 진행한다. 이 건식 식각은 이방성 식각으로써 상층 실리콘 막에 제작되는 모든 소자의 패턴을 정의한다. 형성된 소자의 채널 영역을 대상으로 25-wt% Tetra Methyl Ammonium Hydroxide(TMAH) 용액을 사용하여 90 °C 2분간 이방성 습식 식각을 진행함으로써, 소자의 채널 폭을 서브 마이크론으로 조절한다. 이것은 실리콘 나노 와이어 폭의 결정 방향이 <100>면이 됨으로 상대적으로 다른 결정 방향에 비해 채널 폭을 줄이는 방향으로 식각이 많이 진행된다. 게이트 산화막 형성을 위하여 300 Å 두께의 건식 산화 공정을 진행하면서 소자의 채널 폭은 수십 나노급의 채널을 형성한다. 이후 저기압 화학기상 증착(low pressure chemical vapor deposition, LPCVD)공정으로 다결정 실리콘을 3300 Å의 두께로 증착하고 게이트 전극을 형성한다. 소자의 소스/드레인 형성과 다결정 실리콘 게이트의 도핑을 위하여 4 KeV의 에너지로 $5 \times 10^{15} \text{ cm}^{-2}$ 도즈량으로 플라즈마 이온 주입 도핑을 실시한다. 후속 열처리 공정은 300 °C에서 30분간 저온에서 실시하였는데, 이는 도핑된 불순물의 안정화 및 열처리 과정에서 스트레스로 인한 채널 파괴 현상을 고려하였다. 알루미늄을 3000 Å의 두께로 기상화학 증착하여 소스/드레인 전극을 형성한다. 전극 특성의 향상과 실리콘의 접촉 저항을 줄이기 위하여 질소 분위기에서 450 °C 30분간 열처리를 실시한다. 모든 소자의 제작은 MOSFET의 표준 제작공정과 비슷한 공정으로 진행 되었다. 표 1과 그림 1은 제안된 소자의 제작 공정 순서도를 나타낸 것이다. 제작된 소자의 동작 특성을 살펴보면 나노 와이어 채널 영역에 조사된 빛은 전자-정공의 쌍을 발생시키고 드레인 전압에 의해 전자는 1차원의 구속을 받으므로 전자

표 1. 제안된 소자의 제작 공정도

Table 1. Sequential process to fabricate proposed devices

Process Step	Comments
Initial cleaning	General RCA cleaning
Silicon oxide etching	BOE
Silicon RIE	SF6, Ar25 sccm, 60 W, 25"
Anisotropic etching	25 wt.% TMAH, 90 °C, 2'
Silicon oxide removal	BOE
Gate oxidation	Dry oxidation, 950 °C, 45'
Poly-Si deposition	LPCVD, 3300 Å
Poly-Si RIE	SF6, Ar25 sccm, 60 W, 25"
N-type implantation	P, $5 \times 10^{15} \text{ cm}^{-2}$, 4 keV
RTA	300 °C, 30'
Metallization	Al evaporation, 3000 Å
Annealing	450 °C, N2, 30'

의 상태 밀도는 $E^{-1/2}$ 에 비례한다. 낮은 에너지 상태에서 전자의 상태 밀도는 1차원에서 가장 크게 나타나며 이는 전자의 농도가 큼을 의미한다. 전자 농도의 증가는 실리콘 나노 와이어를 지나는 전자의 숫자가 많음을 의미하며, 낮은 광 입력 신호로 상대적으로 높은 출력 신호를 얻을 수 있다. 실리콘 나노 와이어 광 검출기를 응용함으로써 낮은 광신호로 높은 광 전류를 얻을 수 있다^{8,9)}.

3. 측정 결과 및 고찰

그림 2는 제작된 소자의 현미경 사진을 보여 주고 있으며, 30 nm의 실리콘 나노 와이어를 갖는 MOSFET형 광검출기와 MOS 다이오드의 역할을 하는 NMOSFET로 로가리믹 회로를 구성 하였다. MOS 다이오드의 역할을 하는 NMOSFET는 게이트 부분에 빛이 조사되지 않도록 알루미늄 전극을 형성 하여 차단하였다. 그림 3은 실리콘 나노 와이어를 갖는 MOSFET형 광검출기의 채널 폭 단면도이다. 실리콘 나노 와이어를 중심으로 산화막이 성장되어 채널을 둘러싸고 있는 모습을 볼 수 있다.

그림 4는 제작된 나노 와이어를 갖는 MOSFET형 광검출기의 드레인 전압을 1 V로 고정 시켰을 때, 게이트 전압에 따른 드레인 전류의 변화를 나타낸 것이다. 제작된 MOSFET형 광검출기의 문턱 전압이 2.5 V 정도로 일반적인 NMOSFET보다 큰 원인은 동일한 형태로 연구되어지고 있는 이중게이트 트랜지스터¹¹⁾,

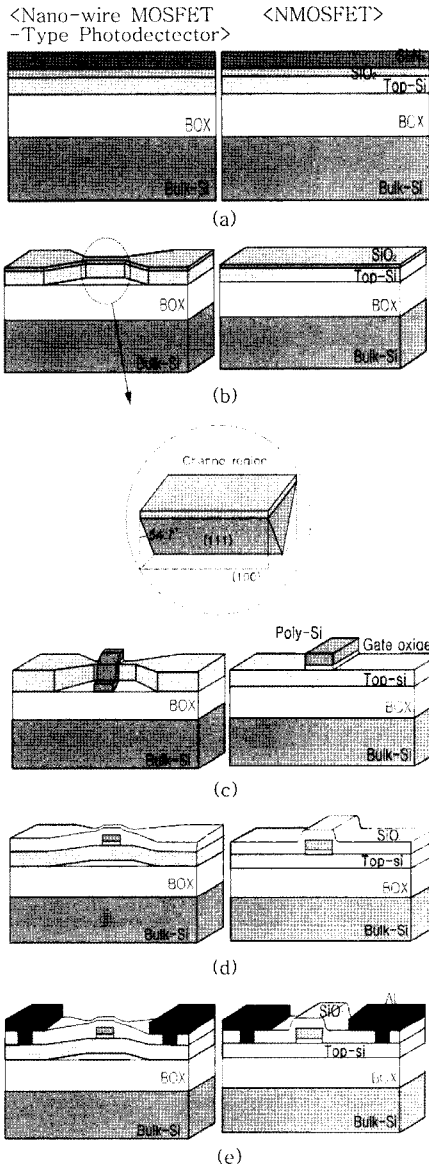


그림 1. 제작된 나노 와이어 MOSFET형 광검출기와 NMOSFET의 공정도; (a) 산화막과 질화막이 형성된 SOI 웨이퍼, (b) TMAH 용액을 이용한 습식 식각 공정과 식각에 의한 단면도, (c) 게이트 산화막 형성과 다결정 실리콘 증착, (d) 산화막 증착, (e) 소스/드레인 전극 형성

Fig. 1. The process of fabricated nano-wire MOSFET-type Photodetector and NMOSFET; (a) silicon oxide growthed and nitride deposited SOI wafer, (b) Isotropic wet etching using the TMAH solution and the cross-sectional view, (c) growing for the gate oxide and Poly-Si deposition, (d) deposited Si-dioxide using the LPCVD, and (e) source/drain electrode define.

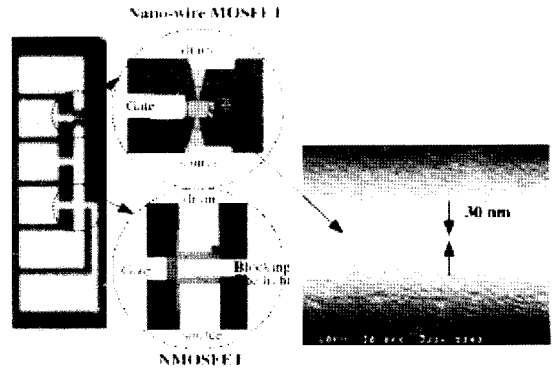


그림 2. 제작된 소자의 사진
Fig. 2. Photograph of the fabricated device.

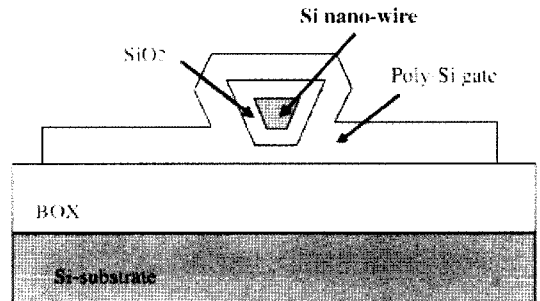


그림 3. 제작된 나노 와이어 MOSFET형 광검출기 채널의 단면도
Fig. 3. Cross-sectional view of the Si nano-wried MOSFET-type photodetector.

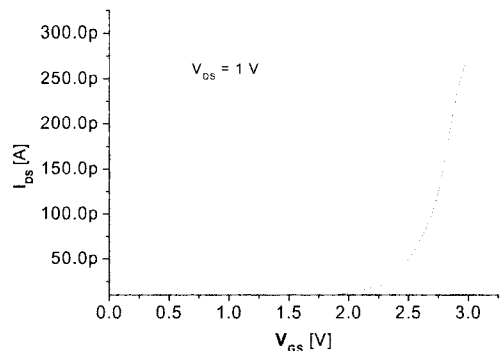


그림 4. 나노 와이어 MOSFET형 광검출기의 전기적 특성 (V_{GS} - I_{DDs} 곡선)
Fig. 4. Electrical characteristic of nano-wire MOSFET-type Photodetector (V_{GS} - I_{DDs} curve).

FinFET 트랜지스터에 비해 다결정 실리콘의 두께, 게이트 산화막이 두꺼워 다결정 실리콘의 공핍층 발생,

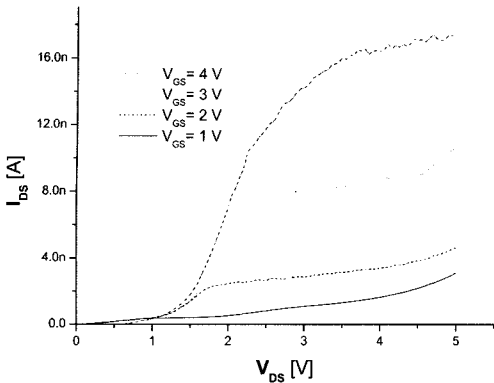


그림 5. 나노 와이어 MOSFET형 광검출기의 전기적 특성 (V_{DS} - I_{DS} 곡선)
 Fig. 5. Electrical characteristic of nano-wire MOSFET-type Photodetector (V_{DS} - I_{DS} curve).

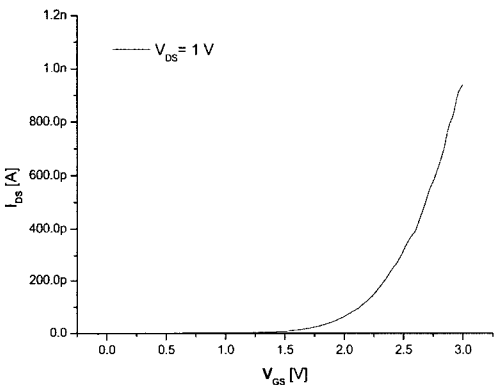


그림 6. NMOSFET의 전기적 특성 (V_{GS} - I_{DS} 곡선)
 Fig. 6. Electrical characteristic of NMOSFET (V_{GS} - I_{DS} curve).

게이트 산화막의 캐패시터 역할이 상대적으로 큰 때문 이다¹⁶⁾. 좀더 정확한 습식 식각과 게이트 산화막 형성 공정이 진행되면 이런 문제는 해결될 것으로 판단된다. 그림 5는 나노 와이어를 갖는 MOSFET형 광검출기에 게이트 전압을 1V씩 변화 시켰을 때 드레인 전압에 따른 드레인 전류의 특성을 측정된 결과이다. 나노 와 이어를 갖는 MOSFET형 광검출기의 선형영역이 1.25 V 정도 오른쪽으로 이동한 된 것을 볼 수 있는데 이것 은 다결정 실리콘 내의 공핍층 형성, 산화막에 의한 전 압 강하에 의한 것이다. 그림 6은 MOS 다이오드 역할 을 하는 NMOSFET의 드레인 전압을 1V로 고정시켰을 때, 게이트 전압에 따른 드레인 전류의 변화를 나타 낸 것이다. 문턱 전압은 2.25V이고 나노 와이어를 갖 는 MOSFET형 광검출기에 비해 전류 크기가 조금 증

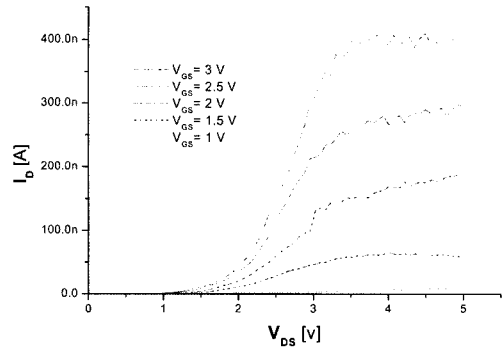


그림 7. NMOSFET의 전기적 특성 (V_{DS} - I_{DS} 곡선)
 Fig. 7. Electrical characteristic of NMOSFET (V_{DS} - I_{DS} curve).

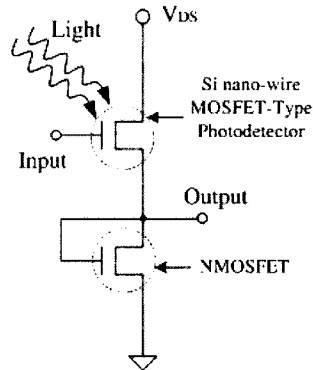


그림 8. 제작된 소자의 로그리즘 회로도
 Fig. 8. Schematic of logarithmic circuit using fabricated devices.

가한 것을 볼 수 있다. 그림 7은 게이트 전압에 따라 드레인 전압이 증가면서 드레인 전류도 증가한 결과이며, $I_{DS} \propto (V_{GS} - V_T)^2$ 의 특성을 잘 보여준다. 위의 측정 결과를 볼 때 제작된 실리콘 나노 와이어를 갖는 MOSFET형 광검출기와 MOS 다이오드 역할을 하는 NMOSFET의 전기적 특성은 일반적인 MOSFET의 특 성과 동일하다.

그림 8은 제작된 실리콘 나노 와이어를 갖는 MOS-FET형 광검출기와 MOS 다이오드 역할을 하는 NMOS-FET를 사용하여 설계 및 제작된 로그리즘 회로의 회 로도이고, MOSFET형 광검출기와 MOS 다이오드가 실제 이미지 센서의 수광부와 신호처리부로 각각 집적 회로로 구현되었을 때 전압 변화의 특성을 측정하였다. 그림 9는 V_{DS} 전압을 0V에서 4V까지 변화시키면서 빛이 없는 상태에서 1000 lux까지 빛의 조사량에 따른 로그리즘 회로의 출력 전압을 측정된 결과이고,

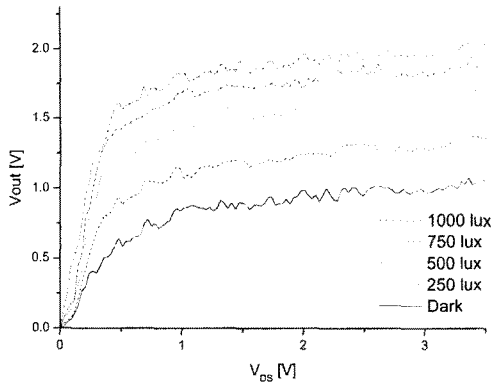


그림 9. 빛의 세기에 따른 로그리딕 회로의 출력 전압
Fig. 9. Output voltage of logarithmic circuit under different illumination level.

Input 단자는 문턱전압 2.25 V를 인가한 상태에서 측정 한 결과이다. 광 응답도는 1.12 mV/lux이고 출력 전압 폭은 1.386 V이다. 제작된 소자들을 이용하여 구성된 단위 픽셀은 일반적인 능동 픽셀 센서보다 픽셀 크기가 작은 반면 출력 전압폭이 더 크다¹¹⁾. 또한 빛의 조사로 발생한 증폭된 광 전류, 큰 출력 전압폭을 얻을 수 있었으며, 고감도 특성을 갖는 나노 MOSFET형 광 검출기의 적용과 SOI 기판위에 제작될 나노 소자급 집적회로의 적용 가능성을 확인하였다.

3. 결 론

1.5 μm 의 해상도를 갖는 일반적인 사진 묘화법 공정으로 SOI 기판을 사용하여 반응성 이온 식각으로 소자의 패턴을 정의하고 거친 식각 표면으로 인한 전자 이동도 저하 문제를 고려하여 TMAH용액을 이용한 이방성 식각, 산화막 형성을 통하여 실리콘 나노 와이어 MOSFET형 광 검출기와 능동 부하를 위한 NMOSFET를 설계 및 제작하였다. 각 소자의 전기적 특성을 측정하여 I-V특성이 산화막의 두께와 접촉저항의 증가로 저항특성이 크게 나타나는 공정상의 문제점이 있음에도 일반적인 MOSFET 특성을 보임을 확인하였다. 로그리딕 회로를 구성하여 빛이 없는 상태에서 1000 lux까지 광 특성을 측정하였다. 측정된 광 검출기의 응답도는 1.12 mV/lux로 고감도의 특성을 보이며 출력 전압 폭은 1.385 V이다. 제안된 로그리딕 회로의 출력 전압 특성은 일반적인 능동 픽셀센서(Active Pixel Sensor)의 특성보다 우수한 것으로 나노급 소자의 광 검출기 적용 가능성을 확인하였다¹¹⁾.

감사의 글

본 연구는 한국전자부품연구원(KETI) 및 BK21의 지원으로 수행되었습니다.

참고 문헌

- [1] J. Kretz, L. Dreeskornfedd, R. Schroter, E. Landgraf, F. Hofmann, and W. Ronsner, "Realization and characterization of nano-scale FinFET devices", *Microelectronic Eng.*, vol. 73-74, pp. 803-808, 2004.
- [2] Y. Nagamune, T. Noda, Y. Ohno, Y. Arakawa, H. Sakaki, and M. Watanabe, "Phototransistor using point contact structures", *Jpn. J. Appl. Phys.*, vol. 36, no. 3B, pp. 1955-1957, 1997.
- [3] H. Majima, H. Ishikuro, and T. Hiramoto, "Experimental evidence for quantum mechanical narrow channel effect in ultra-narrow MOSFET's", *IEEE Electron Dev. Lett.*, vol. 21, no. 8, pp. 396-398, 2000.
- [4] W. Zhang, M. Chan, R. Huang, and P. K. Ko, "High gain gate/body tied NMOSFET photo-detector on SOI Substrate for low power application", *Solid-State Electronics*, vol. 44, pp. 535-540, 2000.
- [5] H. Yamamoto, K. Taniguchi, and C. Hamaguchi, "High-sensitivity SOI MOS photodetector with self-amplification", *Jpn. J. Appl. Phys.*, vol. 35, no. 2B, pp. 1382-1386, 1996.
- [6] H. Zimmermann, "Integrated high-speed, high-sensitivity photodiodes and optoelectronic integrated circuits", *Sensors and Mater.*, vol. 13, no. 4, pp. 189-206, 2001.
- [7] J-H Park, et al., "Active pixel active pixel sensor using a PMOSFET photodetector", *Jpn. J. Appl. Phys.*, vol. 44, no. 1, 2004.
- [8] M. Je, S. Han, I. Kim, and H. Shin, "A silicon quantum wire transistor with one-dimensional subband effects", *Solid-State Electronics*, vo. 44, pp. 2207-2212, 2000.
- [9] I-S Wang, et al., "Quatnum wire SOI MOSFET with sub-band effects using conventional photolithography and its application to photodetector", *J. Kor. Phys. Soc.*, vol. 45, no. 5, pp. 1347-1351, 2004.
- [10] 서상호, 박재현, 이준규, 왕인수, 신장규, 조영창, 김훈, "고감도 능동픽셀센서를 위한 PMOSFET 광검출기의 특성", *센서학회지*, 제12권, 제4호, pp. 149-155, 2003.
- [11] 윤형준, 박재현, 서상호, 이성호, 도미영, 최 평, 신장규, "전자식 셔터와 A/D 변환기가 내장된 CMOS 능동 픽셀 센서", *센서학회지*, 제14권, 제4호, pp. 272-277, 2005.

- [12] 이준규, 박재현, 서상호, 왕인수, 신장규, 김훈, "Photolithography를 이용한 sub-10 nm 실리콘 세션 제작", 한국센서학회 종합학술대회 논문집, pp. 316-319, 2002.
- [13] Y. Nagamune, T. Noda, Y. Ohno, Y. Arakawa, H. Sakaki, and M. Watanabe, "Phototransistor using point contact structures", *Jpn. J. Appl. Phys.*, vol. 36, no. 3B, pp. 1955-1957, 1997.
- [14] H. Heidemeyer, C. Single, F. Zhou, F. E. Prins, D.P. Kerns, D. P. Kern, and E. Plies, "Self-limiting and pattern dependent oxidation of silicon dots fabricated on silicon-on-insulator material", *J. Appl. Phys.*, vol. 87, no. 9, pp. 4580-4585, 2000.
- [15] Chiang, T. K., "A new scaling theory for fully-depleted SOI double-gate MOSFET's: including effective conducting path effect(ECPE)", vol. 49, no. 3, pp. 317-322, 2005.
- [16] Lim, T. C. and Alastair Armstrong, G, "Parameter sensitivity for optical design of 65 nm node double gate SOI transistors", *Solid State Electronics*, vol. 49, no. 6, pp. 1034-1043, 2005.
- [17] Y-C Shih and C-Y Wu, "A new CMOS pixel structure for low-dark-current and large-array-size still imager applications", vol. 51, pp. 2204-2214, 2004.



신 영 식

- 2000년 안동대학교 전자공학과 졸업 (공학사)
- 현 경북대학교 대학원 전자공학과 석사과정
- 주관심분야 : Silicon Process, Photodetector on SOI



서 상 호

- 2002년 경북대학교 전자전기공학부 졸업 (공학사)
- 2004년 경북대학교 전자공학과 졸업(공학석사)
- 현 경북대학교 대학원 전자공학과 박사과정
- 주관심분야 : MOSFET-type photodetectors, CMOS Image Sensors



도 미 영

- 2004년 경북대학교 전자전기공학부 졸업 (공학사)
- 현 경북대학교 대학원 전자공학과 석사과정
- 주관심분야 : SOI MOSFET device, CMOS Image Sensors



신 장 규

- 1978년 서울대학교 전자공학과 졸업 (공학사)
- 1980년 한국과학기술원 전기 및 전자공학과 졸업(공학석사)
- 1991년 미국 콜로라도 주립대학교 전기공학과 졸업(공학박사)
- 1995~1997년 일본 토요하시 기술과학대학교 교환 교수
- 1980년~현재 경북대학교 전자공학과 교수
- 주관심분야 : CMOS Image Sensors, Silicon Retina, DNA Sensor



박 재 현

- 1994년 경북대학교 전자공학과 졸업 (공학사)
- 1996년 경북대학교 전자공학과 졸업 (공학석사)
- 2005년 경북대학교 전자공학과 졸업 (공학박사)
- 2001년~현재 한국 전자부품연구원 선임연구원
- 주관심분야 : nano-scaled photodetectors, CMOS Image Sensors



김 훈

- 1993년 경북대학교 전자공학과 졸업 (공학사)
- 1996년 일본 토요하시기술과학대학교 전자 및 전기공학과 졸업(공학석사)
- 1999년 일본 동경대학교 전자공학과 졸업 (공학박사)
- 2001년~현재 한국 전자부품연구원 책임연구원
- 주관심분야 : single electron devices, SOI MOS devices, nano-scaled photodetectors