

## 차세대 위성용 탑재컴퓨터 설계

권기호\*, 김대영\*\*, 최승운\*\*\*, 이윤기\*\*\*\*, 이종인\*\*\*\*\*, 김학정\*\*\*\*\*

### On-Board Computer Design for the Next Generation Satellite

Ki-Ho Kwon\*, Day-Young Kim\*\*, Seung-Woon Choi\*\*\*, Yun-Ki Lee\*\*\*\*

Jong-In Lee\*\*\*\*\*, Hak-Jung Kim\*\*\*\*\*

#### Abstract

This paper describes a new on-board computer design for the next generation satellite. The new on-board computer utilizes centralized processing architecture with MCMERC32SC CPU based on functional modular design concepts. The on-board computer consists of PM32 Module, TC-TM Module, IO Module and Power module. The IEEE-1355 DS/DE, or SpaceWire, provides a standard communication interface between module. It also provides simple cross-strap design for redundancy management and increases re-usability of the modules.

#### 초 록

본 논문은 차세대 위성을 위한 탑재컴퓨터 구조, 설계에 대한 논문이다. 차세대 위성용 탑재 컴퓨터는 MCMERC32SC CPU를 사용하고 중앙 집중 처리 구조를 채택하고 있다. 이를 위해 PM32 Module, TC-TM Module, IO Module 및 Power Module로 구성되어 있다. 각 Module간의 통신은 IEEE-1355 DS/DE (SpaceWire) 통신 방식을 채택하였다. 간단한 cross-strap 방법을 사용함으로써 모듈들의 잉여성 관리와 재사용성 증가를 손쉽게 할 수 있도록 하고 있다.

키워드 : 차세대 위성 (next generation satellite), 탑재컴퓨터(on-board computer), MCMERC32SC, SpaceWire

#### 1. 서 론

우주 중장기 발전 계획에 따라 2015년 까지 광학 탑재체 이외에 레이더 탑재체 등 다양한 형태의 임무를 갖는 위성을 개발 하도록 하고 있다.[1] 또한 다목적실용위성 1호(이하, K1)와 2호

기(이하, K2)의 개발 과정에서 좀 더 단순한 구조를 가지면서도 다양한 임무 요구 사항을 만족시킬 수 있는 위성 버스 개발 요구가 점차 늘어나고 있다. 이를 위해 K1, K2에서 사용된 3-processor에 의한 분산 데이터 처리 구조를 단일 처리 장치로 운영하는 방안에 대한 연구가 진행되었다. [2,3,4] 특히, 분산 데이터 처리 구조

\* 위성전자그룹/khkwon@kari.re.kr  
 \*\*\* 위성전자그룹/antelch@kari.re.kr  
 \*\*\*\*\* 위성전자그룹/jilee@kari.re.kr

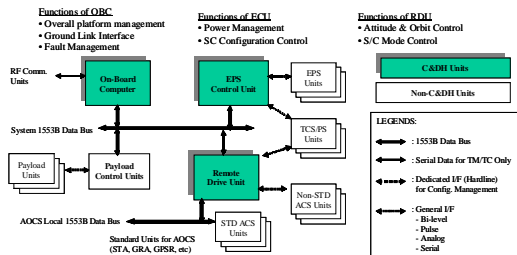
\*\* 위성전자그룹/dykim@kari.re.kr  
 \*\*\*\* 위성전자그룹/yklee@kari.re.kr  
 \*\*\*\*\* 위성기술실/hjkim@kari.re.kr

는 고장 발생시의 오류 복구가 힘들므로 이를 단순화한 단일 처리 장치를 갖는 구조에 대한 논의가 진행되었다. 또한 단일 처리기 구조로 설계할 경우 충분한 처리 능력을 가질 수 있는 CPU 선정 및 위성 버스 내의 모듈 간의 통신은 현재 유럽에서 사용 중인 IEEE-1355 DS/DE (SpaceWire) [5,6] 통신 방식에 대한 연구를 수행하였으며 이를 바탕으로 탑재컴퓨터 기능 모델 개발을 수행하였다.

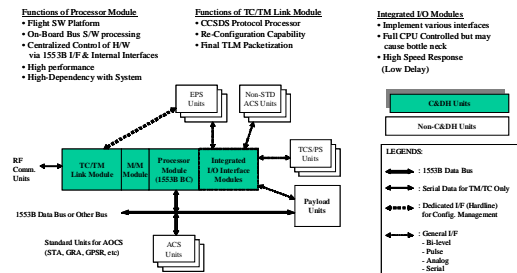
## 2. 차세대 위성의 요구조건 분석

### 2.1 데이터 처리 구조 요구 분석

차세대 위성을 위한 데이터 처리 구조 설계에 있어 가장 중요한 부분은 향후 다양한 임무를 수행할 수 있어야 하며, 크기가 작고 전력 소모가 적은 것 이외에 고장 복구를 위한 구조를 단순화하는 것이다.



(a) 분산된 I/O에 대한 일괄처리 방식 (CPDIO)



(b) 중앙 집중식 처리 방식 (CPCIO)

그림 1. 차세대 위성의 데이터 처리 구조 검토

이를 위해 그림 1 및 표 1과 같이 단일 처리기 구조로 구성하는 방안에 대해서는 전반적인

위성 개발 추세를 따르기로 의견이 의견을 모았으므로 CPDIO (Centralized Processing & Distributed I/O) 구조와 CPCIO (Centralized Processing & Centralized I/O) 구조에 대한 rjax가 수행되었다. [2,3,8]

표 1. CPDIO와 CPCIO 구조 비교

Centralized Processing & Distributed I/O	Centralized Processing & Centralized I/O
Suitable for Large Volume Satellite	Suitable for Small-Size Satellite
Technically higher reliability & operability <sup>(*)1</sup>	High reliability <sup>(*)1</sup>
Easier extension with lower system complexity	Difficult to extend function.
Use of lower technology.	Higher density with higher technology required.
Higher weight, dimension with harness bundles	Less weight, dimension & harness bundles
Usually, consumes more power.	Usually, consumes less power
1. System reliability & operation scheme depending on cross-strapping interfacing scheme	
<input type="checkbox"/> CPDIO usually provides higher reliability.	
<input type="checkbox"/> CPDIO Simple to understand Operational concepts	
<input type="checkbox"/> Operational point of view, CPCIO provides more flexibility with easier recovery scheme	
<input type="checkbox"/> But, simple operation/fault management concept drives lower reliability.	

초기에 검토된 방안은 향후 정지궤도 위성의 데이터 처리 장치에도 적용할 수 있도록 단일 처리기를 기준으로 I/O 장치를 분산시켜 처리기의 형태를 단순화함과 동시에 I/O 장치에 대해서는 유연성을 두는 방안이다. [2] 그러나 최종 개발 목표로 CPCIO 구조를 지원하는 통합된 탑재컴퓨터 구조를 선정하였으며, 아래와 같은 시스템 요구 사항을 정립하였다.

- 단일 통합 처리기를 이용한 버스 제어 기능
- 경량, 저 전력 소모, 작은 부피 및 연결 하니스 번들을 최소화 한 통합된 구조
- 고성능 32-bit ERC32 혹은 PowerPC 사용
- 시스템 복잡도와 I/F 최소화, 모든 Sensor, Actuator 및 상태 I/F를 갖는 통합된 I/O
- 잉여성을 포함, 고장 관리 구조를 단순화
- GPS 기반의 1초 신호 제공, 정밀시간 사용

이러한 설계 요구 사항을 만족하기 위해 가장 큰 문제점은 많은 기능을 집적하기 위해 필요한 기술적 난제들이다. 특히 통합 탑재컴퓨터의 내부 처리 구조 설계와 차세대 위성을 위한 CPU 선정이 문제가 된다. 이 이외에 많은 기능을 집적하기위한 기술이 요구되며, 이로 인한 기계적, 열적인 특성도 아울러 검토되어야 하였다.

## 2.2 탑재 컴퓨터 내부 처리 구조 설계

통합된 탑재 컴퓨터는 K2의 데이터 처리장치인 OBC/ECU/RDU/VDE를 통합한 구조로서, 다음의 전기적 기능을 가진다.

- Processing Element: CPU, Memory, DMAC, PIC/PIT, 1 pps, 1553B, Serial Port, Peripheral Control I/F 등 제공
  - Up/Down Link Function: CCSDS 호환 가능, 상향 링크 CLTU 처리, Special Command 처리, RS Encoding 및 하향 링크 VCDU 구성 기능
  - Autonomy 지원: WDT, HW 구성 제어 등
  - 대용량 메모리: 1 Gbit 이상의 저장 용량
  - I/O Function: 다수의 장치 연결을 위해,
    - 전용 외부 장치를 위한 Serial I/F
    - 상태 감시 및 제어를 위한 Static 및 Pulse 형태의 Bi-level I/O I/F
    - Sensor 및 Actuator를 위한 Analog I/F
- 이러한 기능을 포함하는 통합된 탑재컴퓨터의 개념적인 구성 요소는 그림 2와 같다.

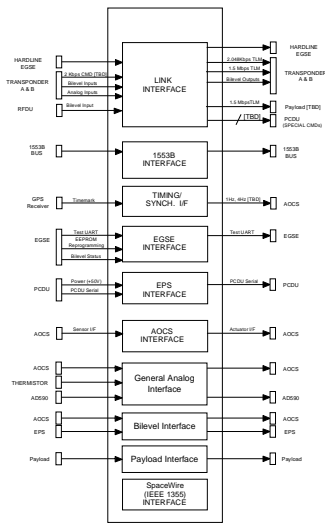


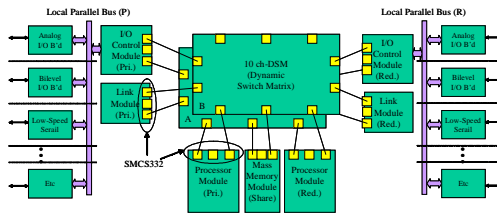
그림 2. 통합된 탑재컴퓨터 개념 구성 요소

내부 기능들을 구현하기 위해 기능들을 크게 처리기 모듈 (Processor Module), 원격 통신 및 대용량 메모리 모듈 (TC/TM Link & Mass Memory Module) 및 통합 입출력 모듈 (I/O Module)로 분

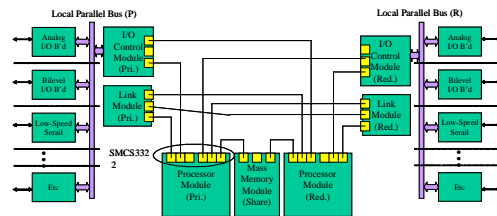
류하였다.

모듈간의 통신 방법은 Backplane을 통한 PCI 통신 방식을 고려하였으나 설계 시 BUS 구동 회로의 복잡성, 잠재적인 잡음 발생 가능성 과 신뢰도 분석을 통한 낮은 신뢰도 (K2: 3년, 0.982, Backplane PCI방식: 3년, 0.978)예측으로 인하여 유럽에서 개발한 직렬 통신 인터페이스 표준인 IEEE 1355 DS/DE (SpaceWire)를 사용하였다. (3년 0.985예상)

이는 위성 내의 데이터 처리 장치 간에 양방향의 고속 데이터 통신이 가능하도록 구현된 것이다. Bus Drop 방식이 아닌 node 간의 Point-to-Point) 방식을 지원하므로 임의의 node 간에 연결을 위해 Router 기능을 함께 정의하고 있다. 현재까지 개발된 부품으로, 우주용으로 가용한 SpaceWire 표준 부품은 단일 채널 지원 제어기 (SMCSlite or SMCS116), 3 채널 지원 제어기 (SMCS or SMCS332), 그리고 10개 node 간의 연결을 위한 Dynamic Switch Matrix (DSM) Router등이 있다. [5,6] 이들을 사용하여 통합된 탑재컴퓨터를 연결하는 방안은 그림 3과 같다.



(a) DSM Router를 이용한 기능 연결 구조



(b) SMCS를 이용한 기능 연결 구조

그림 3. SpaceWire를 이용한 Cross-Strap 구조

DSM Router를 이용하는 방안은 향후 병렬 처리 기능 추가, GPS 모듈의 추가 등의 확장성이 좋으나 모든 제어 명령과 상태 데이터가 처리기 모듈로 물리는 소형 시스템에서는 3채널 링크를 가진 SMCS를 이용하는 방안이 고려되었다. [6,9]

### 2.3 CPU 선정

차세대 위성에 사용될 CPU는 CPCIO 구조에 의하여 위성체 전체에 대한 제어를 담당하게 되므로 다목적실용위성에 사용된 모든 처리기의 성능을 모두 합친 처리 성능을 갖도록 하여야 한다. CPU 선정에 대한 기준은 2000년도에 수행한 타당성 연구의 결과 중 하나로서 다음과 같이 설정하였다.[7]

- 처리성능: 30~50 MIPS (최소 15MIPS) [2,3]
- SEU Rate: 1000 km 태양 동기 궤도에서 동작할 경우 1년에 1회 미만
- 향후 CPU 및 관련 부품의 가용성
- 개발 난이도 및 Software 개발 환경

타당성 연구 결과로서 2002년까지 PowerPC를 기반으로 하는 Single Board Computer (SBC) 개발을 완료한 상태이나, 미국에서 개발된 RH 부품 판매가 허용되지 않는 것으로 확인되었다. 대체 부품으로, 유럽의 ESA 중심으로 개발되어 최근에 많이 사용되고 있는 ERC32 CPU를 고려하였다. 검토 결과는 표 2에 요약하였다.

표 2. 차세대 CPU 선정에 위한 특성 비교

내용	CPU TSC695 (ERC32)	TSPC750
Core	SPARC V7 (RISC)	PowerPC (RISC)
성능	12 MIPS @ 15 MHz 20 MIPS @ 25 MHz	488 MIPS @ 266 MHz (decrease of 6% w/o L2)
부가기능	FPU, EDAC, Memory I/F, DMAC, 2 UART, Timer/WDT, Interrupt Controller	외부의 Memory Management Unit (PC107 PCI Bridge & Mem. Ctrl)
소모전력	1 W @ 25 MHz	4.2 W @ 200 MHz
전압	TSC695F(5V), 695FL(3.3V)	3.3V
Package	256 MQFP 제작 및 검사 용이	360 CBGA 제작 및 검사 난이
SEU Rate	5V: $1 \times 10^{-5}$ / 3.3V: 0.02 (events/component/yr)	TSPC750: ~4 (ATMEL) PPC750FX: ~0.6 (SOI/IBM) without use L1/L2 cache
부품 수급	RH 부품 가용	우주용 부품 수급 불가 군용/SOI 부품 수급 가능
개발 난이도	국내 개발 경험 없음. EDAC 기능 등 Embedded 용으로 사용 용이	다양한 개발 문서 공개로 개발 용이. DMAC, EDAC, UART 등은 별도로 구현 (PC107 사용 없을 경우)
S/W 개발 환경	Emulator, S/W 개발용 보드 OS: VxWorks, RTEMS GNU 기반의 개발 환경과 Tornado IDE 활용 가능	다수의 S/W 개발용 보드, VxWorks 등의 RTOS, Compiler/Debugger 등의 다양한 개발 환경이 지원됨

PowerPC를 사용할 경우 이미 SBC를 개발 완료하였으며, S/W 개발을 위한 지원 환경 등이 매우 좋은 것으로 평가되었다. 그러나 우주 환경에 대한 상대적인 취약성과 향후 부품의 가용성 등이 좋지 않으므로 ERC32를 차세대 위성을 위한 CPU로 결정하였다. ERC32를 사용할 경우 국내에서의 사용 경험 부족과 상대적으로 열악한 S/W 개발 환경 등의 애로 사항이 존재할 것으로 예상된다. 기술적인 어려움은 K2처럼 유럽의 기술 지원을 통해 충분히 극복될 수 있으리라 판단된다.

ERC32를 적용, SBC를 개발하는 방법에 있어 개발 위험성을 줄이기 위해 Single Chip 형태의 부품을 사용하는 방안과 1553B 기능을 포함한 대부분의 SBC 기능을 집적한 MCM32 module (그림 4)를 적용하는 방법을 병행하여 추진 완료하였다. 향후 국내 위성 개발에 있어 매우 복잡하고 다기능이 요구되는 경우 MCM32를 사용하는 SBC를 사용하도록 하며, 탑재체의 일부 제어기 모듈 등 간단한 기능을 사용하는 부분은 Single Chip 형태의 SBC를 적용할 수 있을 것이다.

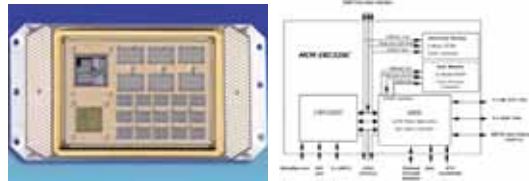


그림 4. SBC 기능을 집적한 MCM32

### 3. 탑재컴퓨터 DM 개발

#### 3.1 탑재컴퓨터 규격 설정

2장에서 언급한 차세대 위성 탑재 컴퓨터의 요구조건 분석과 개념설계를 바탕으로 하여 탑재 컴퓨터 개발 모델 (Development Model; 이하 DM)을 수행하였다. 우선 개발을 위한 하드웨어, 소프트웨어, 기계적인 요구 조건을 수립, 탑재 컴퓨터의 기능을 정의하고 이를 바탕으로 수행한 탑재 컴퓨터의 개발 결과에 대하여 기술하였다.

참고로, 지면의 한정으로 인하여 본 논문에서는 하드웨어 요구 조건만을 기술하였다.

### 3.1.1 종합탑재컴퓨터의 기본적인 성능조건

- 32-bit CPU/FPU, 메모리 및 1553B 제어기를 내장한 MCM32(32-bit Multi-chip Module)를 사용
- 처리 성능 : 15 MIPS (20MHz 클럭사용)
- MCM의 6 Mbytes SRAM, 32 Mbytes의 DRAM, 3 채널의 MIL-STD-1553B 데이터 버스 제어기 사용
- 하드웨어에 의한 고장시 복구 할 수 있는 WDT회로 보유

### 3.1.2 시간 동기를 위한 Timing Interface 요구 조건

- 연동 시스템 간의 시간 동기를 위해 내부적으로 1 us/sec 미만의 정밀도를 갖는 1초 신호를 제공
- GPS 1PPS 신호를 받아 이에 동기된 1초 신호를 생성할 수 있도록 DPLL(Digital Phase Lock Loop) 회로 내장
- 1초 신호를 기준으로 소프트웨어 동작 및 하드웨어 동작에 필요한 1 Hz, 4 Hz, 8 Hz, 16 Hz, 32 Hz 및 100 Hz 클럭 제공

### 3.1.3 프로그램 메모리 요구 사항

- 초기 구동용 소프트웨어 저장용 128 Kbytes PROM을 보유
- 탑재소프트웨어 저장 메모리는 최소 1Mbytes 최대 4Mbytes

### 3.1.4 제어기 모듈(PM32)이 제공할 장치 인터페이스

- Redundancy를 가지며, Transformer Coupled MIL-STD-1553B 데이터 버스를 2 채널 이상 외부로 제공
- 지상 시험을 위해 외부로 RS-422 Differential

Interface를 갖으며, 최소 19200bps 이상의 전송 속도를 갖는 1 채널 이상의 UART(Universal Asynch. Receiver & Transmitter) 직렬 인터페이스를 제공

- 지상에서 프로그램 loading, CPU Emulation 및 HW/SW Debugging을 위해 단일 IEEE 1149.1 JTAG COP 인터페이스 제공
- 초기개발모델의 경우 1 Mbytes ROM I/F Socket을 통해 NetROM I/F 제공
- 6 채널 이상의 IEEE 1355-1995 DS/DE (SpaceWire) 인터페이스 제공
- 잉여성을 갖는 모듈을 사용하여 Cold Redundancy 제공

### 3.1.5 TCTM (Telecommand, Telemetry, SGM, MM & RU Module) 요구사항

- 2 채널의 SpaceWire (IEEE 1355) 인터페이스를 통하여 PM32 와 Cross-Strap 인터페이스
- 외부장치에서 입력되는 Uplink Packet을 처리하는 Telecommand 기능은 K2 의 처리 기능 요구 사항을 따르고 수신된 Packet은 SGM 영역에 저장
- 외부 장치로 Downlink Packet을 전송하도록 하는 Telemetry기능은 K2의 처리 기능 요구 사항을 따르고 Real-Time과 Playback의 두 가지 모드를 지원
- Telemetry 기능에서 사용하는 RS Encoding 기능과 Telecommand 기능에서 BCH Code 및 Randomizing code는 CCSDS 101.0-B-3의 규정을 따라야 한다.
- 위성의 상태 데이터 저장을 위해 K2와 유사한 기능을 갖는 1 Gbits의 대용량 메모리를 보유
- 64 Kbyte 크기의 SGM(Safe Guard Memory) 보유
- 탑재컴퓨터 내의 모든 구성 모듈에 대한 종합적인 고장 진단 및 형상 제어 기능을 수행하는 Reconfiguration Unit을 보유
- Dual Redundancy를 가지며 Hot Stand-by 상태로 동작이 가능

### 3.1.6 I/O 장치

- I/O 장치는 별 다른 요구 조건이 없는 경우 K2의 탑재컴퓨터 (OBC, ECU 및 RDU)에 정의된 모든 I/O 장치의 규격과 호환성을 갖도록 설계
- I/O 장치로는 범용의 Bi-Level I/O 채널, Analog Inout 채널, 그리고 최종적으로 개발될 모듈형 전력분배조절기의 인터페이스를 위한 전용 Serial 채널과 자세제어계를 구성하는 장치와의 인터페이스를 위한 전용 IO 채널로 구성

### 3.1.7 내부 전원공급장치

- 탑재컴퓨터는 위성체의 주 전원을 입력으로 내부의 PM32, TCTM 및 IO Module에서 필요한 전원을 공급
- 전원공급장치는 자체적으로 잉여성을 가지고 고장진단 기능
- 아래 각 모듈들의 전원 관련 동작 지원
  - TCTM: Primary/Redundant 모두 항상 전원 공급. 단, Mass Memory는 P/R 각각에 대한 전원 ON/OFF 가능
  - PM32: Primary/Redundant 각각에 대한 ON/OFF 가능
  - IO Module: Primary/Redundant 각각에 대한 ON/OFF 가능
- TCTM의 RU와 Telecommand 기능에 즉시 전원 공급, RU의 제어에 따라 나머지 기능에 대한 전원 공급

### 3.1.8 내부 구성품 간의 인터페이스

- PM32/TCTM/IO Module 간에는 전면판을 통해 SpaceWire (IEEE 1355) 통신
- 전원공급장치를 포함한 각 모듈 간의 신호 연결은 Backplane 이용
- 각 구성품 간에는 Primary 구성품과 Redundant 구성품 사이의 상호 교차 연결 지원

### 3.2 탑재컴퓨터 DM 개발

탑재컴퓨터 DM의 개발 목표는 차세대 위성 탑재를 목표로 하는 것으로 개발 품목은 다음과 같다.

- PM32 모듈 : 1세트
- TCTM 모듈 : 1세트
- IOC & Serial & Bilevel 보드 : 1세트
- Analog 보드 : 1세트
- 탑재컴퓨터 하우징 : 1세트



그림 5. 개발된 탑재컴퓨터 DM 형상

제작 수준은 MIL급 또는 우주급 부품 적용을 염두에 두고 PCB를 설계한다. 실제 사용 부품은 위성용 부품 수급이 가능한 상용 대체 부품을 사용하여 제작한다. 일체형 및 분리형 혼합 기계 가공 방식 적용하여 하우징은 제작하며 최소한의 형상관리 및 품질보증업무만 수행한다. 개발품을 평가하기 위한 최소 기능의 시험 장비를 개발하며 가능한 K2의 시험 장비를 활용하였다.

그림 5는 개발된 탑재 컴퓨터 DM의 형상이며 그림 6은 탑재 컴퓨터 내부 Functional Block Diagram에 대하여 설명된 그림이다.

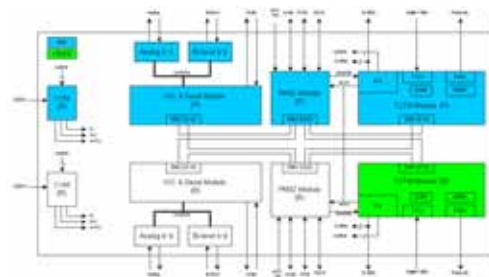


그림 6. 탑재컴퓨터 DM Functional Block Diagram



### 3.2.1 PM 32 상세 설계

PM32의 전체적인 Block Diagram은 그림 7과 같다

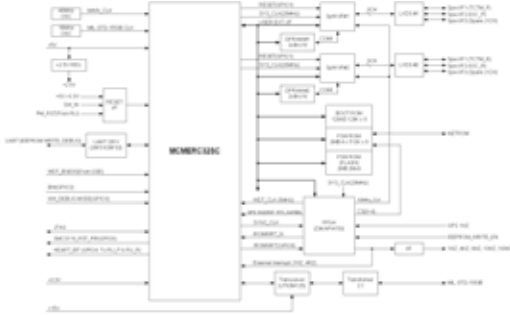


그림 7. PM32 Block Diagram

구성요소를 살펴보면 ERC32, Memory 및 주변장치 제어기능을 내장한 MEMERC32SC CPU, SpaceWire통신을 위한 SMCS332 ChipSet, PM32 Controller FPGA와 Boot PROM 및 FSW가 탑재될 FSW ROM, CPU에 사용될 Clock을 제공하는 40MHz Oscillator, 1553B 통신용 Transceiver 및 Transformer등으로 구성되어 있다.

3.1 절에서 제시된 요구 조건을 바탕으로 제작된 Board는 그림 8과 같다.



그림 8. PM32 Board

FSW ROM설계는 4개의 512KB EEPROM과 2MB FLASH를 선택하여 사용할 수 있도록 설계되었다. GPS 1PPS와의 동기구조로서 K2에서 사용했던 DPLL구조는 Back-up으로 사용할 수 있

도록 하였으며, 이와는 별도로 MCM내부의 RTC(Real Time Clock)를 이용한 시간동기 회로를 구현한다.

### 3.2.2 TCTM 상세 설계

TCTM의 기능은 지상으로부터의 원격명령(Telecommand)을 수신하며 FSW의 관여 없이 직접 Special Command 수행하는 기능과 위성의 상태 데이터를 전송(Telemetry)하는 기능을 수행한다.

수집된 데이터는 1 Gbit의 대용량 메모리에 저장(Mass Memory-1Gbit)한다. 탑재 컴퓨터 내의 고장진단 및 형상 관리를 위한 기능을 두며, 전반적인 시스템 동작 및 형상 데이터 저장하는 기능을 갖도록 구현하였다. TCTM의 모든 기능은 Hot Redundancy로 동작한다.

TCTM의 Block Diagram은 그림 9에 제시되어 있으며 제작된 TCTM Board는 그림 10와 같다.

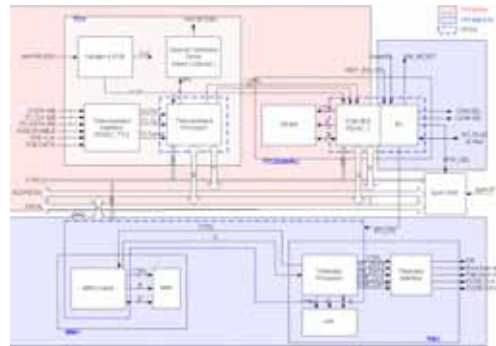


그림 9. TCTM Block Diagram

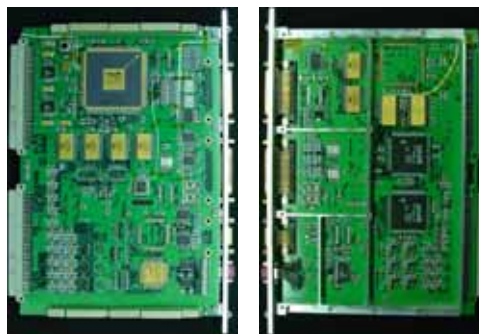


그림 10. TCTM Board

### 3.2.3 IOC 및 Bilevel Board 상세 설계

IOC(IO Controller Board)의 기능은 Bilevel Board, Analog Board등 과 PM32간의 SpaceWire를 통한 데이터 전송, 수신 및 제어를 수행하는 부분이다.

Bilevel Board는 외부 회로 구동을 위한 출력 Command와 현재 상태를 읽을 수 있는 Telemetry 부분으로 나뉜다. Command는 Discrete Command와 Pulse Command로 구분되며 Telemetry는 Bilevel Telemetry가 있다.

IOC 및 Bilevel Board의 Block Diagram은 그림 11에 제시되어 있으며 제작된 Board는 그림 12와 같다.

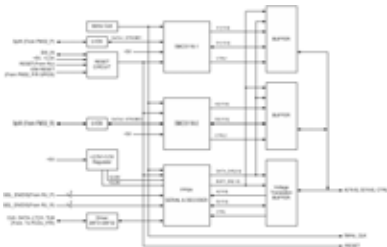


그림 11. IOC & Bilevel Board Block Diagram

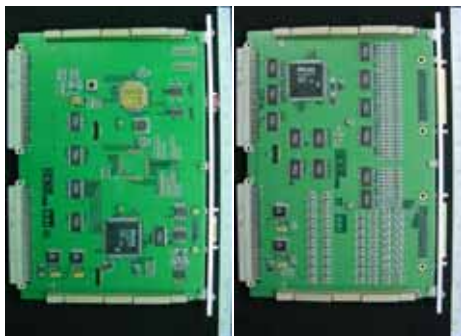


그림 12. IOC & Bilevel Board

### 3.2.4 Analog Board 상세 설계

Analog Board는 650 [usec] Conversion Time를 가지며 12 Bit A/D 변환을 통하여 Analog Data를 Digital Data를 변환하게 된다. 이를 위하여 Digital Gain and Offset Control을 수행하며

1초에 약 1000 Sample을 수행할 수 있다. 구현한 Analog 회로는 8 Constant Current Source for thermistor, 8 Voltage Stimulus (1 per 6 AD590) 및 4 Sun sensor Signal Conditioner (I-V conversion circuit)등 총 96 ADC channel로 구성되어 있다.

A/D 변환 방법으로 1 채널씩 읽어오는 One channel mode와 미리 모든 Data를 획득해 오는 Pre-scan mode를 지원한다. 전체적인 Analog Board의 Block Diagram은 그림 13와 같다.

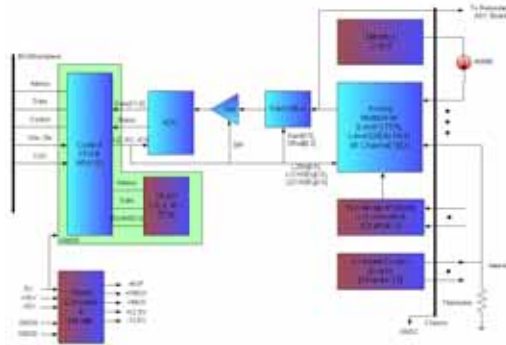


그림 13. Analog Board Block Diagram

제작된 Analog Board는 그림 14과 같다.

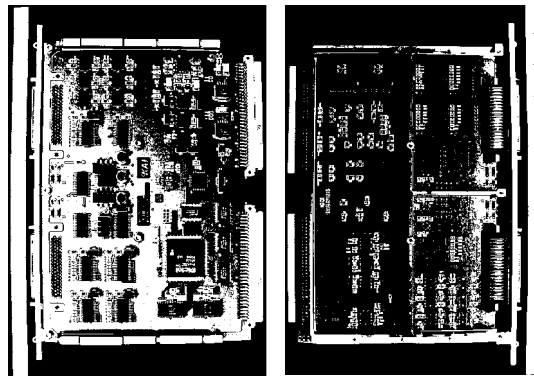


그림 14. Analog Board



### 3.2.5 Discrete Chipset을 이용한 PM32 개발

2.3절에서 언급한 ERC32 Single Chipset을 이용하여 PM32 Board를 병행 개발하였다. 병행 개발된 PM32 Board는 3.2.1에 언급된 PM32의 모든 기능을 가지고 있으며 ERC32를 사용함으로써 인하여 MCMERC32SC 내부에 있는 Memory 및 주변장치 제어기능을 별도의 Chip Set을 사용하여 개발하였다.

개발된 PM32 Board Block Diagram은 그림 15에 제시되었으며 제작된 Board는 그림 16과 같다.

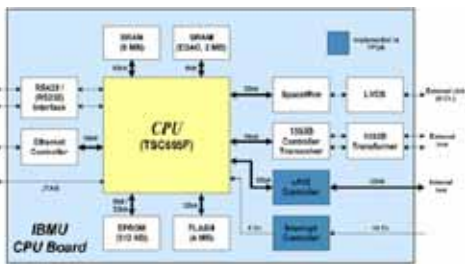


그림 15. ERC32 CPU를 이용한 PM32 Block Diagram



그림 16. ERC32 CPU를 이용한 PM32 Board

## 4. 결 론

항우연 위성전자 그룹은 차세대 위성 개발을 위해 기존의 K1, K2 개발 경험을 바탕으로, 기존에 사용한 분산형 처리 구조 대신 좀 더 가볍고 작은 부피를 차지하는 통합된 탑재컴퓨터를 개발하고 있다. 통합된 탑재 컴퓨터는 위성체 내의

모든 데이터 처리 기능을 담당할 계획이다. 이를 위해 고 집적 회로 사용과 새로운 기술의 도입 등을 통해 낮은 전력 사용, 손쉬운 고장 복구 기능 및 더 높은 신뢰도를 가질 수 있는 탑재컴퓨터 개발이 가능할 것으로 예상된다. 본 논문에서는 이를 위한 요구 조건 분석, 구조 설계 및 CPU선정 결과와 함께 설정된 규격을 만족하는 기능 모델 개발 결과를 소개하였다.

이러한 연구 결과는 향후 차세대 위성의 핵심 처리 장치에 적용하기 위해 보완 개발될 예정이며, 궁극적으로는 국내에서의 독자적인 위성 개발에 도움이 되고자 한다.

## 참 고 문 헌

1. 국가과학기술위원회, "우주개발 중장기 기본계획", 2000. 12.
2. 보고서 E00430, "고성능 위성용 탑재컴퓨터 기술 연구(I)", 한국항공우주연구원, 2001. 1.
3. 김대영 외, "차세대 위성용 탑재컴퓨터 개발 동향에 관한 연구", 한국항공우주학회 제 30 권 제2호, 특별본 pp145-151, 2002. 3.
4. 김대영 외, "다목적실용위성 원격측정명령시스템", 항공우주학회 추계, pp574-577, 1997.
5. ESA-ESTEC, 2003, SpaceWire Standard, ECSS-E-50-12A, <http://www.estec.esa.nl/tech/spacewire/standards/>
6. 김대영 외, "차세대 위성에서의 SpaceWire 표준 적용", 항공우주학회 춘계, pp790-793, 2004
7. 보고서 E02220, "위성 전자/구조/제어 선행 기술연구", 한국항공우주연구원, 2002.
8. Michael Han, "Advanced ICDS for Constellation Satellites", MAPLD, 2002.
9. 권기호 외, "IO Board Design of Next Generation Satellite using the Space Wire Interface", 한국우주과학회보, 제13권 2호, pp223-226, 2004. 10.