

고성능 나노 SOI 기술 개발

한양대학교 전자통신컴퓨터공학부 박재근 교수

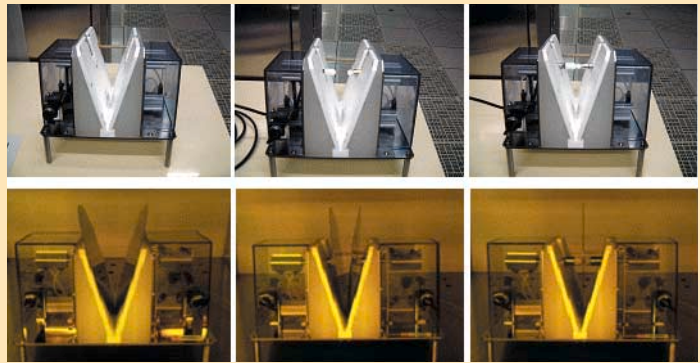


차세대 정보통신 반도체 소자에 필요한 고성능 나노 SOI 기술 개발에 대한 공로로 한양대학교 전자통신 컴퓨터 공학부 박재근 교수를 '이달의 과학기술자상' 수상자로 선정했다고 과학기술부와 한국과학재단은 밝혔다.

과학기술부 국가지정 연구실(NRL)인 나노 SOI 공정 연구실 운영 책임자인 한양대학교 박재근 교수는 차세대 45nm급 이하 나노 응력 상보형 금속 산화막 반도체의 전계 트랜지스터에 적용되는 소자 핵심 기반 기술인 고성능 나노 SOI 기술을 개발하였다. 이 기술은 차세대 정보 통신용 CPU(중앙처리 장치)와 MPU(초소형 연산처리 장치)를 구성하는 기본 소자 제조 기술로 수백기가 헤르츠의 동작 속도와 초저전력 특성을 갖고 있으며 테라비트급 메모리 소자의 기본 소자로 적용될 예정이다.

반도체 제조 기술은 다양한 분야의 기술이 요구되는데, 특히 설계, 제조공정 프로세스, 테스트, 조립 기술 등 전분야에 걸쳐 국내 반도체 업체가 세계를 주도해 왔다. 그러나 이러한 추세에도 불구하고 원자재 및 공정 설비 등은 해외 의존도가 높아 이에 대한 기술 개발이 시급한 실정이다. 특히 미국의 아이비엠, 인텔, 에이엠디, 모토로라, 일본의 일본전기 등이 이끌고 있는 나노 SOI 공정 기술은 2년 정도 뒤떨어져 있어 이 기술의 확보가 반드시 필요하다.

박 교수는 창의적인 기술 개발을 통하여 수년간 나노 SOI 공정 기술 개발에 대한 특성을 연구해 디바이스 특성에 맞게 디자인된 독자적인 웨이퍼 기술 개발을 시작하였으며, 학문적인 이론을 바탕으로 산업계에서 필요로 하는 양산 기술까지 접목시켜 급기야 고성능 나노 SOI 공정기술을 개발하였다. 이를 통해 국내 정보 통신 소자의 핵심 소재인 나노 SOI 웨이퍼에 대한 국산화의 토대를 마련할 수 있었으며, 차세대 디바이스 소자의 구조 및



300mm 웨이퍼 결합기 및 공정 개요도

회로 기술 향상에 지대한 효과를 가져 올 것으로 보인다.

고성능 나노 SOI 기술은 저온 나노 에피 실리콘 성장 기술 및 나노 복합 실리콘저마늄층 성장 기술, 나노층 분리 기술, 무결합 결합 기술, 나노 표면처리 기술, 나노 소자 제조 기술 등 5개의 핵심 기술로 이루어져 있으며, 나노 기술인 NT 기술을 통하여 정보 통신 소자인 IT 기술의 융합으로 이루어진 기술이다. 이 기술에 의해 개발된 고성능 나노 SOI 기술은 기존의 기판 실리콘 대비 소자 동작 속도 20~40% 향상, 전력소비 1/2~1/4로 감소, 소프트웨어율 1/2~1/3분의 1로 감소 등의 효과가 있다.

고성능 나노 SOI 기술은 세계적으로 그 우수성을 인정받아 관련 핵심 기술이 국내는 물론 해외에 특허출원 및 등록됐다. 특히 이 기술의 기반 기술로 적용된 슈퍼 실리콘 웨이퍼는 2004년 특허 기술상인 영예로운 '충무공상'을 수상하였다. 또한 고성능 나노 SOI 공정 기술은 꿈의 디스플레이인 투명하고 휘어지는 실리콘 트랜지스터가 장착된 디스플레이 개발에 필요한 핵심 기반 기술로 적용되어 초고해상도의 마이크로 디스플레이를 개발 중이다. 한편 박 교수는 '한국의 미래를 열어갈 100인' 중 '응용 기술 분야 6인'에 선정되기도 하였다. 