

표준 기술 동향



차세대 단말기를 위한 SDR 기반의 통신모뎀 구조 TREND

TTA 차세대이동통신 PG 의장, LG전자 이동통신기술연구소 상무 **최진성**



서론

이동통신과 무선랜, 무선 인터넷에 대한 수요의 증가와 관련 업체들의 뜨거운 경쟁으로 인해 다양한 무선 통신 시스템이 시장에 속속 등장하고 있으며, 3세대 서비스 이후에 채택될 4세대 이동통신에 대한 논의도 활발하게 진행되고 있다. 미래의 4세대 이동통신에 대한, 대체로 공통된 의견을 '다양한 무선통신 방식이 유기적으로 조합되고 상호 연계하는 구조가 될 것'으로 보고 있어, 현재뿐만 아니라 미래에도 다양한 무선접속 방식이 공존할 것을 예상할 수 있다. 무선접속방식의 혼재는 사용자의 불편을 초래하고, 통신사업자가 새로운 표준을 채용하거나 기술을 시장에 내놓는데 시간이 많이 걸리며, 시스템 및 단말기 제조업체에서도 개발과정과 생산성 측면에서 비효율을 가져오게 된다.

이러한 문제를 해결하기 위한 대안으로 SDR(Software Define Radio)이 주목을 받고 있다. SDR 기술은 기존 HDR(Hardware Define Radio) 통신 시스템과는 달리 안테나 이후의 RF 영역을 포함한 대부분의 기능 블록이 프로그래밍이 가능한 고속의 처리 소자에 구현된 소프트웨어 모듈에 의해 수행됨으로써, 하드웨어 수정 없이 모듈화된 소프트웨어 변경만으로 단일의 송수신 시스템을 통해 다수의 무선 통신 규격을 통합, 수용이 가능한 무선 접속 기반 기술로 이종 통신 규격의 세대간 진화에 제한 받지 않고 Scalability를 제공한다. SDR 기술은 단순히 하드웨어를 소프트웨어적으로 재구성 하는 것에만 국한되어 있지 않으며, RF 단에서의 멀티모드, 멀티밴드, 멀티기능을 지원하는 공통 하드웨어 플랫폼과 사용자나 서비스 제공자에 의해서 또는 자동으로 각각의 밴드, 모드, 기능 및 특징을 정의할 수 있는 모듈러 소프트웨어 구조, 끊임 없는(Seamless) 핸드오버, 각 구성요소간 인터페이스의 표준화 및 개방화, 효율적인 소프트웨어 다운로드 방식 등을 포괄적으로 다루고 있다. 이를 실제로 구현하는데 필요한 핵심 기술은 재구성이 가능한 SDR기반의 통신 플랫폼과 하드웨어 구조에 있다. 본 고에서는 SDR기술의 핵심인 재구성형 라

표준 기술동향

디오의 특징과 SDR 기반의 통신모뎀 칩 구조와 개발 동향에 대해 소개한다.

1. SDR 기술의 장점 및 특징

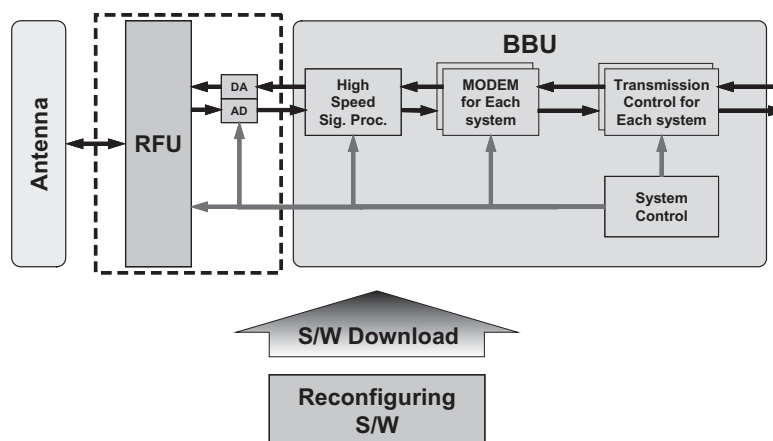
SDR 포럼에서는 “무선통신의 재구성성이 가능한 시스템 구조를 가능하게 하는 소프트웨어와 하드웨어 기술의 집합체” 혹은 “하드웨어(플랫폼) 변경 없이 소프트웨어 업그레이드만으로 멀티모드, 멀티밴드, 멀티기능의 무선 시스템 구현을 가능하게 하는 기술”로 SDR을 정의하였다. [1, 2]

SDR을 이용한 단말기는 특별한 하드웨어의 변경이 없이도 업그레이드와 새로운 서비스의 추가, 다중 모드의 전환이 가능한 유연성을 가지게 되므로, 제조업체에서는 유연성을 가지는 단말의 생산을 통해 보다 넓은 시장의 확보가 가능할 뿐만 아니라, 하드웨어 플랫폼의 간소화 및 이종 규격간의 통합형 단말기의 판매, follow-up 소프트웨어의 판매가 가능하여 생산원가를 줄이고 다양한 고객(가입자, 시스템 운영자)의 요구에 대응할 수 있다. 통신사업자는 새로운 망 규격이 도입되어도 해당 소프트웨어 모듈을 다운로드하기만 하면 되므로 저렴한 망 구축 비용으로 융통성 있는 망 운용을 할 수 있

으며, 사용자 측면에서는 지역적 표준이나 서비스 종류에 따라 달라질 수 있는 무선통신 시스템에 관계없이 통신서비스 이용이 가능하며, 서비스 선택의 폭도 넓어지게 된다. 새로운 통신규격의 적용이나 업그레이드가 필요할 경우 SDR은 무선으로 소프트웨어를 다운받아 무선 인터페이스의 재구성을 하는 것이 가능하며, 하드웨어 교체 없이 지속적으로 다중 무선접속 규격 및 서비스 기능을 지원하게 된다. SDR 기술은 무선통신 방식이 다양화되어 발생하는 문제를 해결하기 위한 새로운 통신 시스템의 개념으로서 향후 차세대 이동통신 시스템의 근간이 될 핵심 기술이라 평가할 수 있다.

2. 재구성형 라디오의 특징 및 핵심 기술

재구성형 라디오 기술은 SDR 기술의 핵심 기술로 크게 RF/IF 관련 기술, 기저대역 신호처리 기술 및 SW 다운로드 기술로 구분할 수 있다. [그림 1]은 ITU에서 고려하고 있는 SDR 모뎀의 하드웨어 구조를 보여주고 있다. SDR 기술은 안테나, RF, ADC, DAC, 기저대역 모뎀, 모듈화된 SW 등의 결합체이며, 크게 RF Unit 및 AD/DA Converter와 Baseband Unit으로 나눌 수 있다.



[그림 1] SDR 모뎀 구조 [2]

RF소자와 RF 부품을 디지털화 하는 것은 RF 신호의 직접 표본화와 ADC/DAC의 성능과 밀접한 관계가 있으므로 SDR에서 가장 중요하다. 현재로서는 다중 광대역 안테나, 전력 증폭기, 저잡음 증폭기, 듀플렉서와 같은 기존 RF 소자 등에 대해서는 디지털화가 어려워 RF 신호를 IF 신호로 변환하고 이 신호를 디지털로 변환하여 디지털 대역에서 기저대역 신호로 바꾸어 주는 디지털 IF기술과 RF 신호를 직접 기저대역 신호로 변환하는 직접변환(Direct Conversion) 또는 Zero IF 기술이 사용되고 있다.

2.1 재구성형 RF 송수신 기술

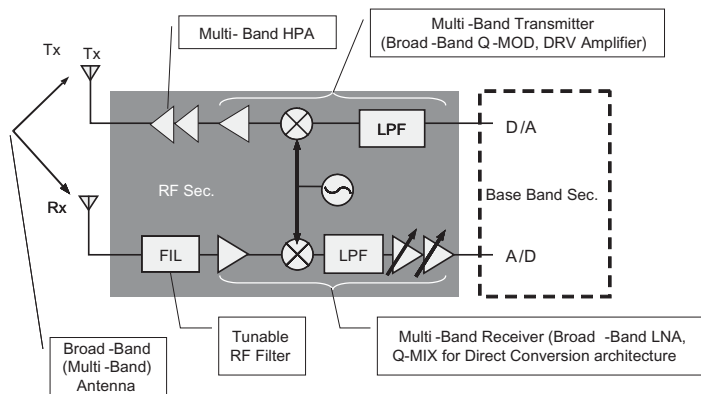
SDR 기술 이전에는 RF 신호를 기저대역 신호로 변환하기 위해서 IF 신호로 주파수를 낮춘 후 이 IF 신호를 기저대역 신호로 낮추는 2단계 하향변환기법을 사용하였다. 그러나 최근 RF 신호처리 기술 및 RF IC 기술 등의 발전으로 인해 RF 신호를 효율적으로 처리하는 방법들이 개발되어 RF 신호를 IF 신호로 거쳐 디지털로 변환하는 디지털 IF 기술과 RF 신호를 직접 기저대역 신호로 변환하는 직접변환(또는 Zero IF) 기술이 있다.

직접 변환(Direct conversion) 방식은 IF를 사용하지 않고 반송파(carrier)를 기저대역으로 바로 변환시켜 IF 관련 부품을 없애고 RF칩의 단순화를 통해 비용 절

감의 효과를 가져오는 기술이다. [그림 2]는 직접 변환 방식의 RF 송수신 구조를 보여주고 있다.

직접 변환 방식은 IF가 생략되기 때문에 수신기 구조가 간단해지며 원가 절감 및 부품 감소에 이득이 있으나, 발진 문제, 선택도 문제와 DC offset과 같은 치명적인 문제를 야기시킬 수 있어 여전히 IF를 사용하는 시스템에 비해 개선의 여지가 많기 때문에 그 응용은 일부 주파수와 시스템에 국한될 가능성이 크다. 직접 변환 방식의 수신기는 이론적으로 더 기본적인 수신기이지만 채널 선택도(channel selectivity)와 감도가 떨어지는 단점이 있는 반면, IF와 관련된 각종 SAW filter와 Mixer 등을 절약할 수 있어 원가 절감, 경량화, 시스템의 SoC(System on a chip, 단일칩화) 등이 가능하다는 장점이 있다.

직접 변환 수신 기술과 더불어 많은 연구가 이루어지고 있는 분야는 아날로그 디지털 혼성회로 설계 기술을 이용한 '시스템 온 칩(SoC)' 기술이다. 이러한 혼성회로 설계 기술은 기존의 개별 칩 설계 방식보다 효율적인 아날로그 디지털 변환이 가능하며, 전자 시스템이 단일칩화 되는 추세에 맞추어 현재의 디지털 회로와 같은 공정으로 구현 수 있는 CMOS 아날로그 집적회로 설계 기술의 필요성에 대한 공감대가 급속도로 확대되고 있다.



[그림 2] 직접 변환 RF 송수신기 구조 [2]

표준 기술동향

이 분야에서는 SiGe BiCMOS 반도체를 이용한 초고속 회로 설계 기술이 많이 연구되고 있으며, 특히, 인덕터와 같은 수동 소자 설계 기술에 대한 연구가 활발히 진행되고 있다.

AD/DA 변환 기술은 초기 SDR 개념에서 가장 중요한 요소였으며, 직접 변환 수신기에 대한 고려가 진행되는 지금도 매우 중요한 요소 기술로 고려되고 있다. 재구성형 라디오 구현을 위해서 AD/DA converter는 낮은 소비 전력과 높은 정확도, 낮은 지터(jitter), 고속 변환 성능 등이 요구되며, 대략 10bit 이상의 높은 분해도(resolution)와 100M sample/sec 이상의 높은 샘플링율이 요구될 것으로 보인다. 이는 QAM과 같은 변조 방식의 사용과 수십 MHz 이상의 넓은 주파수 대역의 사용으로부터 기인한다.

2.2 재구성형 모뎀 기술

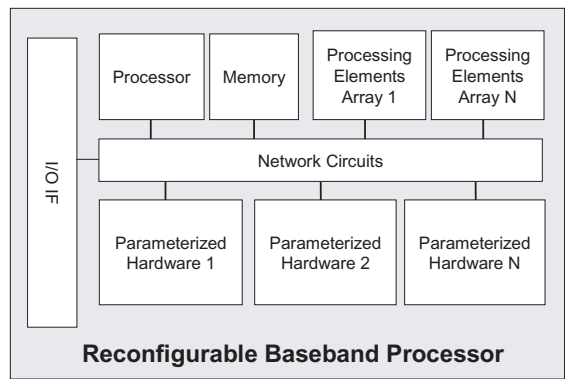
서로 다른 물리 계층 규격의 무선 전송 시스템들은 대부분 상이한 기저대역 신호 처리 방식들을 적용하고 있으며, 이들을 통합 처리하기 위해서는 기저대역에서의 SDR 기술에 기반한 디지털 신호처리 기술의 적용이 필수적이다. 기존의 시스템에서는 ASIC, FPGA, DSP 등을 이용하여 기저 대역 모뎀을 구현하고 있는데, 기존의 하드웨어 구성 요소들은 각각의 장단점을 가지고 있으며, 각각 부족한 부분들을 보완하는 방향으로 진화하고 있으나, 차세대 통신 시스템에서 요구되는 높은 계산량과 유연성 및 확장성 등을 단일한 형태로 구현하는 것은 매우 어렵다. [표 1]에서는 이들 각 부품들을 재구성형 모뎀의 고려 사항 관점에서 비교하여 보았다.

[표 1] 재구성형 모뎀 부품의 장단점

	DSP	FPGA	ASIC
Programmability	High	Mid	Low
재구성 속도	Fast	Mid	Low
크기	Large	Large	Small
전력 소모	High	High	Low
계산 능력	Low	Mid	High

최근 많은 연구가 이루어지고 있는 재구성형 하드웨어 구현 방식은 높은 유연성을 가지고 프로그래밍 가능한 하드웨어인 DSP, FPGA 등과 공통적인 기능을 담당하는 전용 하드웨어 ASIC을 결합하는 하이브리드(hybrid) 구조로 구현될 것으로 보고 있다.

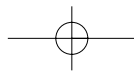
ITU-R WP8F의 SDR report의 제정 과정에서 나타난 기본적인 재구성형 기저대역 프로세서도 하이브리드 개념을 적용하고 있으며, 이를 기반으로 한 재구성형 기저대역 프로세서의 일반 구조는 [그림 3]과 같다[2].



[그림 3] 재구성형 기저대역 프로세서 구조 [2]

실제로 최근 등장하고 있는 여러 솔루션 칩들도 이러한 경향을 따르고 있으며, 동일한 구조를 가지는 여러 블록을 병렬로 연결하는 Multi-Core 구조를 사용하는 칩도 다수 등장하고 있다. 일반적으로 최근 등장하는 재구성형 모뎀 칩 솔루션들은 샘플율(Sample Rate), 심볼율(Symbol Rate), 제어(Control) 등의 구조로 모뎀을 세분화하여 각각 다른 종류의 하드웨어를 적용하는 구조, 특정 블록에 대해 제한된 범위의 재구성이 가능한 ASIC을 사용하는 하드웨어 가속기(HW Accelerator)의 적용이나 또는 대량의 MAC(Multiply and Accumulation) 연산에 효율적인 다수의 DSP를 병렬로 조합하는 Multi-core 기반의 구성과 같은 특징을 가지고 있다.

일반적인 이동통신 시스템의 모뎀 부분은 크게 샘플



을 신호 처리와 심볼을 신호처리 부분으로 나눌 수 있다. 샘플을 신호처리 부분은 Shapin Filter, Correlator, Matched Filter 등의 고속 연산을 요구하는 부분으로서 모뎀 구현에 있어 잡도의 80 이상을 차지하는 잡한 부분이며, 특히 대역폭이 점차 넓어지면서 그 잡도는 더 증가하고 있다.

재구성형 모뎀에서 샘플을 프로세서의 구현을 위한 접근 방법으로는 크게 DSP를 이용하는 방식과 HW 가속기 등을 사용하는 방식이 있다. DSP의 경우 filter 구현에 사용되는 연산을 보다 효율적으로 수행하도록 개선되고 있으나, 병렬 연산에 약하며 소비 전력이 문제가 된다. 반면, HW 가속기의 경우 ASIC 형태로 구현되므로 저전력으로 고속 연산을 수행할 수 있는 장점이 있으나 재구성 능력에는 한계가 있다.

심볼을 신호 처리는 기본적으로 샘플을 신호 처리에 비해 낮은 잡도를 요구하므로 범용 DSP를 이용하는 데 무리가 없으나, 최근 Turbo Code나 DPC 등의 잡도가 높은 채널 방식의 적용이 일반화되면서 이러한 부분을 HW 가속기를 이용하여 구현하는 방식의 칩들이 많이 등장하고 있다. 또한, 통신 시스템의 제어 기능은 주로 RISC(Reduced Instruction Set Computer) 방식의 범용 프로세서를 사용하는 것이 일반적이다.

최근 서 급한 것과 같이 기능에 따라 다른 구조를 적용하는 방식이 여러 개의 DSP를 동시에 사용하는 Multi-core 방식을 적용한 칩들도 등장하고 있다. 이러한 방식은 동일한 모리와 버스를 공유하는 여러 개의 DSP 또는 프로세서들이 병렬로 연결된 구조를 가지고 있으며, 여러 업들이 동시에 이루어지는 통신 프로세스에 적합한 구조이다.

반면, 이러한 방식의 경우 잡도와 전력 소모가 높은 단점이 있으며, 단말에서는 수 개의 어를 사용하는 방식이, 기지국에서는 보다 많은 수의 어를 사용하는 방식의 칩이 등장하고 있다.

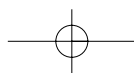
2. 재구성형

재구성형 단말 모뎀 칩은 높은 계산량과 저전력 등의 제약 사항으로 인해 설계 및 구현에 어려움이 있다. 반면, 기지국 측면에서는 저전력 보다는 고속 프로세서 능력에 초점이 맞추어져 있기 때문에 다양한 접근 방법이 가능하다. 기지국 분야에서는 FPGA의 적용이 보편적이나 재구성 능력에 한계를 가지고 있으므로, 병렬 연산을 수행하는 DSP 기반 칩 솔루션에 대한 관심이 높아지고 있다.

본 장에서는 단말용 재구성형 모뎀 칩 솔루션인 Sandbridge사의 SB3010CS와 Icera사의 ivanto IC8020를 중심으로 구조 및 특징을 설명하고 장단점을 비교한다.

2.1 SB3010CS

SB3010은 고집적, 다중모드, 다기능, 소프트웨어로 재구성이 가능한 저전력 디지털 기저 대역 프로세서이며, 여러 개의 프로세서를 지원하는데 효율적인 SIMD (Single Instruction Multiple Data) 방식을 사용하고 있다. 멀티스레드 지원이 가능한 구조로 계산량에 따라 하드웨어 스레드를 할당하는 DSP 어 4개와 하나의 ARM 어 로 구성되며, 각 어 별로 력 한 하드웨어와 소프트웨어 멀티스레드를 사용하여 자원활용과 전력소모 개선이 가능하지만 별도의 하드웨어 레이 터 가 필요하다. 다양한 Prorammmable I/Os를 지원하며, 범용 재구성 모뎀 개발용 솔루션으로써, 멀티모드 단말 개발용으로 적합하다. 02Q에 시 예정인 SB300의 경우 하드웨어 레이 터 를 추가하고, ARM11을 장 해 HSDPA를 칩에서 지원 가능하다고 한다.



표준 기술동향

2.1 IC 2 A S

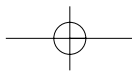
IC8020은 SB3010과 비 한 기법들을 많이 사용하고 있으나, User define Instruction을 수행 가능할 수 있는 DP(Deep ecution Processor) 기술이 력하고, 이는 별도의 하드웨어 레 이 터 가 불필요하다. WCDMA/GSM 듀 모드 단 말 기 전용 Reconfigurable 솔루션이며, 모드간 Seamless 핸드 오버 지원이 가능하다. HSDPA는 3.Mbps를 지원하며, 200 도 3Q 지 .2Mbps를 지원하도록 개발할 예정이다며, 추후 HSUPA, WiFi, AGPS등을 구현할 계에 있다. Adaptive 무선 기술과 동적 전원 관리 등의 사용으로 성능과 전력소모를 개선하였다.

본

본 고에서는 차세대 통신 시스템에서 상이한 규격간 상호 호환 및 재구성이 가능한 무선 시스템을 제공할 수 있는 SDR 관련 하드웨어의 주요 기술들과 현재 개발된 단말용 모뎀 칩 솔루션을 보 았 다. SDR 기술의 핵심인 재구성형 라디오를 위한 기술과 하드웨어 플랫폼을 구성하는 시스템/소자의 개발이 진행되고 있으나, 각 모듈/소자 별 성능과 전력소모와 같은 한계로 차세대 통신 시스템에서 요구되는 높은 계산량과 유연성 및 확장성을 구현하기에 어려운 점이 많다. RF 부품과 AD/DA 변환을 위한 기술, 신호처리를 위한 FPGA/DSP와 같은 프로세서 기술 뿐만 아니라 소프트웨어 다운로드 등 다양한 부분에서 SDR 포럼을 중심으로 연구가 진행 중이며, 기술적인 문제점 해결과 개발된 기술이 상용화되어 실제 이용할 수 있 기 지는 아직 수 이 더 걸 것으로 전망되고 있다. 현재는 높은 유연성을 가지고 프로그래밍 가능한 하드웨어인 DSP, FPGA 등과 공통적인 기능을 담당하는 전용 하드웨어 ASIC을 결합하여 기능에 따라 다른 구조를 적용한 하이브리드 형태가 주를 이루고 있다.

재구성형 칩 솔루션들은 용도에 따라 다양한 기술이 적용되고 있으나, 여러 개의 DSP를 동시에 사용하는 멀티 어 구조를 적용하여 병렬 연산을 수행하는 공통적인 요소를 보이고 으며, 여러 기능 블록들이 각각의 장점을 리 고 부족한 부분을 보완하기 위한 하이브리드 구조의 경향을 따르고 있다.

- [1] SDR Forum Technical Report 2.1, ovember 1 .
- [2] SDR Forum, "Summary of SDR aspects of the March-April 2003 ITU-R WP8F meetin and recommendation for future SDR Forum activities in ITU-R", SDRF-03-I-0008-0.00,2003.
- [3] 김지연, 김진업, "SDR 기술의 현재와 발전방향", 대한전자공 회지, vol. 30. pp. 2233, 2003. 4.
- [4] ITU-R WP8F, "Report of the meetin of Worin Group 8F", Dec. 2003
- [] SDR Forum, "Input to ITU WP8F Report/ Recommendation on Advanced Technology", 2004-A0001, an. 2004
- [] Tim Hentschel and Gerhard Fettweis, "Sample Rate Conversion for Software Radio," I Comm.Mazine Au 2000.
- [] Roman obles, " ASIC ersus Reconfigurable Compute Fabric(RCF) Solutions", Motorola White Paper, April, 2003



[8] H. alte,, “Dynamically Reconfigurable System-on-Proramable-Chip,” Proc. of UROMICRO- PDP, 2002.

[] 이 환, 조 도, 성 , 이규대 “SDR에서의 하드웨어Reconfiguration,” 대한전자공회지 제30 제4호, 2003. 4., pp.4-

[10] ohn Grossner et al, “A Software-Defined Communications Baseband Desin,” I Comm. Maazine, an.2003, pp120-128

[11] Rupert Baine et al, “A Total Cost Approach to valuatn Different Reconfigurable Architectures for Baseband Processin in Wireless Receivers,” I Comm. Maazine, an.2003, pp10-113, **TTA**

