

# 주어진 계조 하에서 불평형 서스테인 펄스를 이용한 AC PDP의 휘도제어

論 文
54C-4-5

## Luminance Control for a Given Gray Level by the Asymmetric Sustain Pulse Amplitude in AC PDP

崔 竣 榮<sup>\*</sup> · 李 宣 鴻<sup>\*</sup> · 朴 正 后<sup>\*\*</sup>  
(Joon-Young Choi · Sun-Hong Lee · Chung-Hoo Park)

**Abstract** - Need of a dimmer function becomes more important with increasing interest on a HDTV for home theater applications. In a conventional AC PDP, a possible method to reduce luminance of a whole panel is to reduce a total number of sustain pulses and then to change the gray level. However, the reduction of the total sustain number causes the step of luminance to be rough. Moreover, it is impossible to control the luminance of the panel for a given gray level. In this paper, a simple and robust method is proposed to control linearly the luminance of whole panel by applying the asymmetric sustain pulses in the display period of the ADS driving scheme. As the range of luminance control by the proposed method is about 50% for a given gray level. Moreover, it is experimentally verified that the proposed method shows similar dynamic margin performances compare with the conventional method.

**Key Words** : PDP, Luminance Control, Gray Level, Asymmetric Sustain Pulse

### 1. 서 론

1990년대 후반에 상업화된 AC PDP는 최근 뛰어난 화질과 성능을 성취했으며, HDTV로서 각광을 받고 있다[1]. 하지만, LCD나 OLED와 같은 HDTV용 디스플레이보다 우위에 서기 위해서는 아직까지 효율 및 화질의 향상과 제조가격의 저감이 필요하다[2]. 특히 화질의 향상은 디지털 방송의 시작과 DVD의 대중화로 인해 디스플레이 제조업자의 큰 관심사 중에 하나가 되었다.

종래 AC PDP는 서스테인 펄스 수의 제어로 계조의 표현과 밝기를 제어하고 있지만 휘도제어가 거칠게 될 뿐 아니라 주어진 계조 하에서 휘도의 제어는 불가능하다. 그러나 HOME THEATER용 HDTV가 최근 각광을 받으면서 주어진 계조 하에서도 선형적으로 TV 전체 화면의 밝기를 조절하는 기능은 PDP에선 꼭 필요한 기능중의 하나가 되었다.

본 연구에서는 ADS 구동의 디스플레이 구간에 불평형 서스테인 펄스를 인가함으로써 간단하고 효과적으로 주어진 계조 하에서 선형적으로 패널의 휘도를 제어할 수 있는 새로운 구동법을 제안하였으며 기존의 구동법과 실험적으로 비교하여 그 효과를 고찰하였다.

### 2. 실험 방법

그림 1은 AC PDP 방전셀의 기본구조를 나타내고 있다. 방전셀의 크기는 0.27mm×0.81mm×0.13mm(높이)이며, 패널 내부의 가스 방전으로 인해 발생된 진공 자외선이 RGB 형광체를 여기시켜 가시광을 방출하는 원리로 되어있다[3]. 본 연구에서는 XGA급 해상도를 가진 7인치 테스트 AC PDP를 사용하였으며 그 사양은 표 1에 잘 나타나있다.

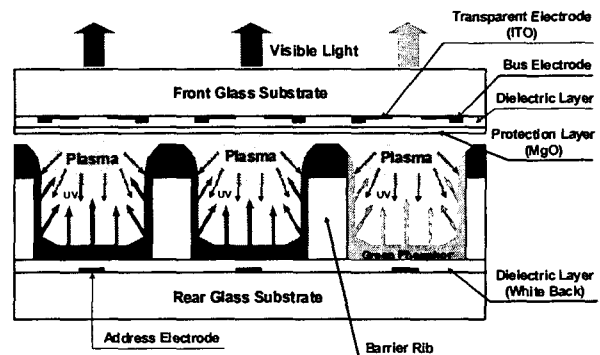


그림 1 AC PDP의 개략도  
Fig. 1 Schematic diagram of AC PDP

<sup>\*</sup> 교신저자, 學生會員 : 釜山大 工大 電氣工學科 博士課程

E-mail : plasma@pusan.ac.kr

<sup>\*</sup> 正 會 員 : LG전자 PDP 사업부 연구원

<sup>\*\*</sup> 正 會 員 : 釜山大 工大 電氣工學科 教授 · 工博

接受日字 : 2004年 7月 1日

最終完了 : 2005年 2月 28日

표 1 7인치 테스트용 AC PDP의 사양  
Table 1 Specifications of a 7-inch AC PDP

Front panel		Rear panel	
ITO width	270 $\mu$ m	Address electrode width	100 $\mu$ m
ITO gap	65 $\mu$ m	White back thickness	15 $\mu$ m
Bus width	85 $\mu$ m	Rib height	130 $\mu$ m
Dielectric thickness	40 $\mu$ m	Rib pitch	270 $\mu$ m
MgO thickness	5000Å	Rib width	75 $\mu$ m
Ne+He(9.6%) +Xe(4%)	520torr	Phosphor thickness	20 $\mu$ m

현재 AC PDP의 구동방법으로는 ADS (Address Display Separated) 구동법이 널리 사용되고 있다[4-5]. 일반적으로 TV 화면은 50~60개의 필드로 구성되어 있으며, 1개의 필드는 다시 8개의 서브필드로 이루어져 있다. 그림 2(a)에서 보는 바와 같이 각각의 서브필드는 어드레스와 디스플레이 구간으로 나누어져 있으며, 어드레스 구간은 다시 리셋 단계와 어드레스 단계로 나누어져 있다.

리셋 단계는 패널의 전체 방전셀들의 벽전하 조건을 동일하게 만드는 역할을 하며, 어드레스 단계는 스캔과 어드레스 전극 양단에 어드레스 펄스를 인가하여 선택한 방전셀의 유전층 표면에 새로운 벽전하를 쌓는 역할을 한다. 디스플레이 구간에서는 어드레스 단계에서 선택한 방전셀을 방전시켜서 화상을 구현하는 역할을 한다. 이 경우 첫 번째 서스테인 펄스는 뒤따라오는 서스테인 펄스보다 인가시간을 길게 주어 충분한 벽전하가 쌓게 되고 그 후에는 최소 서스테인 전압으로도 안정하고 연속된 방전이 가능하게 된다. 즉, 두 번째 서스테인 펄스의 전압부터는 최소부터 최대까지의 서스테인 전압을 변화시켜 패널의 밝기를 변화시키는 것이 가능하게 된다.

그림 2(b)는 제안된 방법의 구동파형 개략도를 보여주고 있다. 제안된 방법은 디스플레이 구간에서 서스테인 전극에 인가하는  $V_z$  전압을 변화시키는 것만 제외하고 기존의 ADS 구동법과 동일하다. 실험에 사용된 구동조건으로, 스캔 구동IC에 의해 발생하는 스캔 펄스의 폭은 3 $\mu$ s로 기존의 42인치 AC PDP의 것과 동일하다.

각 서브필드의 어드레스 단계는 1ms로 모두 동일하게 하였으며, 리셋업과 리셋다운 시간은 각각 100 $\mu$ s, 150 $\mu$ s로 하여 안정된 정저항 방전이 되게 하였다. 그림과 같이  $V_r$ ,  $V_s$ ,  $V_a$ , 그리고  $V_{ysec}$ 의 전압은 각각 410V, 180V, 70V, 그리고 80V로 하였다. 8개의 서브필드로 구성된 1 필드의 총 시간은 16.7ms이며, 본 연구에서는 에너지 회수회로는 사용하지 않았다[6-7].

본 연구에서는 서스테인 방전광 파형 측정 시, 광량이 많기 때문에 측정장치에서 방전광 파형이 포화되는 특성을 가

지게 된다. 따라서 그림 3과 같이 방전광 파형의 피크타임, 전체 방전지연 및 분산이 거의 유사한 방전전류 파형을 대신 측정하여 관측하였다.

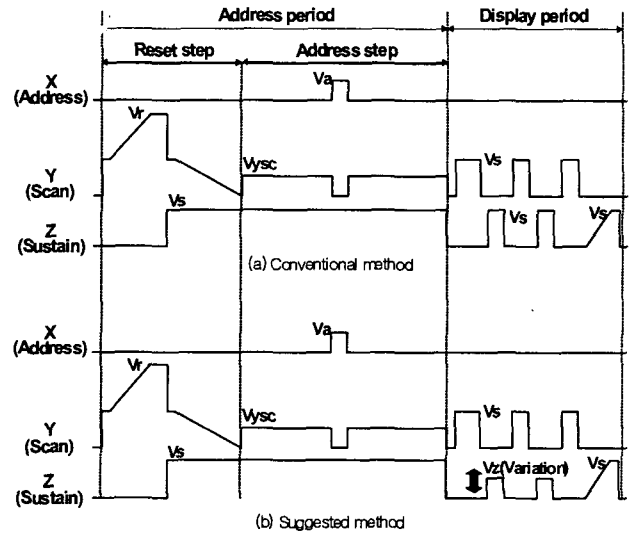


그림 2 실험에 사용된 구동회로의 개략도

Fig. 2 Schematic diagram of driving waveform in the experiment

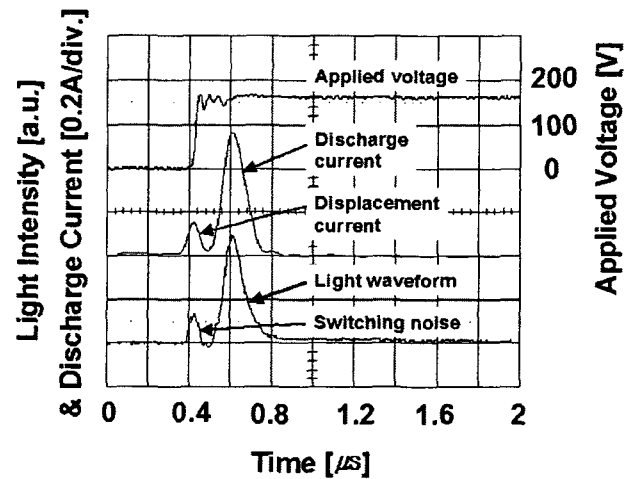


그림 3 방전전류와 방전광 파형의 상관관계

Fig. 3 Relationship between discharge current and detected light waveform

### 3. 실험결과 및 고찰

그림 4는 ADS 구동의 디스플레이 구간에서 서스테인 전극에 인가되는  $V_z$  변화에 따른 방전전류 파형을 나타내고 있다. 스캔 전극에 인가되는  $V_s$ 는 180V로 일정하게 하고  $V_z$ 는 100V에서 180V까지 변화시켰을 경우 방전전류가 선형적으로 변화되는 것을 알 수 있다.

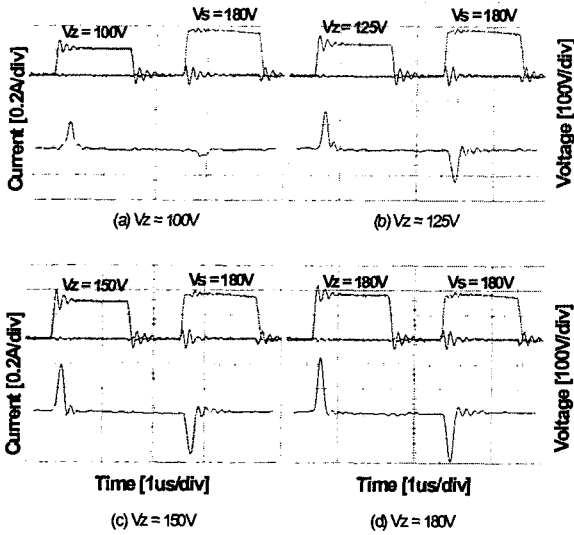


그림 4 Vz 전압 변화에 따른 방전전류 파형 변화 개략도  
Fig. 4 Current outputs for the variation of Vz

그림 5는 디스플레이 구간에서 기존 및 제안된 방법의 서스테인 펄스와 방전전류를 나타내고 있다. 기존 방법의 경우, 그림 5(a)와 같이 서스테인과 스캔 전극에 180V를 동일하게 인가하였으며 방전전류는 0.5A로 일정하였다. 그림 5(b)는 제안된 방법으로 구동한 경우로서 스캔 전극에는 180V (Vs)를 인가하였으며, 서스테인 전극에는 130V (Vz)를 인가하였다. 그림과 같이 처음 2, 3번째 펄스 동안은 전류가 다소 감소하고 그 후, 곧 안정되어 0.2A로 일정하게 유지되는 것을 알 수 있다. 이것은 과도상태 이후엔 서스테인과 스캔 전극 사이의 방전이 안정적으로 유지되며, 다음과 같은 관계가 성립한다고 생각된다.

$$V_{g\_high} = V_{s\_high} + V_{w\_low}$$

$$V_{g\_low} = V_{s\_low} + V_{w\_high}$$

$$V_{g\_high} \approx V_{g\_low} \text{ and } \Delta V_w \approx \text{Constant}$$

위 관계에서  $V_{g\_high}$ 와  $V_{g\_low}$ 는 각각 높은 서스테인 전압을 인가한 경우와 낮은 서스테인 전압을 인가한 경우 방전셀 내부의 공간전압을 의미하며,  $V_{s\_high}$ 와  $V_{s\_low}$ 는 높은 서스테인 전압과 낮은 서스테인 전압을 의미한다. 따라서  $V_{w\_low}$ 와  $V_{w\_high}$ 는 각각 낮은 서스테인 전압 인가 시 생성된 벽전압과 높은 서스테인 전압을 인가한 경우의 벽전압을 나타낸다. AC PDP에서 높은 서스테인 전압과 낮은 서스테인 전압이 교번으로 인가될 경우, 높은 서스테인 전압으로 인해 생성된 벽전압은 상대적으로 많고, 낮은 서스테인 전압으로 인해 생성된 벽전압은 상대적으로 적게 된다. AC PDP의 방전셀은 인가하는 서스테인 전압과 이전 서스테인 전압에 의해 유전층 상에 형성되어있는 벽전압으로 ON 시킨다[8]. 즉, 위의 관계식처럼 높은 서스테인 전압은 낮은 벽전압의 함으로, 낮은 서스테인 전압은 높은 벽전압의 함으로 공간전압이 정의되며 두 경우의 공간전압은 동일한 것을 알 수 있다. 따라서 방전이 안정적으로 유지되는 것이다.

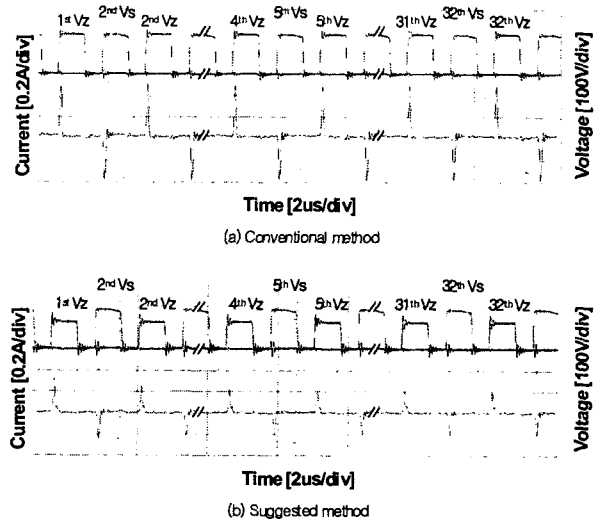


그림 5 ADS의 디스플레이 구간에서의 방전전류  
Fig. 5 Sustain pulses and time variation of current outputs in the display period of ADS

그림 6(a)와 (b)는 제안된 방법에 의해 각각 12와 255계조에서의 휘도제어 능력을 나타내고 있으며 스캔 전극에 인가되는 Vs는 180V로 하였다. 12계조인 경우에는 Vz가 100V 정도까지는 패널이 안정적이었으며 그 밑으로는 불안정한 특성을 보였으며 휘도는 최대 60%까지 안정적으로 변화가 가능하였다. 255계조인 경우, Vz는 약 110V까지 패널이 안정적이었으며 휘도는 최대 40%까지 변화가 가능했다.

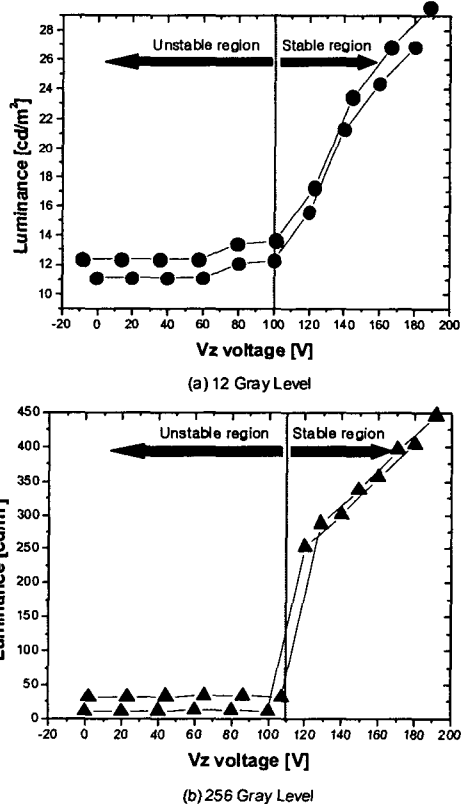


그림 6 제안된 방법의 휘도 가변성 (Vs=180V)  
Fig. 6 Luminance controllability of suggested method

그림 7은 계조 변화에 따른 휘도 변화를 나타내고 있다. 기존의 방법인 경우, 계조가 2~50 레벨로 변화할 경우 각 계조 레벨은 1개의 휘도만을 가진다. 예를 들어 2와 50계조는 각각  $3.7\text{cd/m}^2$  그리고  $87.4\text{cd/m}^2$ 을 가진다. 제안된 방법에서는  $V_z$ 를 130V에서 180V까지 10V 간격으로 변화시킬 경우 각 계조 레벨의 휘도는 다양하게 변화되었다. 예를 들어 50계조인 경우, 휘도는  $59.8\text{cd/m}^2$ 에서  $87.4\text{cd/m}^2$ 까지 변화되었으며, 2계조인 경우엔  $3\text{cd/m}^2$ 에서  $3.7\text{cd/m}^2$ 까지 변화가 가능하였다. 즉, 제안된 방법은 서스테인 펄스 수의 변화 없이 패널의 전체 밝기를 감소시키는 것이 가능하기 때문에 실제 적용 시, 밝기 감소에 따른 화질의 저하는 많이 개선될 것이다.

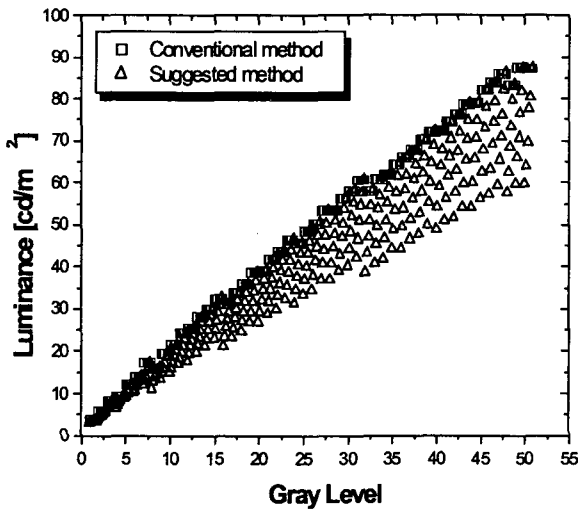


그림 7 계조 변화에 따른 휘도변화 영역 (2~50계조)  
 Fig. 7 Range of variable luminance for the variation of a gray level (2~50 gray level)

그림 8은 기존 및 제안한 방법의 동적 마진 특성을 나타내고 있다. 동적 마진 특성은 실제 PDP를 구동하는데 있어서 구동전압 레벨을 결정하는데 사용되고 있다. 현재 AC PDP의 구동은 벽전압을 이용한 구동방식이기 때문에 동적 마진 특성은 리셋전압에 의해 형성 또는 제거된 벽전압과 화상을 구현하는 서스테인 전압과의 상관관계, 그리고 어드레스 전압에 의해 형성된 벽전압과 서스테인 전압과의 상관관계로 나타낸다. 패널의 동적마진 측정 시, 기존 방법인 경우 서스테인 전압인  $V_y$ 와  $V_z$  전압은 동시에 가변되지만 제안된 방법인 경우  $V_z$  전압은 130V로 일정하게 하고  $V_y$  전압만을 가변하여 측정하였다. 그림 8(a)는 소거 (리셋 전압)와 방전 (서스테인 전압)에 대한 상관관계를 나타낸 것으로서 리셋 및 서스테인 전압을 변화시키면서 방전셀의 소거 및 점등의 영역을 표시한 것이며, 그림 8(b)는 기입 (어드레스 전압)과 방전 (서스테인 전압)에 대한 상관관계를 나타내고 있다. 경계부의 안쪽 부분은 셀이 방전되는 부분으로 실제 구동에서 PDP가 안정적으로 동작할 수 있는 전압영역이다. 그림에서 보는 바와 같이 제안된 방법인 경우 오른쪽의 높은 서스테인 전압 쪽으로 약 10V 전압영역이 확대된 것

을 알 수 있다. 그 이유는 제안된 방법에서  $V_z$  전압은 130V로 일정하게 하기 때문에 기존의 방법보다  $V_y$  전압을 더 높일 수 있기 때문이며, 낮은 서스테인 전압 쪽의 전압영역이 약 5V 축소된 이유는 제안된 방법이 기존 방법보다 방전 안정성이 스캔 전극에 인가하는 첫 번째  $V_y$  펄스의 의존도가 더 높기 때문에 낮은  $V_y$  영역에서 방전이 상대적으로 더 불안정해 지기 때문이다.

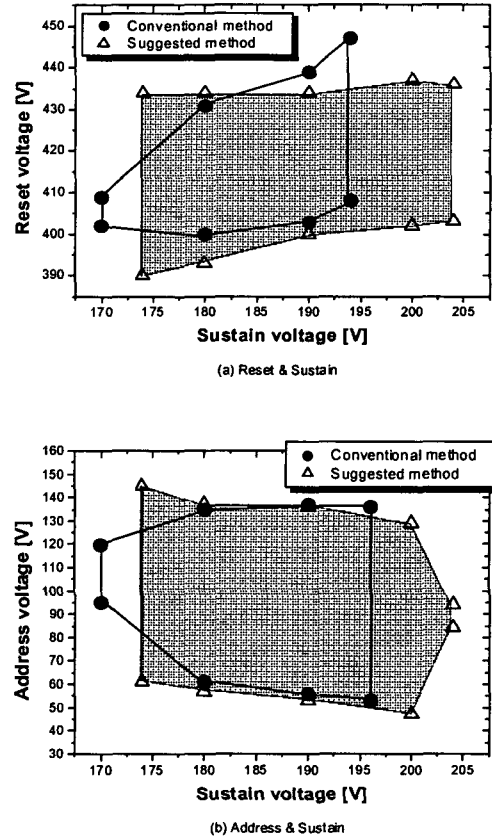


그림 8 동적마진 특성  
 Fig. 8 Dynamic margin characteristics.

### 3. 결 론

본 연구에서는 ADS 구동의 방전유지 기간에 비대칭 진폭을 가진 서스테인 펄스를 인가함으로써 종래 불가능하였던 주어진 계조 하에서의 선형적인 휘도제어가 가능하게 되었으며, 선형적인 휘도제어 범위는 약 50%에 달하여 AC PDP의 전휘도 범위 내에서 휘도제어가 가능하게 되었다. 더욱이, 제안된 구동과형을 사용하였을 경우 동적 마진은 종래 방법과 비교하여 거의 손색이 없었다.

### 참 고 문 헌

[1] Larry F. Weber, "Plasma Display Device Challenges", Proc. Asia display'98, pp. 15-27, Sept. 1998.  
 [2] K. H. Kim and S. S. Seo, H. S. Chang, J. K. Song,

- Y. M. Tak, and S. S. Kim, "The Wolds Largest 54inch TFT-LCDs for HDTV Applicarion using PVA Technology", Proceedings of The 3rd International Meeting on Information Display, pp. 288-291, July, 2003.
- [3] J. P. Boeuf, "Plasma display panels:physics, recent developments and key issues", J. Phys. D: Appl. Phys, 36 (2003), R53-R69.
- [4] T. shinoda et al., "High level gray scale for AC plasma display panels using address-display period-separated sub-field method", Trans. IEICE, vol. c-2, no. 3, pp. 349-355, 1998.
- [5] S. Yoshikawa et al., "Full-color AC plasma display with 256 gray scale", Jpn. Display, pp. 605-608, 1992.
- [6] C. H. Park, S. H. Lee, D. H. Kim, W. G. Lee, and J. E. Heo, "Improvement of Addressing Time and Its Dispersion in AC Plasma Display Panel", IEEE Trans. Electron Devices, vol. 48, No. 10, pp. 2260-2265, Oct. 2001.
- [7] C. H. Park, s. H. Lee, D. H. Kim, J. H. Ryu, and H. J. Lee, "A Modified Ramp Waveform to Reduce Reset Period in AC Plasma Display Panel", IEEE Trans. Electron Devices, vol. 49, No. 5, pp. 782-786, May 2002.
- [8] H. Gene Slottow, "The Voltage Transfer Curve and Stability Criteria in the Theory of the AC Plasma Display", IEEE Trans. Electron Devices, vol. ED-24, No. 7, pp. 848-852, July 1997.

## 저 자 소 개



### 최준영 (崔竣榮)

1975년 10월 16일생. 2001년 부경대 전기공학과 졸업. 2003년 부산대 대학원 전기공학과 졸업(석사). 2003년~현재 동 대학원 전기공학과 박사과정

Tel : 051-510-1544

Fax : 051-513-0212

E-mail : plasma@pusan.ac.kr



### 이선홍 (李宣鴻)

1977년 7월 12일생. 2003년 부산대 전기공학과 졸업. 2005년 동 대학원 전기공학과 졸업(석사). 현재 LG전자PDP사업부 연구원

Tel : 051-510-1544

Fax : 051-513-0212

E-mail : plasma@pusan.ac.kr



### 박정후 (朴正后)

1945년 4월 8일 생. 1968년 부산대 공대 전기공학과 졸업. 1974년 동 대학원 전기공학과 졸업(석사). 1980~1983년 일본 구주대학 대학원 졸업(공학). 현재 부산대공대 전자전기정보컴퓨터공학부 교수.

Tel : 051-510-2369

Fax : 051-513-0212

E-mail : parkch@pusan.ac.kr