

논문-05-10-1-08

## 이동통신 향 동영상압축을 위한 고집적 저전력 움직임 추정기

박 현 상<sup>a)†</sup>

## Highly Integrated Low-Power Motion Estimation Processor for Mobile Video Coding Applications

Hyun Sang Park<sup>a)†</sup>

## 요 약

SoC 환경에서 효과적인 동영상 압축을 지원하기 위한 고집적 움직임 추정기를 제안한다. MPEG-4나 H.263과 같은 이동통신 향 동영상압축 표준을 사용할 때, 움직임 보상, 모드 결정, 움직임 벡터 예측 및 차분 벡터 계산 등과 같은 기능은 MCU의 잦은 처리를 필요로 한다. 그러나, 제안한 움직임 추정기는 이러한 기능을 집적함으로써, 동영상 압축을 위한 MCU의 간섭을 최소로 하는 SoC 개발을 가능하게 한다. 또한 제안한 움직임 추정기는 움직임이 없는 배경에 대해서는 움직임 추정을 생략하거나 모드 결정을 통해서 INTRA 모드일 경우 반화소 단위 움직임 추정을 회피하는 기능을 구현함으로써 저전력 소모를 실현한다.

## Abstract

We propose a highly integrated motion estimation processor (MEP) for efficient video compression in an SoC platform. When compressing video by the standards like MPEG-4 and H.263, the macroblock related functions motion compensation, mode decision, motion vector prediction, and motion vector difference calculation require the frequent intervention of MCU. Thus, the proposed MEP incorporates those functions with the motion estimation capability to reduce the number of interrupts to MCU, which can lead to a highly efficient SoC system. For low-power consumption, the proposed MEP can prevent the temporally static area from motion estimation or can skip the half-pel motion estimation for those macroblocks whose modes are decided as INTRA.

Keywords: 움직임 추정(Motion Estimation), MPEG, H.263, SoC, VLC

## I. 서 론

최근 이동통신과 같이 저전송률 환경에서의 동영상 압축을 지향하는 국제표준인<sup>[1-3]</sup>이 성립됨에 따라서, 이를 이용한다양한 응용제품들이 시장에 도입되기 시작하고 있다. 지금까지 기술진행 수준은 압축된 동영상을 복원하는 정도이며, 통신망의 양방향성을 활용하기 위해서는 동영상에 대한 압축과 복원을 동시에 수행할 수 있는 수준으로의 발전이 지속적으로 요구된다.

압축 시 움직임 추정은 연속적인 동영상 프레임 사이의 시간적 중복성을 제거함으로써, 고효율의 동영상 압축을 가능하게 하는 근간 기술이다. MPEG-4의 경우, 동영상 압축은 복원에 비해서 6배 이상의 연산량을 필요로 하며<sup>[4]</sup>, 이 연산량의 대부분이 움직임 추정을 위해서 사용되기 때문에, 동영상 압축을 위해서 효율적인 움직임 추정 알고리즘을 기반으로 하는 움직임 추정기의 하드웨어화가 필연적이다<sup>[5]</sup>. 이 외에도 공간상의 중복성을 제거하기 위한 이산여현 변환기 (DCT, Discrete Cosine Transform)와 통계적인 중복성을 제거하기 위한 VLC (Variable Length Coder) 등에 대해서도 하드웨어화가 진행되었으나, 최근 수백 MIPS의 성능을 가지는 MCU (Micro-Controller Unit)<sup>[6-7]</sup>나 DSP

a) 공주대학교 전기전자공학부  
Division of Electric and Electrical Engineering School of Engineering  
Kongju National University

(Digital Signal Processor)들이 개발되면서, 움직임 추정기를 제외한 나머지 함수들에 대해서는 소프트웨어로 처리 가능한 SoC (System On a Chip) 환경으로 개발방향이 이동하고 있는 중이다.

일반적으로 SoC 환경에서는 동영상압축을 비롯한 다양한 기능들이 동시에 처리될 수 있기 때문에, 시스템을 관장하는 MCU에 대한 간섭을 줄이는 것은 효율적인 SoC 구현을 위한 전제조건이 된다. 따라서 본 논문에서는 향후 이동환경에서 주로 사용이 될 H.263과 MPEG-4 Simple Profile에 대한 분석을 토대로 하여, 움직임 추정 뿐만이 아니라, 그 결과를 가공하는 주변 과정까지도 하나의 움직임 추정기 안으로 집적함으로써, 효율적인 SoC 설계를 가능하게 하고자 한다.

## II. 본론

### 1. MEP 요구사항

현재 저전송률 환경에서 동영상 압축에 사용되고 있는

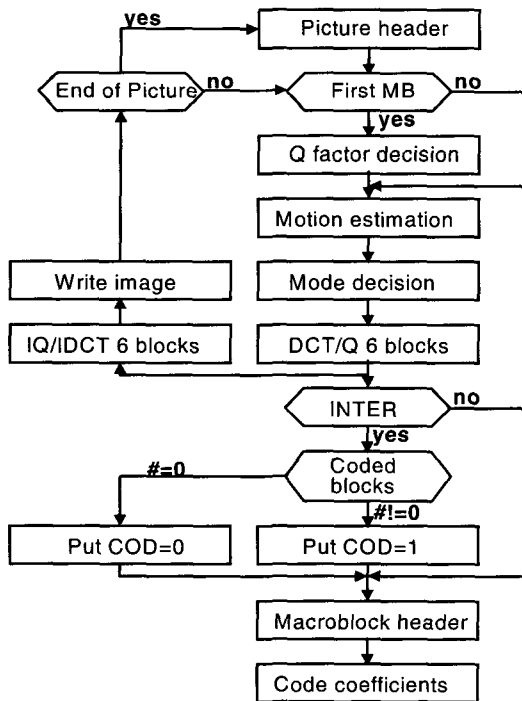


그림 1. H.263 처리도.  
Fig. 1. H.263 Processing Flow

국제표준은 H.263과 MPEG-4이다. MPEG-4는 동영상 외에도 다양한 개체를 처리할 수 있기 때문에, 복호기의 처리 범위를 개체의 특성과 요구되는 계산량에 따라서 profile이란 개념을 사용해서 제한하고 있다. 실제로 저전송률 환경에서 사용되는 것은 MPEG-4 Simple Profile이며, 이는 기능상으로 H.263과 거의 동일하다. 그림 1은 H.263을 이용해서 동영상을 압축하는 과정을 도시한다. 그림 1에서 양자화 레벨 결정은 GOB (Group Of Block) 단위로 수행하는 것을 가정한다. MPEG-4 Simple Profile은 그림 1과 동일한 과정을 가지기 때문에, 본 논문에서 H.263 환경을 기준으로 서술한다.

처리순서는 다음과 같이 요약된다. 먼저 매크로블록 단위로 움직임을 추정해서, 해당 매크로블록을 INTRA 혹은 INTER 모드로 처리할 것인지를 결정한 다음, 매크로블록에 해당하는 6개의 8x8 블록에 대해서 DCT/Q연산을 수행한다. VLC (Variable Length Coder)는 모드정보, 움직임벡터, 부호화된 블록패턴 등의 정보를 매크로블록 헤더에 저장하며, 이어서 non-zero 계수를 가지는 블록에 대해서 부호화를 수행한다.

따라서 MCU의 간섭을 최소화하기 위해서는, 실제로 부호화를 수행하는 부분인 매크로블록 헤더 작성과 DCT/Q 계수에 대한 VLC를 MCU와 독립적으로 수행해야 한다. 후자의 경우 로컬메모리에 6개의 블록에 대한 DCT/Q 결과를 저장해서 독립적으로 처리할 수 있지만, 매크로블록 헤더를 독립적으로 작성하기 위해서는 이를 구성하는 각 정보를 MCU의 간섭 없이 계산해서 VLC로 전달해야만 한다. 따라서 다음과 같은 기능이 MEP에게 요구된다.

- 움직임벡터 추정.
- INTRA/INTER 모드 결정.
- □의 결정에 따라서 움직임 보상되거나 되지않은 매크로블록 데이터를 로컬 메모리에 저장하거나 혹은 DCT/Q 처리부에 직접 전송.
- H.263/MPEG-4 규격에 맞도록, 기처리된 주변 매크로블록의 움직임 벡터에 대한 median filter를 통한 현재 매크로블록의 움직임 벡터 예측.
- □에 의한 예측값과 추정된 움직임 벡터의 차이를 VLC부로 직접 전송.

### 2. MEP 동작순서

구현된 MEP는 내부적으로 그림 2와 같은 순서로 동작한다. 그림에서 Load로 시작하는 항목은 움직임 추정과 보상에 필요한 현재 매크로블록과 이전 프레임의 탐색영역의화소 데이터를 외부 SDRAM에서 DMA를 통해서

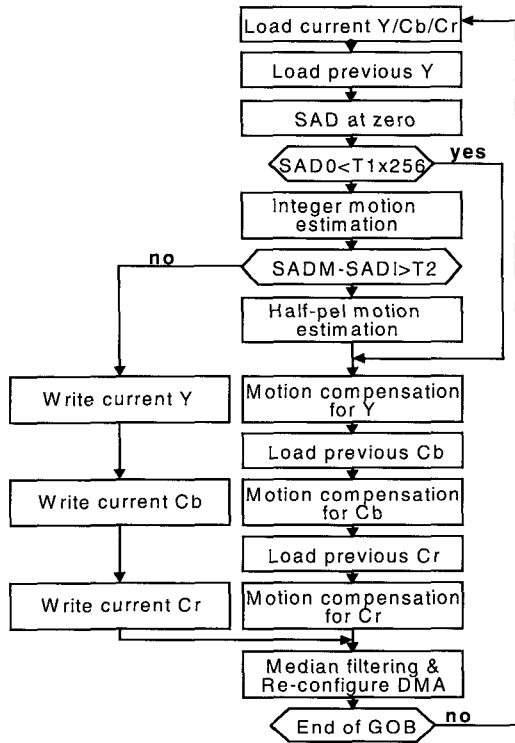


그림 2. MEP 처리도.  
Fig. 2. MEP Processing Flow

MEP 내부의 로컬 메모리로 전송하는 과정이다. SAD0은 현재 매크로블록과 이전 영상에서 같은 위치에 해당하는 매크로블록과의 SAD(Sum of Absolute Difference)를 의미하며, 이 값이 사용자가 수정가능한 문턱치인 T1보다 작을 경우 움직임 벡터를 0이라고 가정하고, 이하의 움직임 추정을 생략하고, 움직임 보상된 결과를 MEP 외부에서 DCT/Q를 수행할 수 있도록 전송한다. SAD0이 T1보다 클 경우, 일단 정수 단위의 움직임 벡터를 추정하며, 이에 의한 결과는 움직임 벡터와 이에 해당하는 SAD인 SADM이다.

정수단위 움직임 추정 후 코딩 모드를 결정한다. 만약 SADM이 현재 매크로블록의 간략화한 분산값 SADI보다 T2 이상 크다면 코딩 모드는 INTER로 결정하고, 부가적으로 반화소 단위의 움직임 벡터를 추정한다. 최종적으로 현재 매크로블록과 움직임 보상된 매크로블록의 차이를 DCT/Q 처리부로 전송한다. SADI는 식(1)과 같이 계산한다. 식 (1)에서  $\mu$ 는 현재 매크로블록  $C(i,j)$ ,  $0 \leq i,j < 16$ 의 평균값이다.

$$SADI = \sum_{i=0}^{15} \sum_{j=0}^{15} |C(i,j) - \mu| \quad (1)$$

제한한 MEP에서는 총처리시간을 증가시키지 않기 위해서 식 (1)을 위한 독립적인 계산단계를 두지 않는다. 따라서,  $\mu$ 는 SAD0을 계산할 때 함께 계산하고 SADI는 정수 단위 움직임 추정을 할 때 동시에 계산한다.

움직임 벡터 추정이 완료되면 VLC로 움직임 벡터 차분값을 전송한다. 이는 추정된 움직임 벡터와 3개의 주변 매크로블록의 움직임 벡터를 미디언 필터링한 예측값과의 차이를 구한 것이다. 식 (2)는 각각 수평, 수직방향의 움직임 벡터에 대한 예측값을 나타내며, 그림 3은 필터링에 사용하는 주변 매크로블록의 위치를 나타낸다. 식 (2)의 예측값은 정수 단위 움직임 추정시 시간축 상에서의 상관도를 높이기 위해서, 움직임 추정 후보로 사용한다.

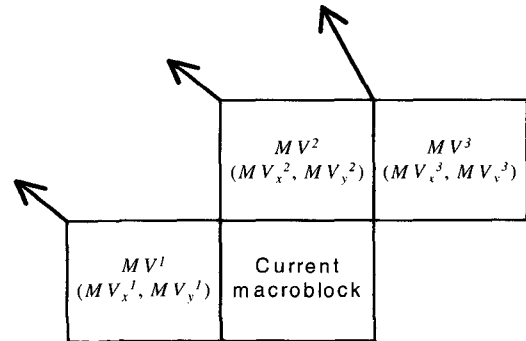


그림 3. 인접한 3개의 매크로블록.  
Fig. 3. Three neighbor macroblocks

$$\begin{aligned} MV_x &= \text{Median}\{MV_x^1, MV_x^2, MV_x^3\}, \\ MV_y &= \text{Median}\{MV_y^1, MV_y^2, MV_y^3\}. \end{aligned} \quad (2)$$

### 3. 움직임 추정 알고리즘

정수 단위 움직임은 하드웨어 구현에 적합하도록 3단 계층구조에 의해서 추정한다. 탐색범위는 수평, 수직 각 방향으로 16에서 15까지이다. 1단에서는 수평, 수직방향으로 1/4로 부표분화된 매크로블록을 기준으로 각 방향으로 4화소 간격으로 16 부터 +12까지 움직임을 계산한다. 따라서 탐색점의 수는 64이다. 2단에서는 수평, 수직방향으로

1/2로 부표본화된 매크로블록을 기준으로 1단에서 탐색된 움직임 벡터를 중심으로 2화소 간격으로 4부터 +4에 해당하는 움직임을 계산한다. 이 때, 식(2)로 얻어진 움직임 벡터 예측값 주변에서도 같은 방식으로 움직임 벡터를 찾는다. 따라서 2단에서의 탐색점은 모두 50개이다. 3단에서는 2단에서 탐색한 2개의 결과 중 가장 낮은 SAD를 가지는 움직임 벡터 주변에서 2 부터 +2까지 해당하는 움직임을 계산한다. 이때 탐색점은 모두 25개이다. 이와 같은 알고리즘은 구조상 매우 단순하므로 하드웨어 구현에 적합하며, MPEG-4/H.263과 같은 저전송률 환경에서 잡음이 많은 복원영상을 토대로 움직임 추정을 수행하는 경우에는 성능저하 문제가 미미하며, 이는 표 1에서 확인할 수 있다. 그러나 MPEG-2와 같은 고전송률 환경에서는 단순한 계층구조 하에서는 화질저하 문제가 발생할 가능성이 있으므로, 복잡한 알고리즘을 사용할 필요가 있다<sup>[8]</sup>.

MEP의 하드웨어 구조는 많은 탐색점에 대한 SAD를 얼마나 효율적으로 계산하는가에 달려 있다. PE (Processing Element)란 SAD를 계산하기 위한 연산기를 지칭하며, PE의 수와 계산에 필요한 처리시간의 곱은 상수를 나타내기 때문에, 설계목적에 따라서 MEP의 구조가 달라지게 된다<sup>[9]</sup>. 저전송률 환경에서 가장 복잡도가 높은 경우는 MPEG-4 Simple Profile Level 3로, 352x288 크기의 영상을 초당 30장 처리한다. 이때 처리해야 하는 매크로블록의 수는 초당 11880개이며, 100 MHz의 버스 클럭을 가지는 SoC 라면, 매크로블록 당 할당되는 사이클 수는 8417 이내로 제한된다. 따라서 본 논문에서 제안하는 MEP의 처리시간은 DMA에 의한 메모리 동작을 포함해서 8000 사이클 이내로 제한할 것이다.

2, 3단에서는 한 중심을 기준으로 25개의 탐색점에 대해서 SAD를 계산해야 하며, 이는 5개의 SAD를 동시에 계산할 수 있는 PE (Processing Element) 어레이를 5회 반복 사용함으로써, 계산 가능하다. 1단에서는 64개의 탐색점을 균일하게 16개씩 분할한 뒤, 16개의 탐색점에 대한 SAD를 5 PE 어레이를 4회 반복사용해서 계산한다. 따라서 움직임 추정기는 5 PE 어레이와 이곳에 적합한 화소를 입력시켜 주기 위한 주소발생기, 계산된 SAD에서 움직임 벡터를 계산하기 위한 회로가 추가 된다<sup>[10]</sup>.

반화소 단위의 움직임 추정은 각 SAD마다 하나의 PE를 할당한 구조를 택했다. 이는 이미 정수단위 움직임 추정에 많은 사이클이 소비되었기 때문에, 반화소 단위 추정에 대한 사이클 수를 줄이기 위함이다. 이 회로는 움직임 보상을 수행할 때에도 재사용된다.

#### 4. 움직임 추정 성능

표 1에 제안한 MEP을 채택할 경우의 영상화질을 나타낸다. 이실험에서는 MEP의 성능을 객관적으로 살펴보기 위해서 양자화 레벨을 13으로 고정해서 QCIF급 표준 MPEG 영상을 초당 30장 단위로 H.263을 이용해서 압축을 수행했다. 제안한 방법은 전역탐색방법 (Full-Search Block Matching Algorithm)에 비해서 최대 0.21dB의 화질 감소가 있으나, 대부분의 경우에서의 화질차이는 미미한 것을 알 수 있다.

표 1. 제안한 움직임 추정기 화질 성능.  
Table 1. Visual quality with the proposed MEP

|      | FS-BMA | Proposed |
|------|--------|----------|
| PSNR | 30.87  | 30.76    |
| Kbps | 90.31  | 91.68    |
| PSNR | 29.48  | 29.47    |
| Kbps | 97.58  | 98.12    |
| PSNR | 30.90  | 30.90    |
| Kbps | 42.78  | 42.78    |
| PSNR | 30.75  | 30.79    |
| Kbps | 40.44  | 40.56    |
| PSNR | 32.85  | 32.85    |
| Kbps | 15.47  | 15.52    |
| PSNR | 32.89  | 32.89    |
| Kbps | 20.82  | 20.53    |
| PSNR | 30.91  | 30.90    |
| Kbps | 26.49  | 25.98    |
| PSNR | 31.71  | 31.69    |
| Kbps | 27.39  | 27.40    |

표 2는 정수단위 움직임 추정을 생략하기 위해서 T1을 조절했을 경우의 화질을 64 Kbps 전송률과 초당 30장 단

표 2. 매크로블록 당 움직임 추정 생략 비율.  
Table 2. Motion estimation skip ratio per macroblock

| 5 |   |   |
|---|---|---|
| 9 | 1 | 6 |
| 5 | 3 | 0 |
| 8 | 1 | 0 |
| 4 | 4 | 8 |
| 2 | 7 | 8 |
| 1 | 0 | 2 |
| 2 | 9 | 7 |
| 0 | 5 | 9 |
| 9 | 7 | 3 |
| 5 | 4 | 8 |
| 6 | 6 | 2 |
| 0 | 6 | 7 |
| 4 | 0 | 6 |
| 1 | 8 | 6 |
| 5 | 4 | 4 |
| 0 | 0 | 2 |

위로 압축했을 경우의 객관적 화질을 나타낸다. T1이 5일 경우, 화질 열화는 최대 0.1 dB에 불과하지만, Akiyo처럼 움직임이 적은 영상에 대해서는 95% 이상의 매크로블록에 대해서 iME 과정을 생략하게 되므로, 많은 전력감소가 가능하게 된다.

### III. 결론

최종구현결과를 표 3과 표 4에 정리했다. 표에서 iME, hME는 정수단위 움직임 추정, 반화소 단위 움직임 추정을 각각 나타낸다. Scan을 삽입하지 않았을 때, 게이트 카운트는 33423개이다. 전력소모량은 초당 30장의 CIF (352x288) 영상을 처리할 경우를 가정한다. 최대 전력 소모량은 foreman 영상의 최초 P 픽처에 대해서 결과를 토대로 추정 한 것이며, 최소 전력 소모량은 Akiyo 영상에 대해서 T1=5로 정하고 실험한 결과이다. 후자의 경우에는 표 3과 같이 95% 이상의 매크로블록에 대해서 움직임 추정이 생략되며, 이로 인해서 전력은 66%까지 감소된다. 그럼에도 불구하고 주어진 실험환경 하에서의 화질저하는 0.1 dB에 불과하다. 주어진 테스트 영상 중에서는 Akiyo의 경우에 가장 많은 전력감소가 가능하므로, 표에는 최소값으로 기입하였다.

표 3. MEP 구현결과.

Table 3. MEP implementation statistics

|                   |                       |
|-------------------|-----------------------|
| <b>Technology</b> | <b>0.18 um</b>        |
| <b>Memory</b>     | <b>spsram 768x32b</b> |
| <b>Core clock</b> | <b>120 MHz</b>        |
| <b>Power(max)</b> | <b>9.081 mW</b>       |
| <b>Power(min)</b> | <b>2.997 mW</b>       |
| <b>Gate count</b> | <b>33423</b>          |
| Host I/F          | 6445                  |
| DMA               | 3188                  |
| iME               | 16001                 |
| hME               | 7789                  |

표 4. MEP 동작 단계별 사이클 수.

Table 4. Number of cycles per MEP operation stage.

| Stage        | Cycles               |
|--------------|----------------------|
| DMA          | 869 (15.9%)          |
| SADO         | 261 (4.7%)           |
| iME          | 2319 (42.4%)         |
| hME          | 811 (14.8%)          |
| MC           | 1212 (22.2%)         |
| <b>Total</b> | <b>5472 (100.0%)</b> |

따라서, 제안한 움직임 추정기는 T1값의 조절에 의해서 화질 열화에 대한 부담 없이 영상의 활성도에 따라서 60% 이상의 전력감소도 가능하며, MCU의 간섭 없이 MEP가 독자적으로 매크로블록 헤더를 구성하는 요소들을 결정함으로써, 효율적인 SoC의 구현을 가능하게 만든다.

MPEG-4 Simple Profile Level 3를 위해서 MEP에 요구되는 동작주파수는 표 4로부터 65.3 MHz임을 알 수 있다. 이 동작주파수는 일반적으로 설계되는 SoC의 동작주파수보다 낮은 것으로서, 제안한 MEP는 대부분의 SoC 환경에서 무리없이 사용 가능하다. 이동통신 환경을 위한 MPEG-4 동영상 규격인 Simple Profile Level 1에서, 제안한 MEP에 요구되는 최소 동작주파수는 8.1 MHz에 불과하며, 이 경우에는 낮은 동작 주파수에 적합한 재합성을 통해서 추가적인 면적 감소가 가능하다.

DCT/Q/VLC 등과 같은 작업에 대해서는 DSP 등을 이용한 처리가 효율적인 SoC를 위해서 필요하며, 이 DSP는 음성처리와 영상/음성 멀티플렉싱과 같은 작업을 병행하는데 사용 가능하다.

### 참고 문헌

- [1] J. L. Mitchell, W. B. Pennebaker, and D. J. LeGall, MPEG Video Compression Standard, Kluwer Academic Publishers, London, 1996.
- [2] Draft ITU-T Recommendation H.263, "Video Coding for Low Bitrate Communication," Mar. 1996.
- [3] Draft ISO/IEC MPEG-4 Video Verification Model Ver. 6.0, "Coding of Moving Pictures and Associated Audio Information," Feb. 1996.
- [4] P. Kuhn, Algorithms, Complexity Analysis and VLSI Architectures for MPEG-4 Motion Estimation, Kluwer Academic Publishers, London, 1999.
- [5] P. Pirsch, N. Demassieux, and W. Gehrke, "VLSI Architectures for Video Compression A Survey," Proceedings of IEEE, pp. 220-246, Vol. 83, No. 2, Feb. 1995.
- [6] S. Furber, ARM System-on-Chip Architecture, Addison Wesley Longman, 2000.
- [7] S. Y. Cho, S. H. Park, S. W. Kim, Y. C. Kim, S. W. Jeong, B. Y. Chung, H. L. Roh, C. H. Lee, H. M. Lee, H. M. Yang, S. H. Kwak, and M. K. Lee, "CalmRISC/sup TM/-32: a 32-bit low-power MCU core", Proceedings of the Second IEEE Asia Pacific Conference on ASIC, pp. 285-289, 2000.
- [8] K. W. Lim and J. B. Ra, "Improved Hierarchical Search Block Matching Algorithm by Using Multiple Motion Vector Candidates," IEE Electronics Letters, pp. 1771-1772, Oct. 1997.
- [9] K. M. Yang, M. T. Sun, and L. Wu, "A Family of VLSI Designs for the Motion Compensation Block Matching Algorithm" IEEE

Trans. Circuits Syst. Video Technol., Vol. 36, No. 10, pp. 1317-1325,  
Oct. 1989.

[10] J. H. Lee, S. D. Kim, S. K. Jang, and J. B. Ra, "A New VLSI

Architecture of a Hierarchical Motion Estimator for Low Bit-Rate  
Video Coding," Proc. IEEE ICIP, Vol. 2, pp. 774-778, Kobe, Japan,  
1999.

---

## 저 자 소 개

---

### 박 현 상



- 1991년 2월 : 한국과학기술원 전기및전자공학과 학사
- 1993년 8월 : 한국과학기술원 전기및전자공학과 석사
- 1999년 8월 : 한국과학기술원 전기및전자공학과 박사
- 1998년 12월 ~ 2005년 2월 : 삼성전자 시스템LSI사업부 책임연구원
- 2005년 3월 ~ 현재 : 국립공주대학교 전기전자공학부 조교수
- 주관심분야 : 멀티미디어 SoC, 디지털 비디오 처리, 동영상 압축